

JERNINDUSTRIENS FORLAG



Impulsteknik

1979

Instruktioner

Jern- og Metalindustrien

Forord

I tilslutning til de ajourførte kursusplaner for elektronikmekaniklærlinges og EFG-elevens undervisning på teknisk skole blev lærebøgerne Elektronik-Apparatopbygning og Elektronik, der omfattede fem bind, udgivet i 1976 og 1977.

Lærebøgerne blev udarbejdet på Metalindustriens Lærlingeudvalgs foranledning af faglærere fra de tekniske skoler i samarbejde med Jernindustriens Forlag.

På grundlag af de erfaringer, der er gjort siden udgivelsen af 1. udgaverne, er der foretaget en omfattende revision af såvel instruktioner som øvelser og opgaver.

Endvidere har man fundet det hensigtsmæssigt at emneopdele lærebøgerne samt at undlade det apparatcentrerede materiale. Dette indebærer, at undervisningens modulopbygning kan ændres uden at ændre lærebøgerne, samt at bøgerne er uafhængig af apparatskift i undervisningen.

Lærebogsseriens 2. udgaver udgives derfor i følgende opdeling:

Elektronik – Apparatopbygning

LF og DC teknik

Impulsteknik

HF teknik

Elektronik – Appendiks

Denne lærebog – Impulsteknik – er opdelt i to bind, indeholdende henholdsvis instruktioner og opgaver.

Teoriinstruktionerne omfatter grundlæggende impulsteknik, multivibratorer og andre impulsgivere, talsystemer, logik, gatekredsløb, sekvenskredsløb, AD-DA konverter, servokredsløb og funktionsgenerator.

Teoriøvelserne omfatter teori og målinger, samt spørgsmål som eleverne besvarer skriftligt, og teoriopgaverne omfatter spørgsmålsblade, som besvares skriftligt af eleverne.

Bladene, der er perforeret og forsynet med huller, kan rives ud og indsættes i et ringbind, efterhånden som de anvendes.

Instruktions- og opgavenummereringen er placeret øverst på siderne.

Til brug ved undervisningen er lærebogen endvidere forsynet med fortløbende sidenummerering, der er placeret nederst på siderne.

Kursusplanen, der ligger til grund for undervisningen, rekvireres i Direktoratet for erhvervsuddannelserne.

Forlaget vil være taknemmelig for at modtage eventuelle forslag til ændringer og rettelser fra såvel lærere og elever som andre interesserede.

Metalindustriens Efteruddannelsesudvalg og forlaget vil gerne takke de tekniske skoler og faglærerne for værdifuld medvirken og vejledning ved udarbejdelsen af denne 2. udgave.

København, august 1979

JERNINDUSTRIENS FORLAG



Nr.	TEORIINSTRUKTIONER	SIDE
	<u>IMPULSTEKNIK</u>	
1.	<u>Grundlæggende impulsteknik</u>	
1.1	Op- og afladning af kapacitet	1
1.2	Impulsdefinitioner	5
1.3	Integrations- og differentiationsled	9
1.4	Begrænserkredsløb	15
1.5	Clampingkredsløb	25
1.6	Transistorer som switch	29
1.7	Tyristorer - 4-lags halvledere	41
1.8	Optoelektriske transducere	57
1.9	Integreret kredsløb	85
1.10	Kredsløbsfamilier	93
1.11	Fejlsøgningsinstrumenter	105
2.	<u>Multivibratorer og andre impulsgivere</u>	
2.1	Multivibratorer	111
2.2	UJT og relaxationsoscillator	123
2.3	Emitterkoblet astabil multivibrator	127
2.4	Multivibratorer med tunneldioder	131
2.5	Multivibratorer med integrerede kredsløb	135
2.6	Komparator	145
3.	<u>Talsystemer</u>	
3.1	Talsystemer - Binær, octal, hexadecimal	151
3.2	Regning med binære tal - Maskinaritmetik	159
3.3	Koder	169
4.	<u>Logik</u>	
4.1	Gate - AND, OR, INV, NAND og NOR	173
4.2	Logikformer	177
4.3	Boole's algebra	179
4.4	Oversigt over reduktionsmetoder	193
5.	<u>Gatekredsløb</u>	
5.1	Specielle AND-OR funktioner	195
5.2	Exclusive OR-gate	203
5.3	Dekoder	205
5.4	Størrelsesdetektor	215
5.5	Paritetskontrol	221
5.6	Multiplekser	225
5.7	Hazard i gatekredsløb	229
5.8	Additions- og subtraktionskredsløb	233
6.	<u>Sekvenskredsløb</u>	
6.1	Flip-flop's	251
6.2	Tæller- og delerkredsløb	263
6.3	Skifteregistre	297
6.4	Hukommelser - Memories	319



Nr.	TEORIINSTRUKTIONER	SIDE
7.	<u>AD-DA konverter</u>	
7.1	Digital/analog-konvertere - DAC	325
7.2	Analog/digital-konvertere - ADC	329
7.3	Digitalvoltmeter - DVM	337
8.	<u>Servokredsløb</u>	
8.1	Servokredsløb	343
9.	<u>Funktionsgenerator</u>	
9.1	Funktionsgenerator	361

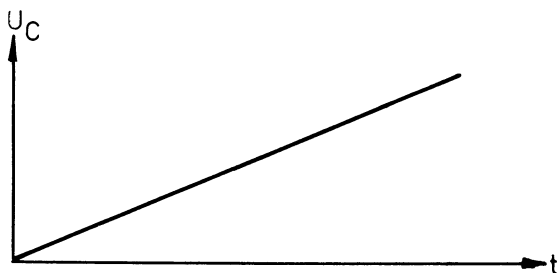
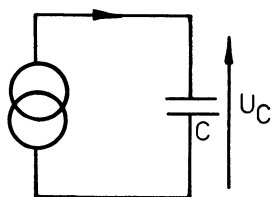
DISPOSITION

1. Opladning
2. Afladning
3. Standardopladningskurve

1. OPLADNING

1.1 Konstant strøm

Tilføres en kondensator en konstant strøm, vil spændingen over kondensatoren vokse lineært med tiden.



Med en lille strøm vokser spændingen langsomt.

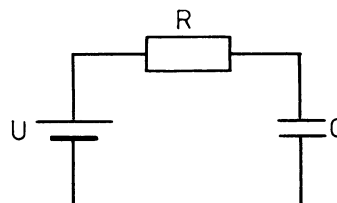
Er det en lille kondensator, vil spændingen vokse hurtigt.

Med konstant strøm beregnes spændingen over kondensatoren efter formlen:

$$U_C = \frac{I \cdot t}{C}$$

1.2 Opladning gennem modstand

Tilsluttes en kondensator og en modstand i serie med en konstant spænding, vil kondensatoren efterhånden blive opladet til den konstante spændings størrelse.



Strømmen i startøjeblikket vil kun være begrænset af modstandens størrelse og spændingen, idet spændingen over kondensatoren regnes til nul.

Startstrømmen vil ifølge ohm's lov blive:

$$I = \frac{U}{R}$$

Forestiller man sig, at startstrømmen vil løbe konstant til kondensatoren, kan den tid, det tager, for at kondensatoren bliver fuldt opladet, beregnes efter formlen:

$$U_C = \frac{I \cdot t}{C}$$

$$U_C = \frac{U \cdot t}{R \cdot C}$$

Når kondensatoren er opladet, er U_C og U lige store.

$$t = R \cdot C$$

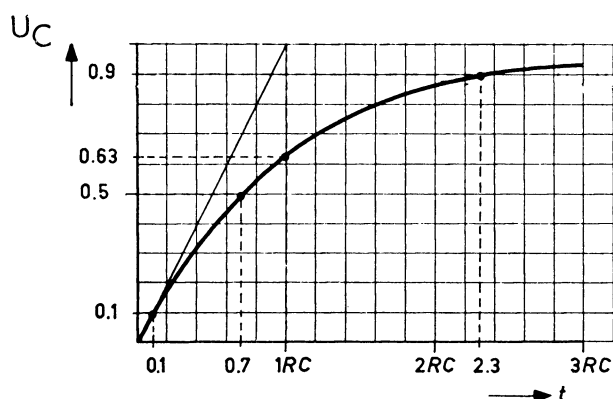
Denne tid angives som tidskonstanten τ .



1.3 Opladningens forløb

Straks efter, at der er begyndt at løbe strøm til kondensatoren, vokser spændingen over kondensatoren.

Når spændingen over kondensatoren stiger, falder strømmen til kondensatoren, og spændingsændringen pr. tidsenhed falder, jo nærmere kondensatoren er ved at være opladet.



Efter 1τ når kondensatoren op på 63,2% af U .

Spændingen over kondensatoren kan beregnes efter formelen:

$$U_C = U (1 - e^{-\frac{t}{RC}})$$

Hvor U er den spænding, der er påtrykt RC leddet, RC er leddets tidskonstant, t er tiden fra U tilsluttes til det tidspunkt, man ønsker at kende spændingen over kondensatoren, e er den naturlige logaritmes grundtal, 2.7182.

Tabellen viser, hvor mange procent spændingen når op på efter et antal τ .

0,5 τ	=	39,3%
1 τ	=	63,2%
2 τ	=	86,5%
3 τ	=	95 %
4 τ	=	98,2%
5 τ	=	99,3%
6 τ	=	99,8%

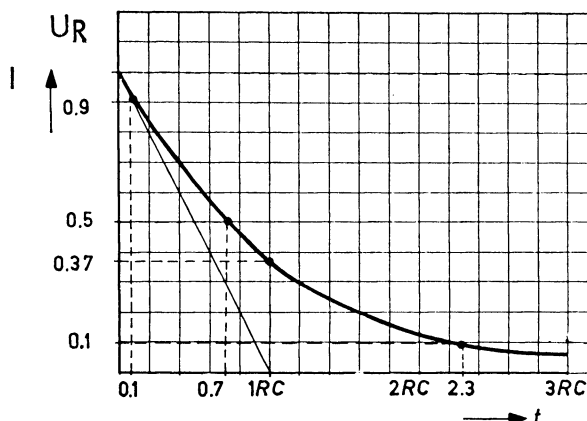
Efter $2,3\tau$ er $U_C = 90\%$, efter $4,6\tau$ er $U_C = 99\%$, efter $6,9\tau$ er $U_C = 99,9\%$.

Normalt betragtes kondensatoren som fuldt opladt efter 5τ , hvor kondensatoren er opladt til 99,3%.

I det øjeblik, hvor spændingen tilsluttes RC leddet, er kondensatorens ladning nul. Spændingen over kondensatoren er derfor også nul, det vil sige, af hele spændingen ligger over modstanden, efterhånden som spændingen over kondensatoren stiger, vil spændingen over modstanden falde.

$$U_R = U - U_C$$

Spændingen over modstanden får viste forløb.





Spændingen over modstanden kan findes ved:

$$U_R = U \cdot e^{-\frac{t}{RC}}$$

Strømmen gennem både modstand og kondensator kan findes ved hjælp af spændingen over modstanden.

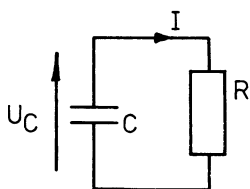
$$I = \frac{U_R}{R}$$

$$I = \frac{U}{R} \cdot e^{-\frac{t}{RC}}$$

2. AFLADNING

2.1 Afladning gennem modstand

Parallelforbinderes en opladet kondensator med en modstand, aflades kondensatoren gennem modstanden.



2.2 Tidskonstant

Afladetidskonstanten beregnes på samme måde som ved opladning.

Startstrømmen ved afladning er:

$$I = \frac{U_C}{R}$$

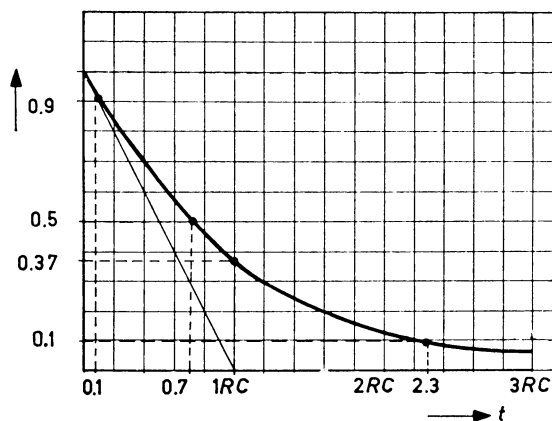
Dersom denne strøm var konstant, ville kondensatoren være afladet efter 1τ

$$\tau = R \cdot C$$

Ved afladning af en fuldt opladet kondensator har startstrømmen samme størrelse som ved opladning, når den går gennem den samme modstand som ved opladning.

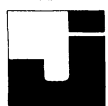
Ved afladning falder spændingen over kondensatoren og dermed også afladestrømmen. Derfor vil kondensatoren ikke være afladet efter 1τ .

Strømmen i RC leddet og spændingen over kondensatoren har viste forløb



Tabellen viser, hvor stor en procentvis spænding der er til rest og angiver samtidig, hvor meget strømmen er faldet til

0,5	τ	=	60,7%
1	τ	=	36,8%
2	τ	=	13,5%
3	τ	=	5 %
4	τ	=	1,8%
5	τ	=	0,7%
6	τ	=	0,2%

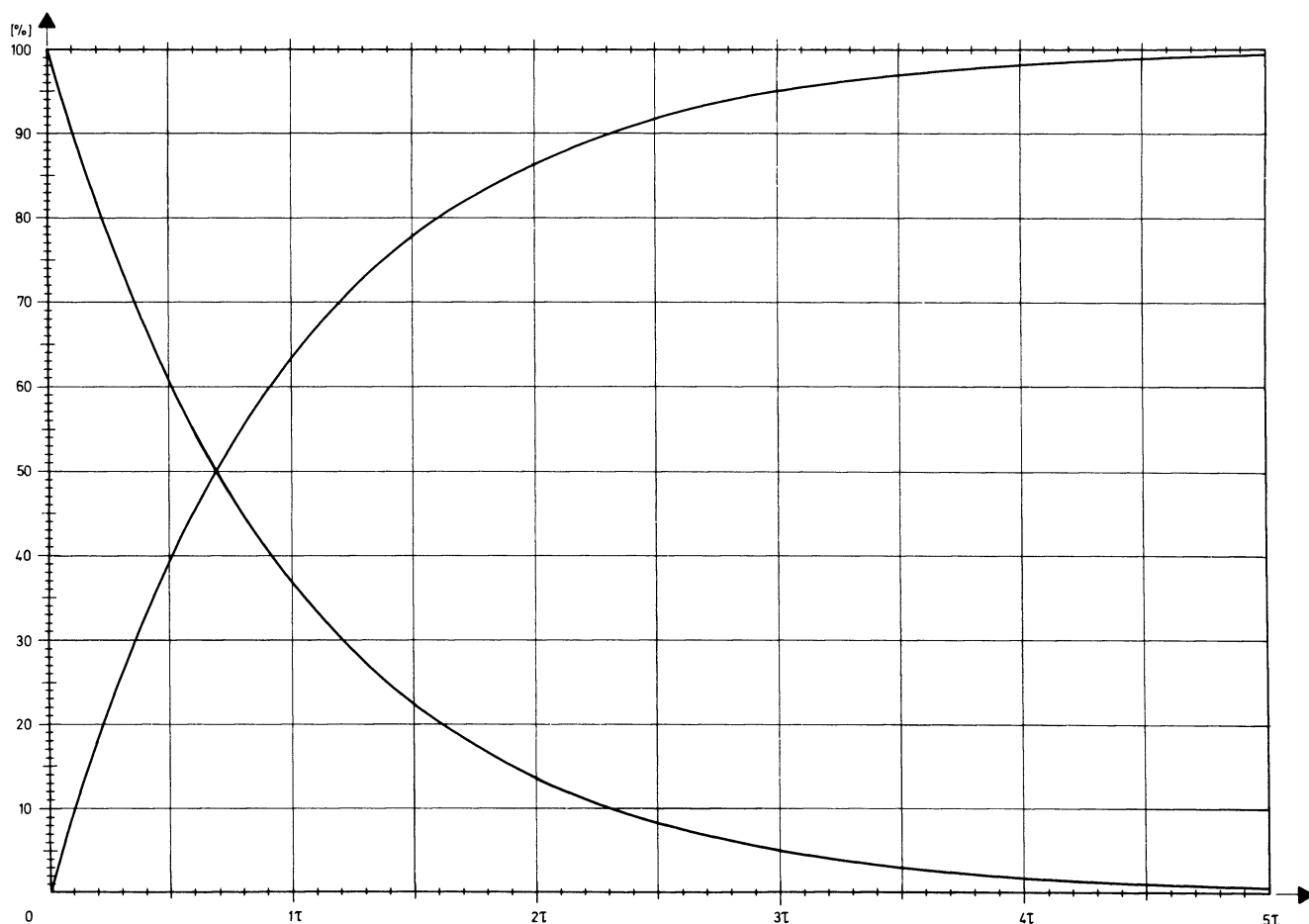


3. STANDARDOPPLADNINGSKURVE

I stedet for at beregne spændingen over kondensatoren eller modstanden i RC led, kan der med tilstrækkelig nøjagtighed til de fleste formål anvendes en standardopladningskurve.

X-aksen er inddelt i τ , dvs. produktet af R og C.

Y-aksen er inddelt i %, hvor 100% er lig med den samlede spænding, der påtrykkes RC ledet, kurverne angiver, hvor stor spændingen er over kondensatoren og modstanden under op- og afladning, endvidere angiver kurverne strømmen gennem RC leddet.





DISPOSITION

1. Impulsdefinitioner

1. IMPULSDEFINITIONER

1.1 Impuls

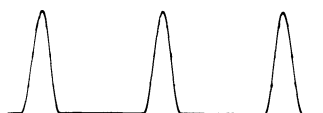
Enhver kurveform, der er forskellig fra sinus, er en impuls.

En impuls ændrer kurveform, når den ledes gennem et selektivt kredsløb, hvorimod en sinus kun ændrer amplitude.

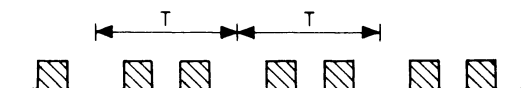
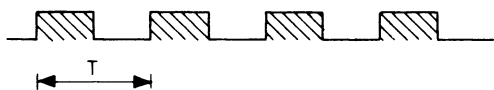
Sinus



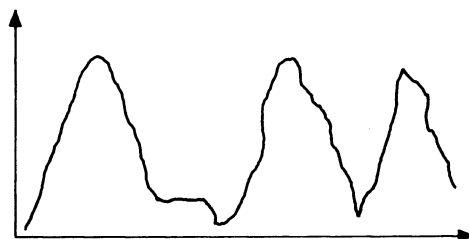
Impuls



Et periodisk impulsforløb er et impulsforløb, der gentages.



Et aperiodisk impulsforløb er et impulsforløb, der ikke gentages.



Periodiske impulser kan enten være tidssymmetriske eller tidsasymmetriske.

Et tidssymmetrisk impulstog har lige lang impuls og pause.

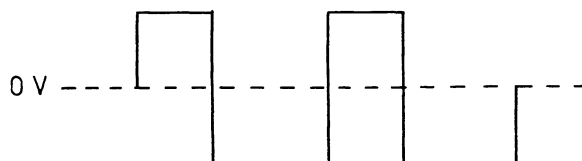


En tidsasymmetrisk impuls har ikke lige lange impuls- og pausetider.



Periodiske impulser kan også være spændingssymmetriske eller spændingsasymmetriske.

Ved spændingssymmetrisk impuls har den positive spidsspænding samme værdi som den negative.



1.2 Tider

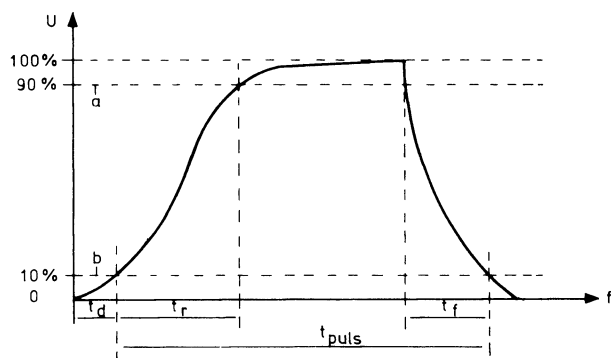
Måling på impulser vanskeliggøres af, at disse ofte er behæftet med forsinkelsestider t_d , samt afrundede toppe på for- og bagflanker.

Dette indebærer, at man ikke umiddelbart kan se, hvorfra og hvortil en stigetid eller forsinkelsestid skal måles.

For at tilgodese dette forhold, afskæres 10% af impulsens top og bund, og målingen foretages mellem afskæringspunkterne.

En impuls' stigetid eller faldetid måles altid mellem 10% og 90% af maksimal amplitude.

Dette er en international vedtagelse og behøver ikke præciseres ved målingsangivelser.



Impulstiden t_{puls} angives ved forskellige procenter af maksimal amplitude.

Ofte anvendes måling ved

10% - 10%

50% - 50%, eller

90% - 90%

Periodetid er den tid, det tager fra starten af impulsforløbet til det begynder at gentage sig selv.

Pausetid er forskellen mellem periodetid og impulstid.

$$t_{\text{pause}} = t_{\text{periode}} - t_{\text{puls}}$$

Duty cycle angiver forholdet mellem impuls- og periodetid.

$$d = \frac{t_{\text{puls}}}{t_{\text{periode}}}$$

1.3 Firkantspænding

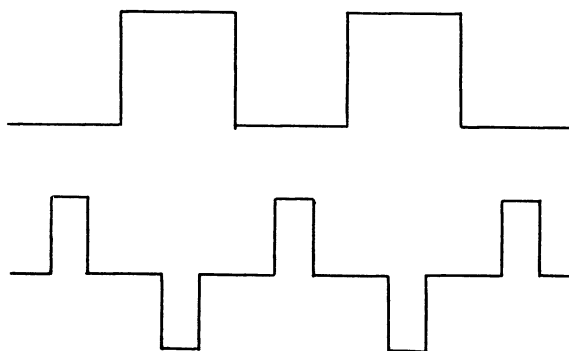
Enhver periodisk kurveform kan opbygges ved hjælp af sinuskurver, der blot skal have korrekt frekvens, amplitude og fase.

For at gengive en kurveform korrekt, må der ikke ændres på de harmoniske svingningers amplitude og fase.

En forstærker med lineær frekvenskarakteristik har også ofte korrekt faselinearitet.

Alle symmetriske firkantspændinger indeholder ulige harmoniske svingninger af grundfrekvensen (1, 3, 5 . . . harmoniske).

Amplituden af de harmoniske falder med stigende frekvens.



Asymmetriske firkantspændinger indeholder alle harmoniske af grundsvingningen (1, 2, 3 . . . harmoniske).



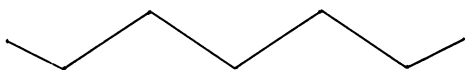


En peakspænding indeholder alle harmoniske, jo smallere peak'en er, jo mere ens er de harmoniske i amplitude.



1.4 Trekantspænding

En symmetrisk trekantspænding indeholder alle ulige harmoniske svingninger; de er blot fasedrejet i sammenligning med firkantspændingen.



En asymmetrisk trekantspænding indeholder alle harmoniske svingninger.



DISPOSITION

1. Integrations- og differentiationsled

1. INTEGRATIONS- OGDIFFERENTIATIONSLED

De fleste RC kredse i impulsteknikken anvendes i forbindelse med tidskredsløb.

Derfor vil de påtrykte spændinger for RC leddene i sådanne kredsløb hyppigere være periodiske firkantspændinger end jævnspændinger, hvorfor det følgende afsnit vil beskrive RC leds indflydelse på firkantspændinger.

1.1 RC led påtrykt symmetrisk firkantspænding

Påtrykkes et RC led en symmetrisk firkantspænding med en amplitude på 100 V og en pulstid på en τ , vil kondensatoren i den første positive halvperiode oplade til 63,2% af den påtrykte spænding på 100 V.

Samtidig vil spændingen over modstanden, der altid er lig med $U_G - U_C$, først stige til +100 volt, når firkantspændingen påtrykkes, og derefter falde til 36,8% af U_G på 100 volt, efterhånden som kondensatoren oplader.

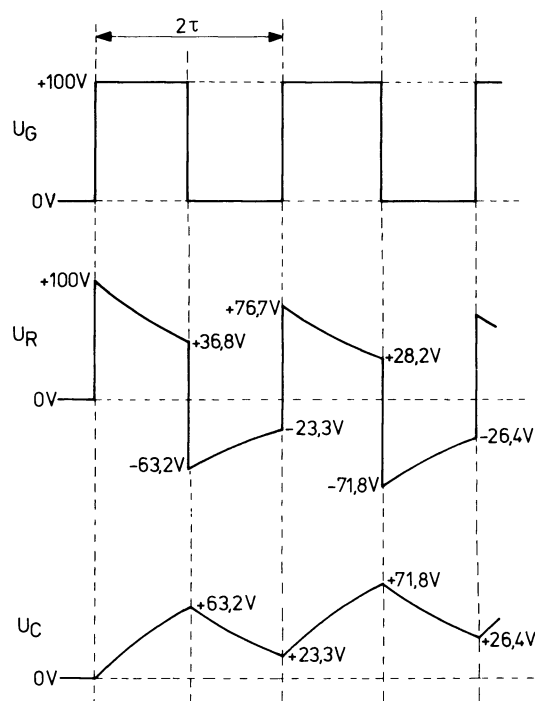
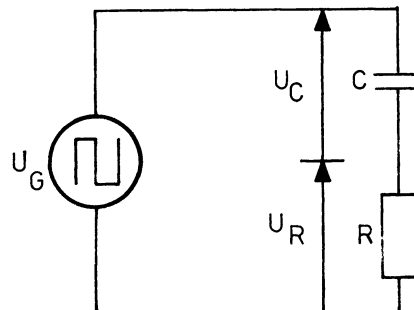
Ved afslutningen af første halvperiode har man derfor over C 63,2 volt og over R 36,8 volt.

Derefter falder U_G til 0 volt.

Kondensatoren vil da aflade sig gennem R og firkantgeneratorens indre modstand, som i dette eksempel sættes lig 0.

Afladningstiden er lig med 1τ , hvorfor kondensatoren taber 63,2% af den opnåede ladning, dvs. U_C falder til 36,8% af 63,2 volt = 23,3 volt.

U_R vil under hele afladningen være lig med U_C blot med modsat fortegn, dvs. den starter ved -63,2 volt og slutter ved -23,3 volt.



I den påfølgende positive halvperiode er U_G igen lig med +100 volt, men da kondensatorspændingen allerede er 23,3 volt, vil denne halvperiode kun give en forøgelse i U_C på 63,2% af $(100 - 23,3)$ volt = 48,5 volt.

Lagt til begyndelsesspændingen på 23,3 volt, giver det en U_C på i alt 71,8 volt ved slutningen af halvperioden.

U_R starter ved $(100 - 23,3)$ volt = 76,7 volt og slutter ved $(100 - 71,8)$ volt = 28,2 volt.



I den næste halvperiode mister kondensatoren igen 63,2% af sin ladning, hvorfor U_C ved slutningen af halvperioden er +26,4 volt.

U_R starter ved -71,8 volt og slutter ved -26,4 volt.

Som man kan se af kurveformerne for U_C og U_R , vil U_R efter et vist antal perioder ligge symmetrisk omkring 0 volt, dvs. U_R 's middelværdi vil blive 0 volt.

Efter samme antal perioder vil U_C ligge symmetrisk omkring +50 volt, som både er U_G 's og U_C 's middelværdi.

Man siger, at kredsløbet kræver et indsvingningstidsrum, før symmetriseringen er sket.

Senere vil det blive vist, hvorledes man med det samme kan regne sig til U_R og U_C uden optegning af indsvingningsforløbet.

1.2 Tidskonstantens størrelse

Den i ovenstående eksempel anvendte tidskonstant betegnes som middellang.

I virkeligheden er det vilkårligt, hvor man sætter grænsen mellem kort, middellang og lang tidskonstant, men i al almindelighed regner man med, at en kreds har:

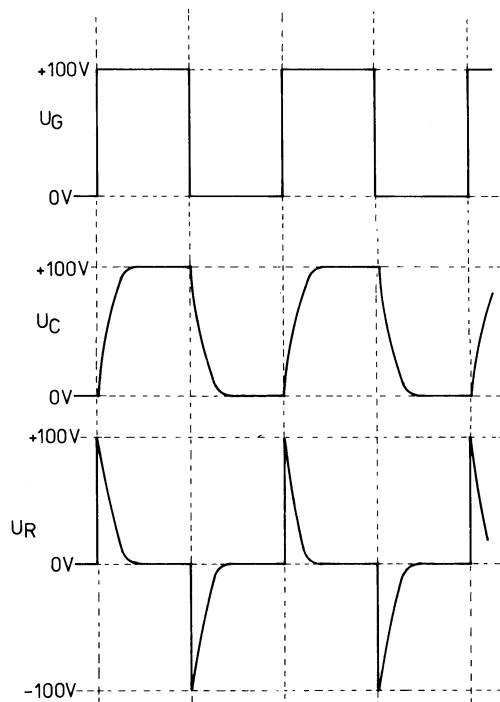
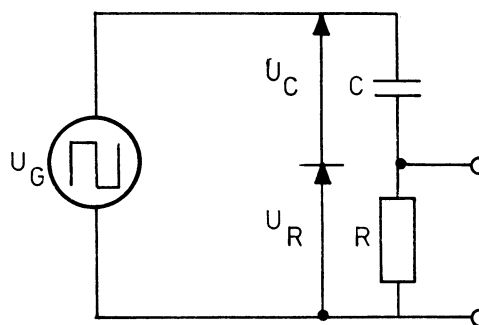
Lang τ , når produktet af R og C er lig med eller større end 10 gange den påtrykte spændings periodetid.

Kort τ , når RC produktet er lig med eller mindre end en tiendedel af den påtrykte spændings periodetid.

Middellang τ , når RC produktet ligger mellem disse to værdier.

1.3 Differentiationsled

Da man i praksis betragter en kondensator som værende fuldt opladet eller afladet efter 5 tidskonstanter forløb, vil man i et RC kredsløb med kort τ give kondensatoren lejlighed til fuld op- eller afladning inden for en halvperiode af den påtrykte spænding.





I den første halvperiode er den påtrykte spænding +100 volt, hvorfor kondensatoren oplader til denne værdi, hvorefter opladestrømmen ophører.

Som følge heraf stiger U_R , i det øjeblik U_G påtrykkes til +100 volt for derefter at falde til 0 volt efter en eksponentialkurve, medens U_C stiger til +100 volt efter en eksponentialkurve.

I den næste halvperiode er $U_G = 0$ volt, hvorfor kondensatoren aflades gennem modstanden og firkantspændingsgeneratorens indre modstand, som ligesom i foregående eksempel antages at være 0 ohm.

Afladningen sker altså med samme hastighed som opladningen, og U_C falder efter en eksponentialkurve til 0 volt.

Afladestrømmen i kredsløbet har naturligvis modsat retning af opladestrømmen, hvorfor U_R til ethvert tidspunkt under afladningen er lig med U_C , blot med modsat fortegn.

Man ser, at spændingsbølgeformen over R er en peakspænding.

Dette kalder man at differentiere firkantspændingen, hvorfor RC ledet med kort τ ofte kaldes et differentiationsled, når udgangsspændingen fra leddet tages over modstanden.

1.4 Integrationsled

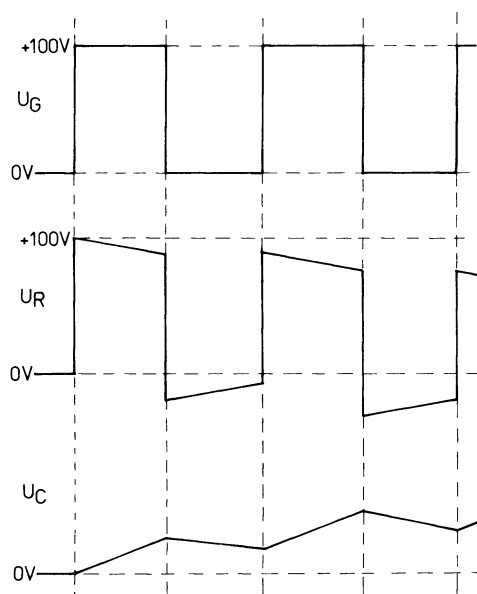
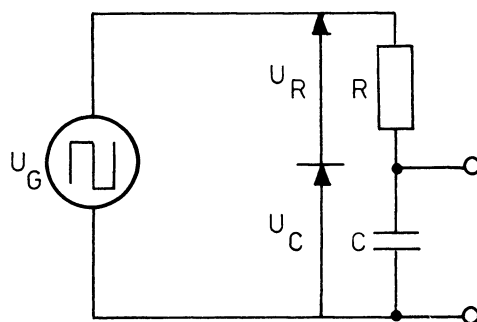
Påtrykker man en firkantspænding på et RC led med en lang τ , er det indlysende, at kondensatoren kun kan nå at op- eller aflade ganske lidt i en enkelt halvperiode af firkantspændingen.

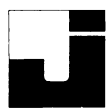
Virkningen vil da ligne den, man fandt i RC led med middellang τ , blot vil det tage mange flere perioder af den påtrykte spænding, før indsvingningsforløbet er færdigt, og U_C og U_R spændingsbølgeformerne ligger symmetrisk om deres middelværdi.

På grund af den lange τ når kondensatoren i første halvperiode kun at oplade til en ganske ringe del af den påtrykte spænding på +100 volt.

U_R , der altid er lig $U_G - U_C$, ændrer sig i samme halvperiode fra +100 volt til lidt under denne værdi, svarende til spændingsstigningen over kondensatoren.

I næste halvperiode aflader kondensatoren, men igen forhindrer den lange τ , at spændingsændringen over kondensatoren bliver ret stor, f.eks. kun 5% af den i første halvperiode opnåede spænding.





Ved begyndelsen af tredje halvperiode har kondensatorspændingen altså næsten samme værdi som ved slutningen af første halvperiode, og i løbet af tredje halvperiode opnår den en lidt større værdi, hvoraf kun en lille del forsvinder ved afladning i den fjerde halvperiode osv., indtil kondensatorspændingsbølgeformen ligger symmetrisk omkring sin middelværdi, i dette specielle tilfælde +50 volt.

Samtidig med, at kondensatorspændingen stiger, må U_R naturligvis falde, således at U_R spændingsbølgeformen, som det er vist på illustrationen, rykker i negativ retning, således at også den efterhånden kommer til at ligge symmetrisk omkring sin middelværdi på 0 volt.

Spændingen over kondensatoren kaldes ofte en integreret spænding, hvorfor RC leddet med lang τ ofte kaldes et integrationsled, når udgangsspændingen tages over kondensatoren.

At U_R i alle tre ovenstående eksempler har en middelværdi på 0 volt, skyldes, at en middelværdi forskellig fra 0 volt kun kan forekomme, hvis der går en DC strøm gennem modstanden, hvilket kondensatoren naturligvis effektivt vil forhindre.

At både U_C og U_R i alle tre ovenstående eksempler ligger symmetrisk omkring deres middelværdi, skyldes naturligvis, at U_G er en symmetrisk firkantspænding.

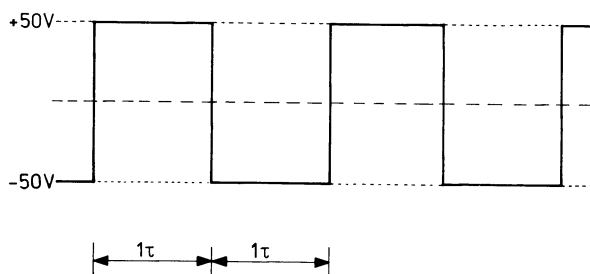
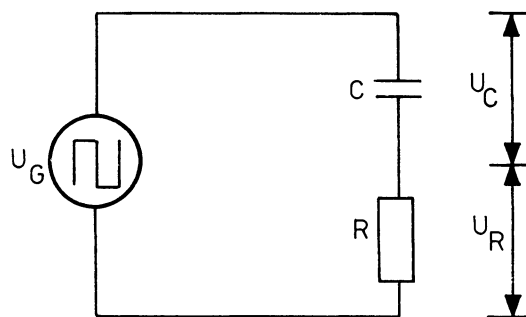
Dette vil altså ikke forekomme, hvis U_G er en asymmetrisk firkantspænding.

Generelt for både symmetriske og asymmetriske spændinger gælder det, at arealet af den del af spændingsbølgeformerne, der ligger over middelværdien, nøje svarer til arealet af den del, der ligger under, når indsvingningsforløbet er færdigt.

1.5 U_C og U_R efter indsvingningsforløbet

Det er muligt på en forholdsvis simpel måde at beregne de endelige værdier af U_R og U_C , eller som man normalt siger: Spændingerne efter, at indsvingningsforløbet er færdigt.

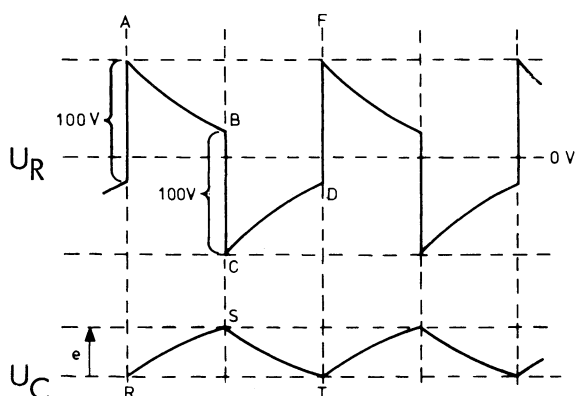
Dette belyses bedst ved et eksempel:





Den symmetriske firkantsspænding påtrykkes et RC led med en tidskonstant, der er lig med den påtrykte firkantspændings halvperiode.

Som støtte for beregningerne tegner man det omtrentlige billede af spændingerne over modstanden og kondensatoren.



Fem på hinanden følgende "hjørner" i U_R billedet er benævnt med bogstaverne A, B, C, D og E.

Tilsvarende er tre på hinanden følgende "hjørner" i U_C billedet benævnt med bogstaverne R, S og T.

Beregningerne foretages på følgende måde: Spændingen over kondensatoren til tidspunktet R kaldes e og er foreløbig ukendt.

Denne spænding har kondensatoren opnået i kraft af, at der i den ved R afsluttede halvperiode af U_p har været påtrykt RC leddet -50 volt.

Den påtrykte spænding skifter ved R til +50 volt, og kondensatoren lader da mod den ny U_G fra den netop opnåede spænding på e volt.

Kondensatoren vil altså starte en opladning på $(50 - e)$ volt.

Da den kun har et tidsrum lig med 1τ til rådighed for opladningen, bliver den opnåede spændingsændring over kondensatoren kun 63,2% af $(50 - e)$ volt, dvs. $(50 - e) \cdot 0,632$ volt.

Spændingen U_C i S er lig med spændingen i R, dvs. e volt, plus den opnåede spændingsændring $(50 - e) \cdot 0,632$ V, altså i alt $(e + (50 - e) \cdot 0,632)$ V.

Til tidspunktet S ændres den påtrykte spænding igen til -50 volt, hvorfor kondensatoren vil søge at ændre sin spænding mod denne nye værdi, dvs., den søger at ændre sin spænding fra

$(e + (50 - e) \cdot 0,632)$ V til -50 V, i alt en spændingsændring på $(e + (50 - e) \cdot 0,632 - (-50))$ V = $(e + (50 - e) \cdot 0,632 + 50)$ V.

Idet kondensatoren atter kun har 1τ til rådighed for ændringer i ladningen, bliver den opnåede spændingsændring kun 63,2% af den søgte ændring, dvs. i alt $(e + (50 - e) \cdot 0,632 + 50) \cdot 0,632$ V.

Kondensatorspændingen til tidspunktet T er lig med spændingen i S minus spændingsændringen i tidsrummet fra S til T, dvs.:

$(e + (50 - e) \cdot 0,632) - (e + (50 - e) \cdot 0,632 + 50) \cdot 0,632$ V.
(Spændingen i S - spændingsændringen i tidsrummet S til T).

Da indsvingningsforløbet er færdigt, er U_C i R lig med U_C i T, altså:

$e = (e + (50 - e) \cdot 0,632) - (e + (50 - e) \cdot 0,632 + 50) \cdot 0,632$ V.

Af denne ligning finder man: $e = -23,1$ volt. Spændingen U_C i R og T bliver altså -23,1 volt, og spændingen U_C i S bliver $(e + (50 - e) \cdot 0,632)$ V = +23,1 V.



Ved hjælp af Kirchhoffs lov for spændingerne i et kredsløb findes de tilsvarende spændinger over modstanden:

Til tidspunktet A:
 $+50 - (-23,1) \text{ volt} = 73,1 \text{ volt}.$

Til tidspunktet B:
 $+50 - (+23,1) \text{ volt} = 26,9 \text{ volt}.$

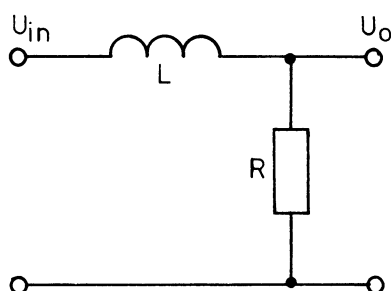
Til tidspunktet C:
 $-50 - (+23,1 \text{ volt}) = -73,1 \text{ volt}.$

Til tidspunktet D:
 $-50 - (-23,1) \text{ volt} = -26,9 \text{ volt}.$

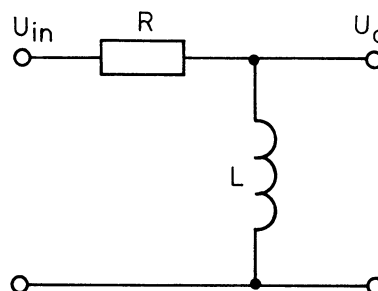
1.6 Differentiation og integration i RL kredse

Differentiation og integration kan også foretages i en serieforbindelse af en modstand og en spole.

I integrationsleddet tages udgangsspændingen over modstanden.



I differentiationsleddet tages udgangsspændingen over spolen.



Tidskonstanten τ for et RL led findes ved

$$\tau = \frac{L}{R}$$

Eksempel:

$$R = 1 \text{ k}\Omega$$

$$L = 100 \text{ mH}$$

$$\tau = \frac{100\text{m}}{1\text{k}} = 100 \mu\text{s}$$



DISPOSITION

1. Begrænsning med dioder
2. Begrænsning med rør og transistorer

1. BEGRÆNSNING MED DIODER

Begrænserkredsløb er i stand til at fjerne enten den positive eller den negative halvperiode eller en del af disse fra en vekselspænding.

Kredsløbene er på mange måder anvendelige, hvor man ønsker, at et givet signal skal have flad top eller bund.

Man kan ved hjælp af begrænsere omdanne en sinusspænding til en firkantspænding.

Af en peakspænding, f.eks. en differentieret firkantspænding, kan man ved hjælp af en begrænser fjerne enten den positive eller den negative peak.

Begrænsere bruges også ofte for at forhindre en spænding i at gøre for store udsving i positiv eller i negativ retning.

1.1 Seriediodebegrænser

Dioder er meget anvendelige i begrænserkredsløb, da de kun leder, når anoden er positiv i forhold til katoden.

Diagram A viser en serieforbundet diode, (dioder og belastning forbundet i serie), der er brugt til at begrænse den positive halvperiode af en sinusspænding.

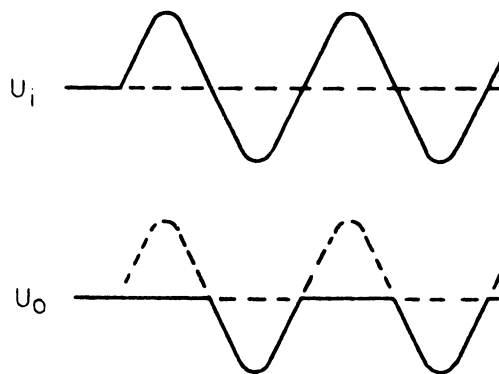
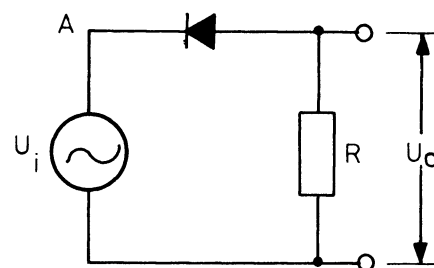
Indgangsspændingen er U_i , og udgangsspændingen er U_o .

Når en vekselspænding sluttes til indgangsterminalerne, følger udgangsspændingen kun indgangsspændingen, når den negative halvperiode påtrykkes.

Idet den positive halvperiode påtrykkes, bliver katoden positiv i forhold til anoden, og dioden kan som følge heraf ikke lede.

Da der ikke går nogen strøm, er der ikke noget spændingsfald over udgangsmodstanden R .

Det vil sige, at udgangsspændingen er nul i indgangsspændingens positive halvperiode.



Når den negative halvperiode påtrykkes, bliver katoden negativ i forhold til anoden, og da de nødvendige betingelser er opfyldt, vil dioden lede.

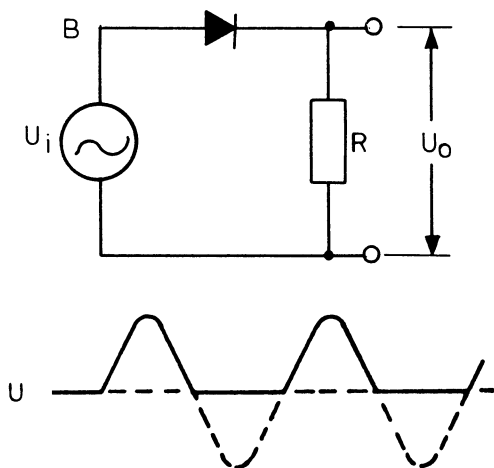
Strømmen i kredsløbet fremkalder et spændingsfald over den indre modstand i dioden og over belastningsmodstanden.



Disse to modstande deler den påtrykte spænding imellem sig, og da diodens indre modstand er forsvindende lille i forhold til belastningsmodstanden, bliver udgangsspændingen næsten lig med indgangsspændingen.

Dioden har altså begrænset signalet ved at klippe de positive halvperioder af indgangssignalet væk og nøjagtigt gengivet de negative halvperioder både i form og i størrelse.

Vendes dioden, som vist i diagram B, fjerner dioden den negative halvperiode, da anoden i denne halvperiode er negativ i forhold til katoden.



Under den positive halvperiode kan dioden lede, da anoden her er positiv i forhold til katoden.

Der fremkommer altså under den positive halvperiode et spændingsfald over belastningsmodstanden.

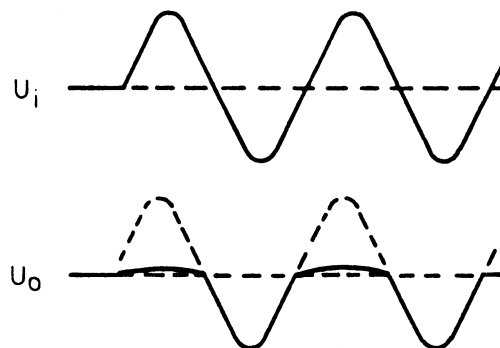
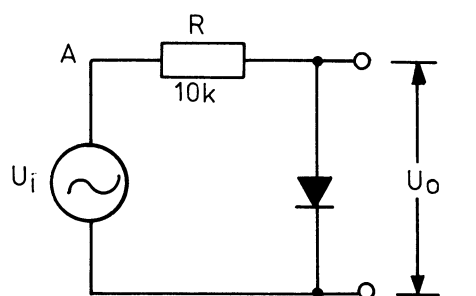
Dette spændingsfald i form og amplitude lig med indgangsspændingens positive halvperiode, når man ser bort fra det meget lille spændingsfald over diodens indre modstand.

Ved at forspænde dioden med en DC spænding, kan det niveau, hvor dioden åbner og lukker, gøres forskellig fra 0 volt.

1.2 Paralleldiodebegrænser

Dioden kan benyttes som begrænser på anden måde, idet den kan anbringes parallelt med belastningen.

I diagram A er dioden forbundet således, at den begrænser den positive halvperiode af signalet.



Når den positive halvperiode påtrykkes, kan dioden lede, hvilket bevirker, at der på samme måde som i seriediodebegrænseren går en strøm i en spændingsdeler, der her består af modstanden R og diodens ledemodstand på $\leq 10 \Omega$ for Si-dioder.

Da udgangsterminalerne her ligger over dioden, bliver udgangsspændingen i den positive halvperiode af indgangssignalet meget lille.

Når indgangsspændingen er positiv, bliver udgangsspændingen altså klippet eller begrænset til praktisk talt 0 volt.



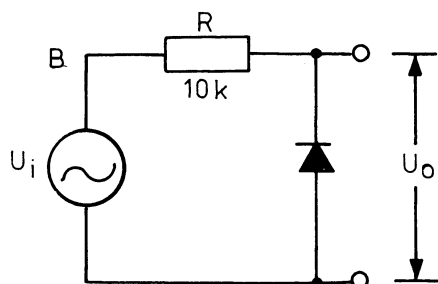
I den negative halvperiode af indgangsspændingen er anoden negativ i forhold til katoden, og dioden leder ikke.

Der er følgelig ikke noget spændingsfald over modstanden på $10\text{ k}\Omega$.

Da dioden altså virker som en uendelig stor modstand, vil man kunne måle indgangsspændingen over udgangsterminalerne.

Udgangsspændingen bliver derfor lig med indgangsspændingen i dens negative halvperiode.

Vendes dioden, som vist i diagram B, leder det, når indgangssignalet er negativt, dvs. næsten hele den påtrykte spænding lægger sig som spændingsfald over modstanden og kun en meget lille del over dioden.



Da udgangsterminalerne ligger over dioden, vil den negative halvperiode praktisk talt være begrænset til 0 volt.

1.3 Paralleldiodebegrænser med forspænding

Udgangsspændingen kan begrænses til andre værdier end 0 volt, hvis man giver dioden i paralleldiodebegrænseren en forspænding ved hjælp af et batteri eller spændingsfaldet over en modstand i en spændingsdeler.

Illustrationerne A og B viser to sådanne begrænsende kredsløb, der begge anvender et batteri som forspændingskilde.

Den ene kreds begrænser den positive, den anden den negative halvperiode.

Kreds A er beregnet til at fjerne den del af den positive halvperiode, der overstiger +5 volt.

Indgangsspændingen har en peak-to-peak værdi på 20 volt.

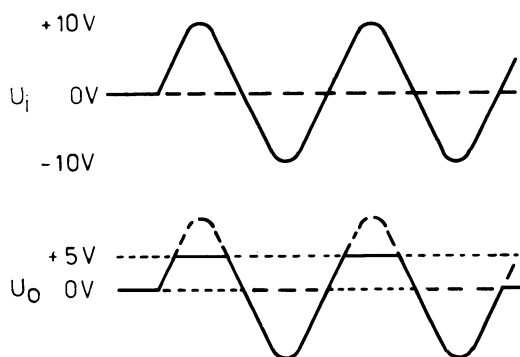
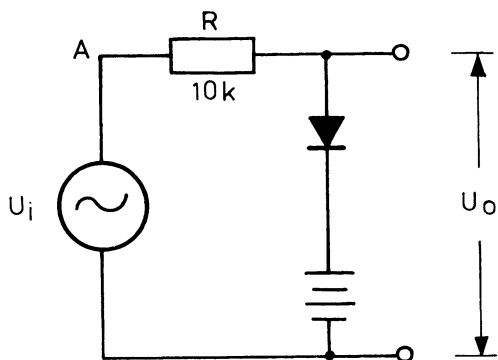
Batteriet, der er indsat mellem katode og stel, giver katoden en positiv forspænding på 5 volt.

Så længe indgangsspændingen er mindre end +5 volt, vil dioden ikke lede, men så snart den når over denne værdi, bliver anoden positiv i forhold til katoden, og der vil gå en strøm i kredsløbet.

Diodens ledemodstand er da meget lille i forhold til modstanden i det øvrige kredsløb, så den øverste udgangsterminal bliver forbundet til forspændingsbatteriets positive pol.



Derfor vil udgangsspændingen, i den del af den positive halvperiode, hvor indgangsspændingen overstiger +5 volt, være +5 volt, nemlig batterispændingen.



Forskellen mellem indgangsspændingens positive amplitude og batterispændingen vil i dette tidsrum ligge over modstanden på 10 kΩ.

I diagram B er batteriet forbundet således, at anoden bliver 5 volt negativ i forhold til katoden.

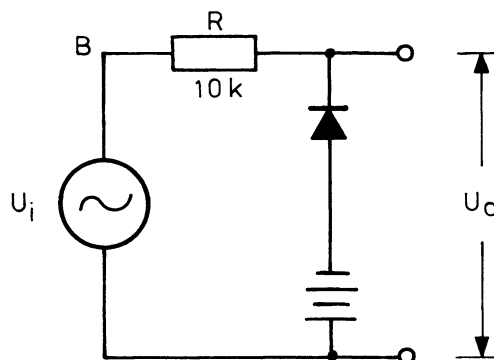
Så længe indgangsspændingen er positiv eller mindre negativ end batterispændingen, virker dioden som en uendelig stor modstand, og udgangsspændingen er lig med indgangsspændingen.

Når denne bliver mere negativ end batterispændingen, er katoden negativ i forhold til anoden, og dioden leder da.

Mellem den øverste udgangsklemme og batteriets negative pol er der da kun en meget lille modstand, nemlig diodens ledemodstand, der er minimal i forhold til modstanden i det øvrige kredsløb.

Derfor bliver den negative halvperiode af udgangsspændingen begrænset til -5 volt.

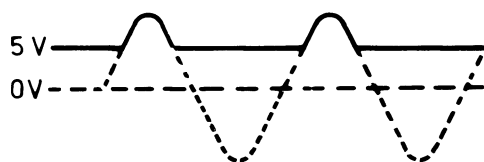
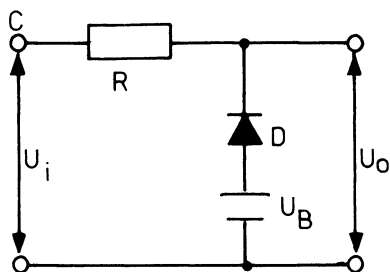
Paralleldiodebegrænseren kan også begrænse indgangssignalet, således at udgangssignalet kun indeholder spidserne af indgangssignalet.





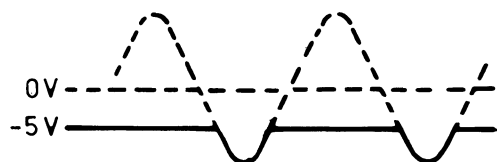
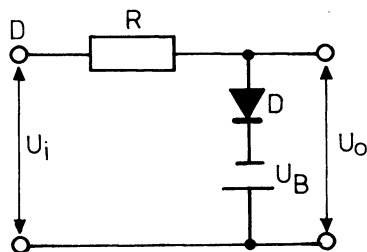
I kredsløb C leder dioden i hele den del af indgangssignalet, der er lavere end forspændingsbatteriets positive spænding.

Udgangsspændingen varierer i dette tilfælde mellem batteriets positive spænding og indgangsspændingens positive spidser.

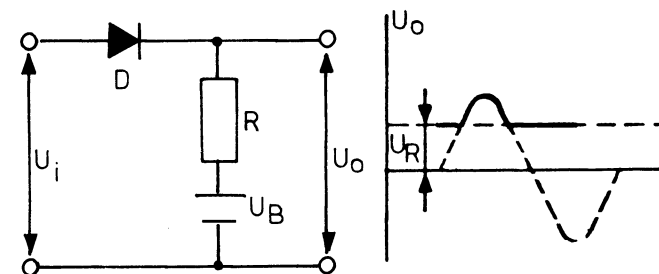
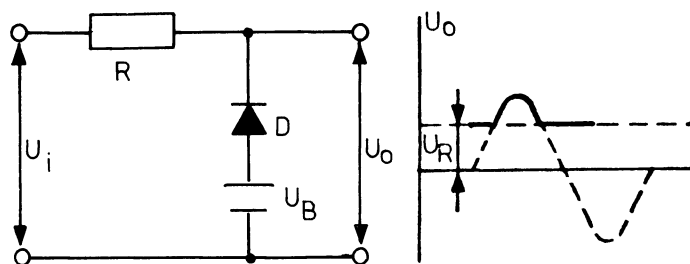
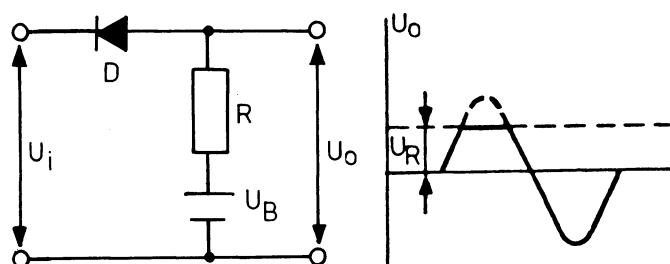
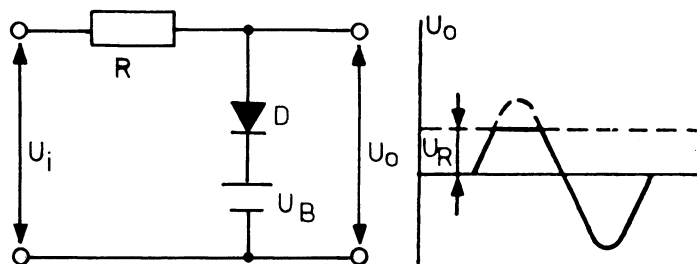


I kredsløb D leder dioden, når indgangsspændingen er over forspændingsbatteriets negative spænding.

Udgangsspændingen varierer derfor mellem batteriets negative spænding og indgangsspændingens negative spidser.



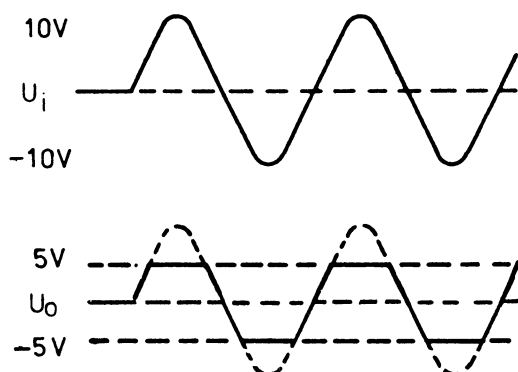
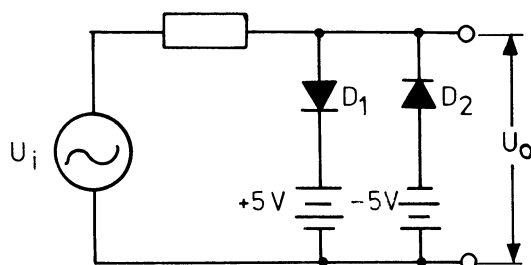
1.4 Sammenligning mellem forspændte serie- og paralleldiodebegrænsere





1.5 Dobbelt diodebegrænsning

Når to dioder med forspænding forbindes som vist, vil både de negative og de positive halvperioder af udgangsspændingen være begrænset, og man får som resultat en kurveform, der næsten er en firkantspænding.



Den amplitude, ved hvilken begrænsningen sker, kan i begge halvperioder ændres ved hjælp af batterierne, der leverer forspænding.

I det viste kredsløb begrænser D_1 den positive halvperiode og D_2 den negative.

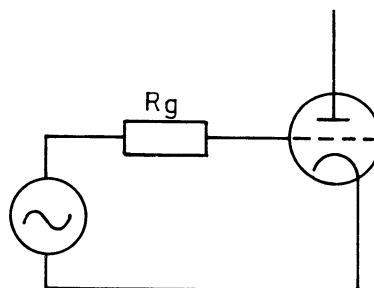
2. BEGRÆNSNING MED RØR OG TRANSISTORER

2.1 Begrænsning ved gitterstrøm

Forbinder man en stor modstand i serie med gitteret i en triode, en tetrode eller en pentode, kan gitter-katodestrækningen i røret benyttes som diode i en begrænser på samme måde som anode-katodestrækningen i en diode.

Dette skyldes, at et gitter, der er positivt i forhold til katoden, vil tiltrække elektroner fra katoden på nøjagtig samme måde som anoden i en diode, når denne anode er positiv i forhold til katoden.

I kredsløbet er gitterforspændingen 0 volt.

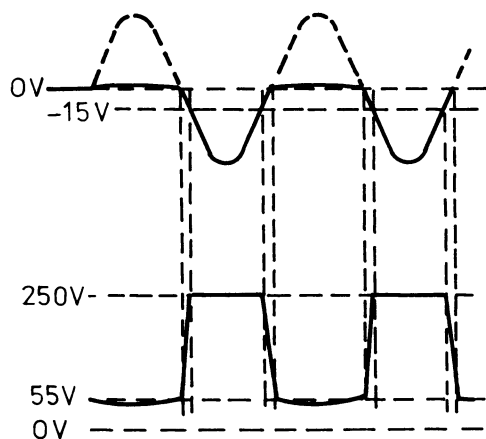
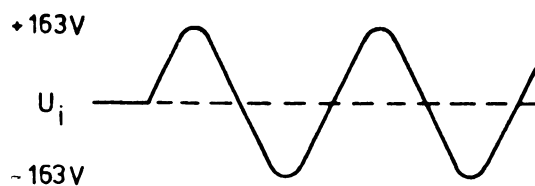
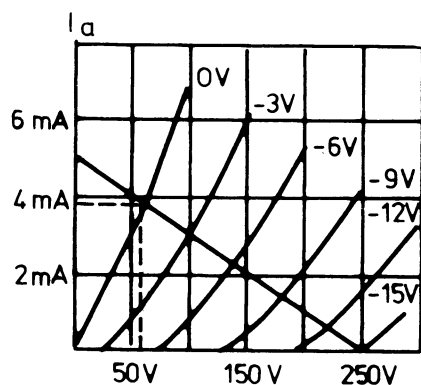
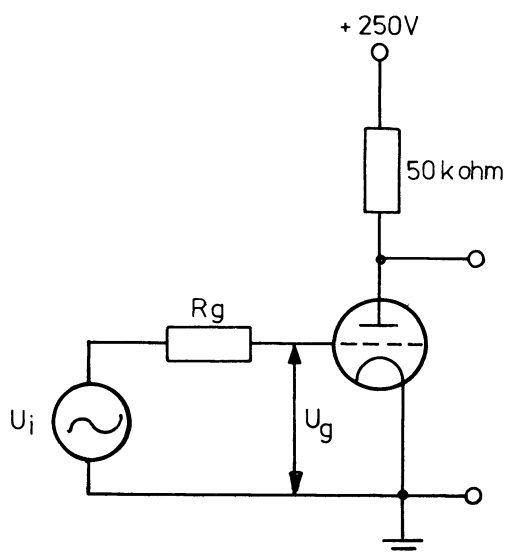


I den positive del af det tilførte signal er gitter-katodestrækningen en diode, der er forspændt i lederetningen. Den gitterspænding, der påvirker strømmen i røret, fremkommer som en spændingsdeling mellem R_g og den indre modstand mellem gitter og katode.

Da R_g forudsættes meget større end den indre modstand i dioden, der er forspændt i lederetningen, vil alle positive halvperioder blive begrænset næsten til nul på gitteret.

De positive halvperioder får derfor næsten ingen indflydelse på strømmen gennem røret.

Da røret vender signalet 180 grader, vil de negative halvperioder være fjernet fra udgangssignalet, hvorfor denne begrænser, der kaldes en gitterstrømsbegrænser eller blot gitterbegrænser, er en negativ begrænser.



2.2 Cut-off begrænsning

Hvis indgangsspændingen er tilstrækkelig kraftig i negativ retning til at køre røret cut-off, får man en yderligere begrænsning af udgangssignalet.

På illustrationen er angivet spændingsværdier, således at man kan beregne udgangsspændingen.

Indgangsspændingen er en 115 volt sinusspænding, der har en peak-to-peak værdi på 326 volt, og som tidligere nævnt vil gittermodstanden forhindre gitterspændingen i at gå mere end en brøkdel af 1 volt i positiv retning under indgangsspændingens positive halvperiode.



Gitterspændingen kan derimod få fuldt udsving i negativ retning.

For nærmere at undersøge virkningen af gitterspændingsvariationen, må man betragte rørets arbejdslinie.

Når gitterspændingen er nul, er anodestrømmen 3,9 mA, og spændingen over røret 55 volt.

Hvis gitterspændingen går i negativ retning, vil anodestrømmen aftage, og når gitterspændingen er nået -15 volt, er anodestrømmen lig med nul, dvs. røret er kørt cut-off.

Anodestrømmen kan ikke falde længere end til nul, selvom gitterspændingen forøges yderligere i negativ retning, og derfor forbliver både anodespænding og anodestrøm konstante.

Denne tilstand vedvarer, indtil gitterspændingen igen når op over de -15 volt.

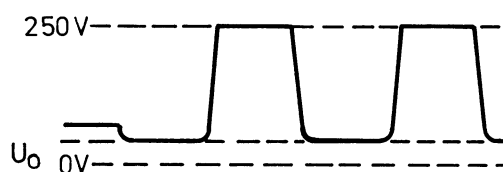
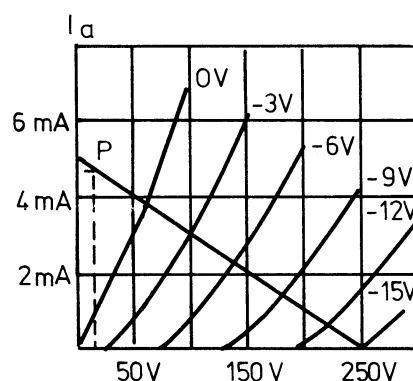
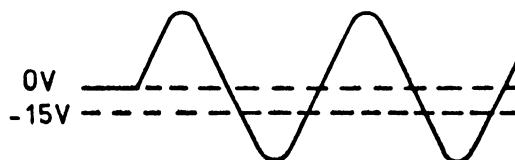
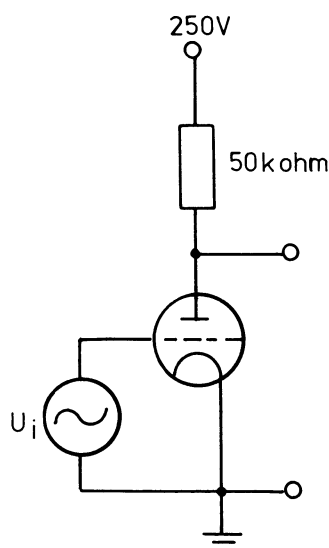
Har indgangsspændingen den form som vist på illustrationen, er anodestrømmen nul i det meste af den negative halvperiode.

Kurveformen for anodespændingen viser, at denne hurtigt skifter til 250 volt og bliver ved denne værdi det meste af en halv periode.

Anodespændingen er da næsten en firkantspænding.

Den har dog en svag runding forneden, da gitteret jo bliver en smule positivt i indgangsspændingens positive halvperiode.

Denne lille positive spænding bliver sammen med den øvrige kurveform forstærket og vendt i røret.





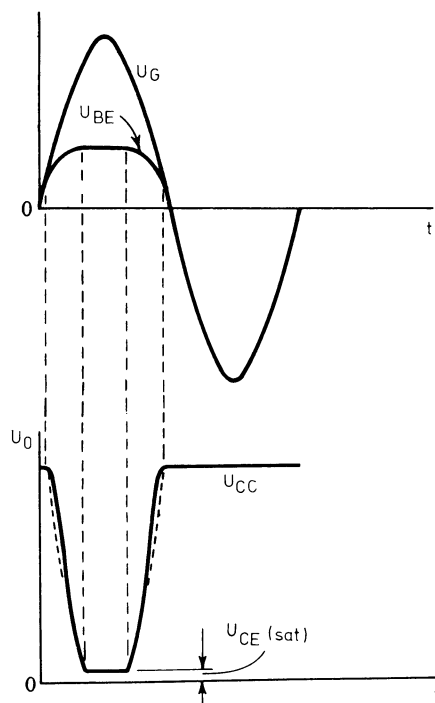
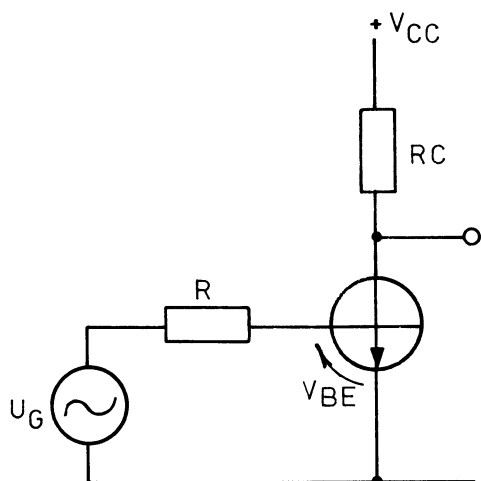
2.3 Transistorbegrænser

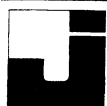
Transistoren har i lighed med rør to områder, der kan anvendes til begrænserformål.

Det ene område styrer transistoren ON, og det andet styrer transistoren OFF.

Ved begrænsning med både ON og OFF styring anvendes hele transistorens aktive område, hvilket ved spændingsstyring giver forvrængning på den del af kurveformen, der ikke begrænses.

For at undgå forvrængning på den del af kurveformen, der ikke begrænses, skal transistoren derfor strømstyres.





DISPOSITION

1. Clampingkredsløb

1. CLAMPINGKREDSLØB

Et clampingkredsløb er i stand til at ændre referencelinien for en vekselspænding på en sådan måde, at vekselspændingen kommer til at arbejde enten kun i positiv retning eller kun i negativ retning fra denne referencelinie.

1.1 Diodeclamper

I illustrationen vises et simpelt clampingkredsløb, som i det følgende vil blive beskrevet i enkeltheder.

Den påtrykte spænding er en fir-kantspænding med frekvensen 50 kHz og med en amplitude, der varierer fra +5 volt til -5 volt, altså en peak-to-peak værdi på 10 volt.

I løbet af en periode er der to forskellige tidskonstanter i kredsløbet, en kort i den ene og en lang i den anden halvperiode.

I startøjeblikket er kondensatoren afladet.

Når man påtrykker den første positive halvperiode, vil kondensatoren oplades mod den påtrykte spænding på +5 volt i 10 μ s.

Den positive påtrykte spænding vil bevirke, at dioden leder.

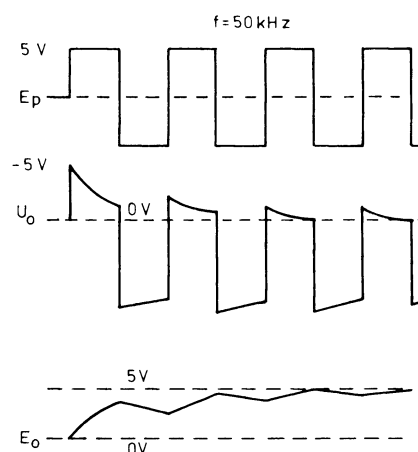
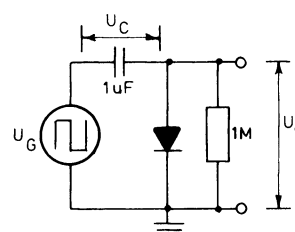
Når dioden leder, har den en indre modstand på ca. 10 ohm.

Tidskonstanten for opladningen af kondensatoren bliver da ca. 10 μ s, dvs. lig med tiden for en halvperiode.

Derfor vil kondensatoren i løbet af den første positive halvperiode blive opladet til 63,2% af den påtrykte spænding på +5 volt, hvilket giver omtrent 3,1 volt.

I den påfølgende negative halvperiode påtrykkes kredsen -5 volt.

Både kondensatorspændingen på 3,1 volt og den påtrykte spænding vil sende en strøm gennem modstanden på 1 Mohm.



I denne halvperiode er den påtrykte spænding for dioden negativ, hvorfor dioden ikke vil lede.

Kredsløbets tidskonstant bliver da 1 sekund.

Kondensatorspændingen og den påtrykte spænding har begge samme polaritet i forhold til modstanden, hvorfor de sammenlagt giver spændingen over modstanden.

Resultatet bliver, at der i den første negative halvperiode ligger en spænding på -8,1 volt over modstanden og dermed over udgangsklemmerne.

Tidskonstanten er nu 100.000 gange så lang som tiden for en halvperiode, og kondensatorspændingen vil holde sig næsten konstant.

Ved begyndelsen af den næste halvperiode, som er positiv, har kondensatoren en spænding på næsten 3,1 volt, der i kredsløbet virker i modsat retning af den påtrykte spænding på 5 volt og bevirker, at der kun bliver 5 til 3,1 V eller 1,9 volt til at sende en strøm rundt i kredsløbet.

Da tidskonstanten på grund af den positive spænding på dioden er kort, vil kondensatoren oplades 63,2% af 1,9 volt eller ca. 1,2 volt.

Disse 1,2 volt adderes til den allerede eksisterende kondensatorspænding på 3,1 volt, og man ser, at kondensatoren ved begyndelsen af den næste halvperiode, som er negativ, har en spænding på 3,1 volt plus 1,2 volt = 4,3 volt.

Under den negative halvperiode er afladningen af kondensatoren kun ringe, og kondensatorspændingen bevirker sammen med den påtrykte spænding, at spændingen over modstanden er lig med 5,0 + 4,3 volt = 9,3 volt.

Kondensatoren vedbliver i de positive halvperioder at oplades imod den påtrykte spænding på +5 volt, indtil den efter 5 tidskonstanter opladning er praktisk talt opladet.

Når man har nået den fulde ladning for kondensatoren, vil hver positiv halvperiode give 0 volt over udgangen, medens de negative halvperioder giver kondensatorspændingen plus den påtrykte spænding = -10 volt.

Kredsløbet har altså bragt firkantspændingen med hele dens peak-to-peak værdi til at arbejde fra nul volt i negativ retning til -10 volt, hvorfor kredsløbet kaldes et negativt clampingkredsløb eller blot en negativ clamper.

Når først indsvingningsforløbet er færdigt, vil dioden kun lede netop så længe i de positive halvperioder, at strømmen kan genopbygge den fulde ladning på kondensatoren, idet afladningen i de negative halvperioder på grund af den meget lange tidskonstant er meget ringe.

Det clampingkredsløb, der lige er omtalt, er et negativt clampingkredsløb, da det flytter kurven i negativ retning.

Det er let at ændre kredsløbet, så det clamper positivt.

Man skal blot vende dioden, så den leder og derved giver kort tidskonstant i de negative halvperioder.

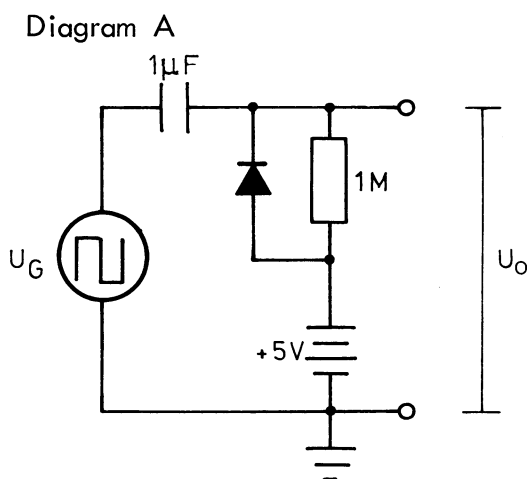


1.2 Clampere med forspænding

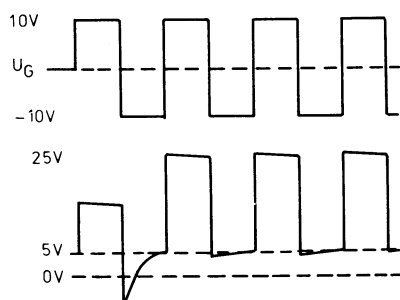
En clamer med forspænding giver en referencelinie for udgangsspændingen, forskellig fra nul volt.

Dette opnås ved at give dioden i clamperen en forspænding, en jævnspænding, der har amplitude og polaritet som den ønskede referencelinie.

Det eneste, der adskiller en sådan clamer fra de tidligere omtalte, er den DC spænding, der indføres i kredsen i serie med dioden.



$$f = 50 \text{ kHz}$$



I diagram A er tegnet en positiv clamer med en forspænding på +5 volt.

Denne forspænding bevirker, at hele firkantspændingskurven forskydes 5 volt i positiv retning.

Uden forspændingen ville udgangsspændingen arbejde fra nul i positiv retning til +20 volt, men med forspændingen ændres referencespændingen til +5 volt, og udgangsspændingen arbejder ud fra denne værdi til +25 volt.

Uden indgangsspænding vil man kunne udtage en spænding på +5 volt over udgangsklemmerne.

Når indgangssignalet påtrykkes, vil der over modstanden på 1 Mohm ligge en firkantspænding, der varierer mellem 0 volt og +20 volt på grund af kredsløbets virkemåde som positiv clamer.

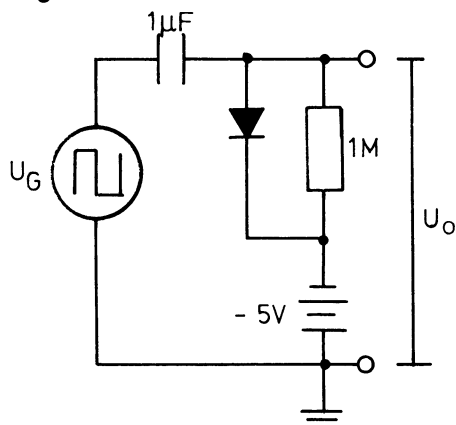
Da forspændingsbatteriet sidder i serie med modstanden på 1 Mohm, bliver udgangsspændingen lig med spændingen over modstanden plus batterispændingen.

I dette tilfælde bliver udgangsspændingen altså en firkantspænding, der arbejder fra batterispændingens +5 volt og 20 volt i positiv retning til +25 volt og tilbage til referencespændingen igen.

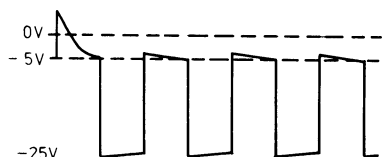


I diagram B er tegnet en negativ clamper, der clamper udgangsspændingen til at arbejde fra -5 volt og i negativ retning.

Diagram B



$$f = 50 \text{ kHz}$$



Den positive clamper forsyner ensretteren med en sinus, der er clampet til 0 volt og har amplitude, der er lig med indgangssignalets U_{pp} .

Den clampede spænding bliver ensrettet af D_2 , lade-kondensatoren C oplades til en DC spænding, der er lig med indgangssignalets U_{pp} .

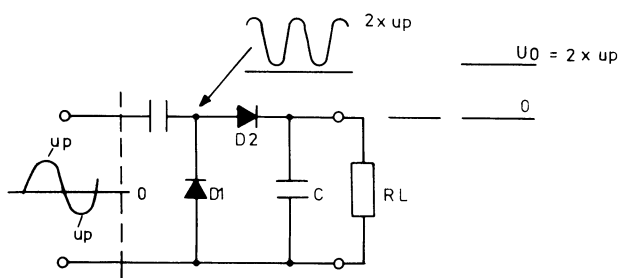
Kredsløbet kan ikke tåle store belastninger, da udgangsspændingen herved falder.

Spændingsdoblere anvendes ofte i DC prober eller i højspændingsforsyningen til oscilloskoper og fjernsyn.

1.3 Spændingsdoblere

Clamperen indgår i en speciel ensretterkobling, hvor DC udgangsspændingen er dobbelt så stor som ved en traditionel ensretter.

Ensretterkredsløbet med clamperen kaldes derfor en "spændingsdoblere".





DISPOSITION

1. DC forhold
2. Tidsforhold
3. Effektforhold
4. Speed-up kondensator
5. Switch-metoder

1. DC FORHOLD

1.1 Den ideelle switch

Den ideelle switch er en komponent, hvori der ved strømgennemgang ikke afsættes nogen effekt, dvs. modstanden er uendelig lille.

I switchens OFF stilling bør modstanden derimod være uendelig stor.

Desuden bør tiden, som medgår til at bringe switchen fra den ene stilling til den anden, være uendelig lille.

Lukket kontakt eller ON tilstand:



$$R \rightarrow 0$$

Afbrudt kontakt eller OFF tilstand:



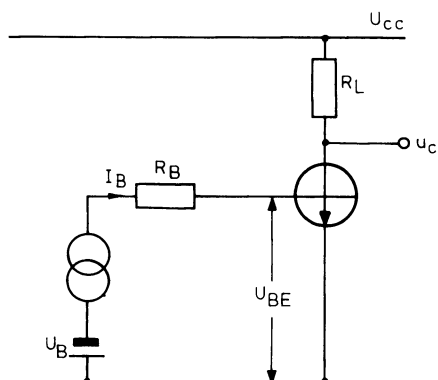
$$R \rightarrow \infty$$

Som vi kan se i det følgende, opnås disse ideelle data aldrig helt i praksis.



1.2 Transistoren som switch

En fordel ved at anvende transistoren som switch ligger i den hastighed, hvormed man kan styre modstanden mellem kollektor og emitter fra en meget høj til en meget lav værdi ved hjælp af en ringe styrestrøm ind på basis.

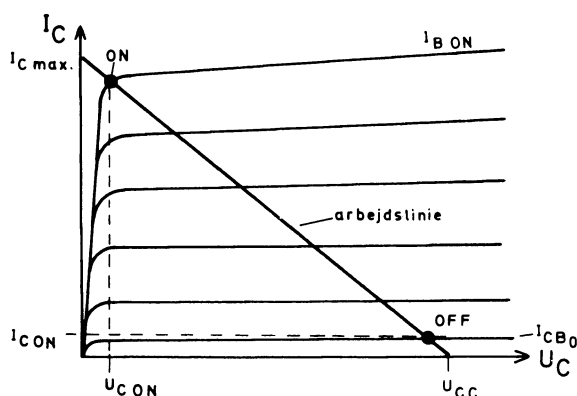


Ledes en strøm I_B ind på basis, vil kollektor-emittermodstanden falde til en lav værdi, og strømmen gennem belastningen R_L vil stige mod sin maksimale værdi, hvor

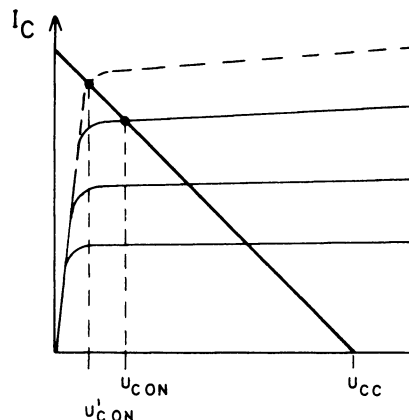
$$I_C \text{ maks.} = \frac{U_{CC}}{R_L}$$

Reduceres I_B til nul, vil batterispændingen U_B forspænde BE-strækningen i spærreretningen, hvorved I_C falder mod nul.

Indlægges dennes modstandsværdi som en arbejdslinie i karakteristikkfeltets første kvadrant, vil den markere de strøm- og spændingsværdier, transistoren indtager i henholdsvis ON og OFF stillingen.



Karakteristikkfeltet viser, at U_{CE} sat falder med stigende I_B .



Forøges I_B fra $200 \mu A$ til $300 \mu A$, vil U_{CE} falde.

Virkningen af en forøget I_B vil dog ikke fortsætte, idet transistoren indtager en mætningstilstand.

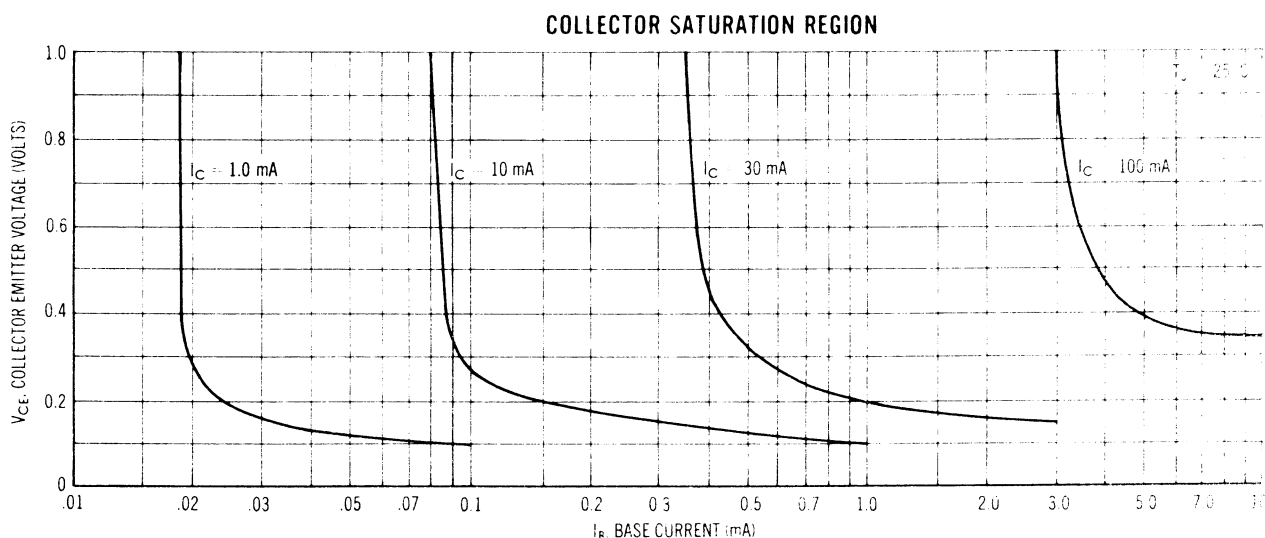
Dette betyder, at selv om I_B øges kraftigt

$$I_B \gg I_C / h_{FE}$$

vil U_{CE} aldrig blive nul.



Hvilke mætningsværdier, der kan opnås for en bestemt transistortype, opgives som regel i fabrikan- tens datablade for eksempel i form af et kurveblad, som vist for tran- sistoren 2N3903.



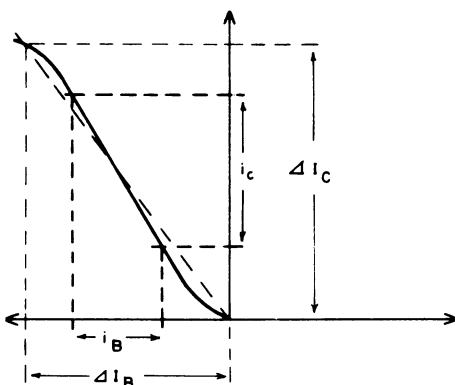
Bemærk, at en forøgelse af I_B ud over en vis værdi ikke giver nogen nævneværdig reduktion af U_{CE} .

1.3 Strømførstærkning

Strømførstærkningen for switch- transistorer benævnes DC strømfør- stærkningen og forkortes h_{FE} , hvor indekset FE som bekendt refererer til fælles emitterkobling.

DC strømførstærkningen h_{FE} skal ses i forhold til AC strømførstærk- ningen, der er en "småsignal" pa- rameter og henføres til transisto- rens anvendelse som AC forstær- ker, forkortelsen er h_{fe} .

Forskellen på værdierne for de to størrelser kan ses ud af strømfør- stærkningskarakteristikken.



h_{fe} findes som forholdet:

$$h_{fe} = \frac{i_C}{i_B},$$

hvorimod h_{FE} findes ud fra for- holdet:

$$h_{FE} = \frac{\Delta I_C}{\Delta I_B} (\Delta I_C \approx I_{C \text{ ON}}),$$

hvor $I_{C \text{ ON}}$ repræsenterer en strømværdi, der svarer til, at transistoren er i mætning.

Det ses, at hældningskoefficien- ten h_{FE} er mindre end h_{fe} , hvil- ket også ses af transistorernes da- tablade, hvor h_{FE} opgives bety- delig mindre end h_{fe} .

For normale transistorer kan man regne med følgende forhold:

$$h_{FE} < \frac{h_{fe}}{2,5}$$



1.4 Transistorens OFF tilstand

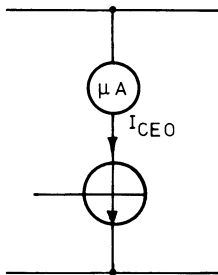
I transistorens OFF tilstand bør kollektorstrømmen være nul og dermed R_{CE} uendelig høj.

Dette kan dog ikke opnås i praksis, da I_C aldrig kan blive mindre end lækstrømmen I_{CBO} .

Transistoren bringes OFF, ved at basisstyrerstrømmen reduceres til nul.

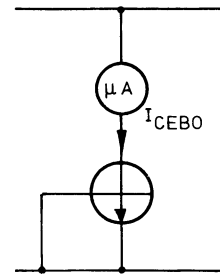
Dette må dog ikke ske som vist ved blot at afbryde basistilslutningen, hvorved transistorens lækstrøm målt i kollektoren vil kunne antage værdier, der ligger flere hundrede gange over de normale lækstrømsværdier.

Forkert

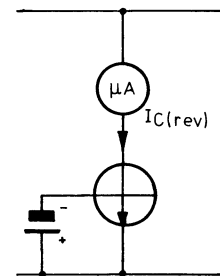


Transistoren skal derimod kobles som kortsluttet BE eller reverseret BE.

Kortsluttet BE

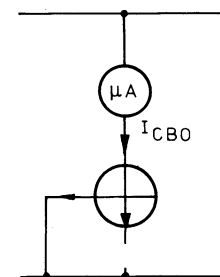


Reverseret BE



I diagrammet for kortsluttet BE er basis kortsluttet til emitter, hvorved lækstrømmen I_{CBO} antager værdier i nærheden af I_{CBO} .

I_{CBO} betegner transistorens primære lækstrøm og måles som vist.

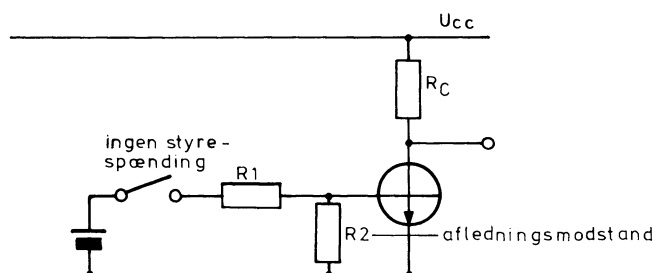




1.5 Praktisk kobling

I praksis har man sjældent mulighed for at kortslutte basis/emitterstrækningen i transistorens OFF tilstand, hvilket måtte indebære et kontaktarrangement.

I stedet lægges basis til emitter gennem en modstand af tilpas størrelse.



Modstandens størrelse bestemmes dels af, at den skal være så stor som muligt, set fra styrespændingens side for at belaste denne så lidt som muligt, og dels af lækstrømmen I_{CBO} 's værdi.

Modstanden vælges således, at den maksimale lækstrøm, dvs. I_{CBO} ved maksimal driftstemperatur, ikke frembringer et spændingsfald over R_2 , som er stort nok til at åbne transistoren.

1.6 Reverseret BE spænding

Illustrationen i pkt. 1.4 viser transistoren forsynet med en reverseret basis/emitter-spænding, dvs. basis/emitterdioden er forspændt i spærretretningen, hvorved transistorens forstærkende egenskaber annulleres; den primære lækstrøm (I_{CBO}) vil ikke blive forstærket, og den i kollektoren målte strøm vil være lig med I_{CBO} .

I_{CBO} er den mindste strømværdi, som kan opnås i switch-transistorens OFF stilling.

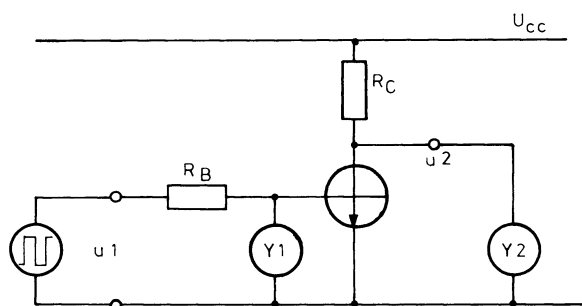
2. TIDSFORHOLD

Det er tidligere nævnt, at en af fordelene ved at anvende transistorer som switch ligger i den hastighed, hvormed komponenten kan styres mellem ON og OFF tilstandene.

Hastigheden er dog ikke ubegrænset, men sætter i dag en grænse for arbejdhastigheden i bl.a. elektroniske regnemaskiner.

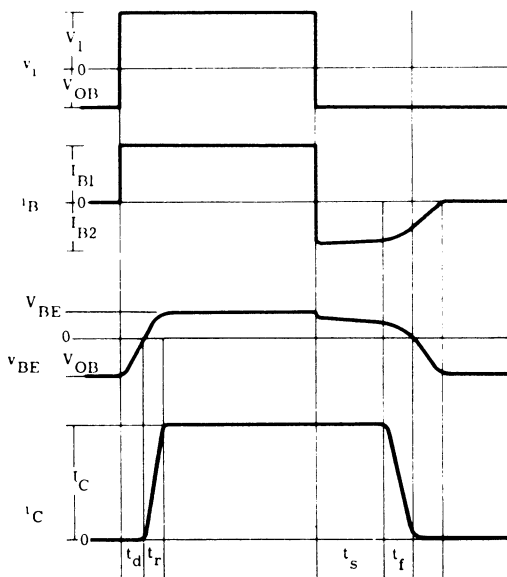
2.1 Måling på switchtransistoren

Transistorens hastighed kan findes ved at tilføre transistoren en firkantimpuls som styrespænding på basis og ved hjælp af et dobbeltstråleoscilloskop undersøge forholdet mellem den tilførte impuls og kollektorstrømmen samt basisspændingens forløb, se måleopstillingen.





Indgangsspændingen skal være af en sådan størrelse, at transistoren styres i mætning. Herved vil de viste kurver fremkomme.



Læg mærke til, at I_C ikke momentant går fra nul til maksimum, men stiger med en skrå flanke dækkende et tidsforløb, der betegnes t_r , ligesom faldetiden t_f også er "forsinket".

De forskellige tidsafsnit på de viste kurver har følgende betegnelse:

- t_d = forsinkelsestid (delay time)
- t_r = stigetid (rise time)
- t_s = efterledningstid (storage time)
- t_f = faldetid (fall time)

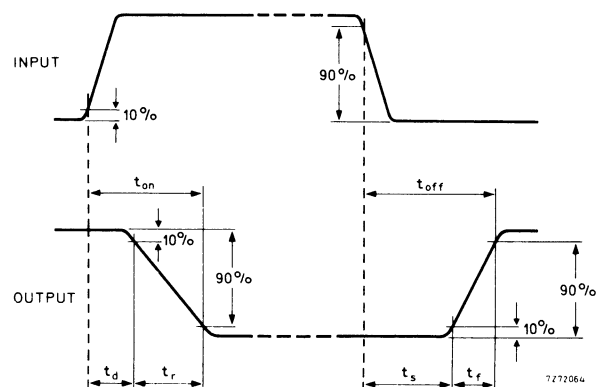
t_d og t_r udgør tilsammen transistorens ON tid, t_{on} .

t_s og t_f udgør tilsammen transistorens OFF tid, t_{off} .

$$t_{on} = t_d + t_r$$

$$t_{off} = t_s + t_f$$

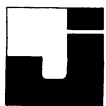
Denne sammenhæng kan også vises på indgangs- og udgangssignal.



Bemærk, at transistorens stigetid, t_r , aflæses på kollektorsignalets negativt gående flanke, og at faldetiden aflæses på den positivt gående flanke.

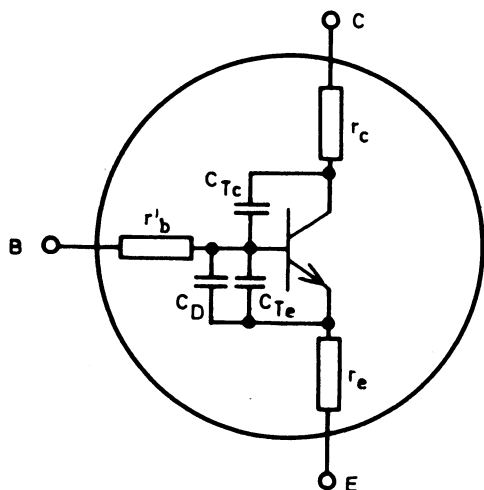
Dette er i modsætning til måling af stige- og faldetid på en impuls, hvor stigetiden måles på forflanken og faldetiden på bagflanken af impulsen.

På en positivt gående impuls bliver forflanken en positivt gående flanke og bagflanken en negativt gående flanke.



2.2 Transistorens ækvivalentdiagram

Illustrationen viser en transistor med indtegnede modstande og kondensatorer.



Disse komponenter er indvendige funktioner i transistoren, hvor modstandene r_c og r_e er den ohmske modstand i halvlederkristallet.

r'_b benævnes basisspredningsmodstanden og består henholdsvis af basislagets ohmske modstand samt en modstand afhængig af den måde, hvorpå ladningsbærerne breder sig ud i basislaget.

Kondensatorerne C_{TC} og C_{TE} er kapaciteter, som findes i enhver halvlederdiode omkring PN-overgangen.

Kapaciteten C_D benævnes diffusionskapaciteten og kan opfattes som en kapacitet på transistorens indgang.

Virkningen skyldes dog ikke en virkelig kondensator, men derimod det fænomen, at ladningsbærerne har en begrænset bevægelseshastighed fra emitteren mod kollektoren.

Det skyldes igen, at ladningsbærerne skal diffundere gennem basislaget til kollektoren.

Jo tyndere basislaget er, jo større er diffusionshastigheden.

2.3 Forsinkelsestiden t_d

Forsinkelsestiden t_d skyldes, at indgangskapaciteten C_{TE} er opladet af den reverserede U_{BE} .

Først når denne ladning er fjernet, begynder I_C at stige.

Af denne grund skal $U_{BE(\text{reverse})}$ holdes så lav som muligt:

Lille $t_d \approx$ lav $U_{BE(\text{reverse})}$.

2.4 Stigetiden t_r

Stigetiden t_r skyldes hovedsagelig diffusionskapaciteten C_D , som er stigende med stigende I_C , men også overføringskapaciteten C_{TC} påvirker t_r ved at virke som en modkobling, idet den leder strøm tilbage fra kollektoren til emitteren.

C_{TC} 's virkning stiger med stigende spændingsforstærkning fra C til B.

Alle tre kapaciteter: C_{TC} , C_{TE} og C_D påvirker t_r .

2.5 Efterledningstid t_s

Efterledningstiden bestemmes af det forhold, at kollektorkrystallet ved strømgennemgang bliver fyldt med ladningsbærere.

Afbrydes styrestrømmen I_B nu, vil I_C fortsætte, indtil halvlederkrystallet er tømt for ladningsbærere.

Dette forhold optræder kun, når transistoren er drevet i mætning, hvorved basis/kollektor-dioden er forspændt i lederetningen.

Jo dybere transistoren er drevet i mætning, jo større bliver t_s .

t_s formindskes ved at forhøje den reverserede U_{BE} , og derved aflades kapaciteterne hurtigere.



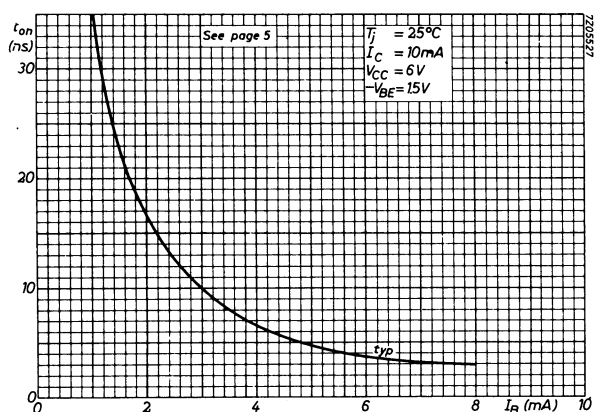
2.6 Faldetiden t_f

Faldetiden t_f skyldes transistorkapaciteterne og formindskes ved at forhøje den reverserede U_{BE} .

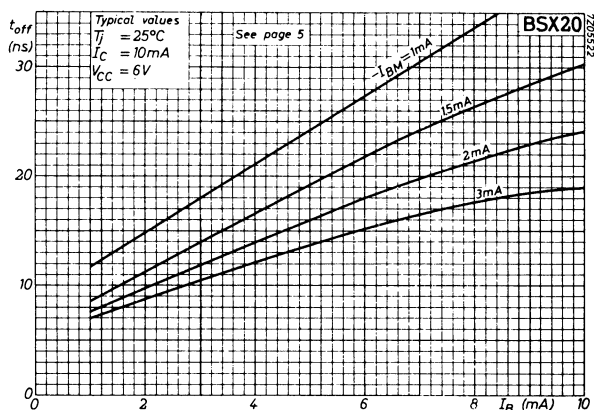
Under t_f -tiden holder U_{BE} og I_B sig tilnærmelsesvis konstante, indtil I_C er reduceret til nul.

2.7 Eksempler på t_{on} og t_{off} målt på en BSX20

Bemærk, at t_{on} bliver mindre ved større basisstrøm.



Bemærk, at t_{off} bliver større ved større basisstrøm.



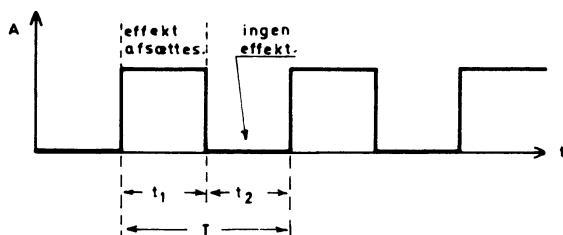


3. EFFEKTFORHOLD

3.1 Effektafsættelse ved korte stige- og faldetider

I et rigtigt dimensioneret switch-trin vil der kun afsættes en betydende effekt i transistoren, når denne er ON.

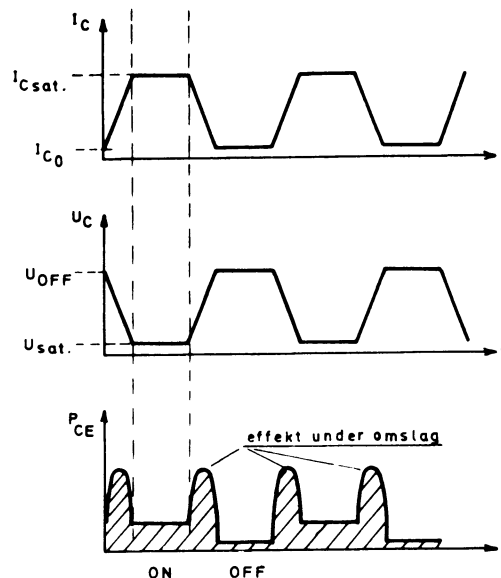
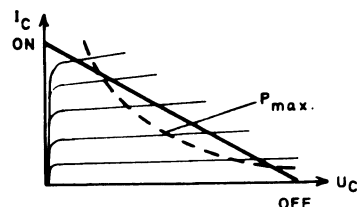
Styres transistoren af firkantimpulser, vil effektafsættelsen kun finde sted i impulstiden, såfremt stige- og faldetiderne er meget korte i forhold til den samlede periodetid.



Den samlede effekt set over én periode vil være middeleffekten for impuls " t_1 " og pausetid " t_2 ".

3.2 Effektafsættelse ved lange stige- og faldetider

Arbejder et switch-trin med forholdsvis lange t_r - og t_f -tider, vil der kunne afsættes relativt store effekter under switch-forløbet og i særdeleshed, hvis belastningslinien skærer effekthyperblen.





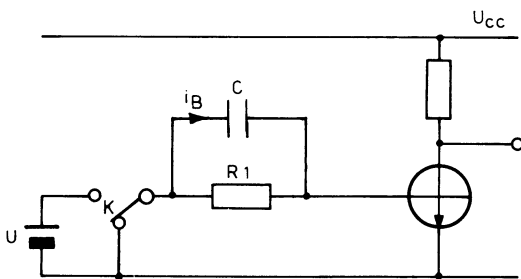
4. SPEED-UP KONDENSATOR

I forbindelse med omtalen af transistorens switch-tider blev det nævnt, at stigetiden kunne forkortes ved at tilføre basis en kraftig styrestrøm.

$$I_B \gg \frac{I_C}{h_{FE}}$$

Derimod krævede en kort faldetid, at I_B var så lav som muligt.

For at tilgodese disse to modstridende krav med hensyn til korte stige- og faldetider indføres ofte en speed-up kondensator C .



4.1 ON styring

I ovenstående opstilling er kondensatoren afladet.

Lægges omskifteren K nu over på elementet U , vil kondensatoren i starten virke som en kortslutning, og en relativ kraftig ladestrøm vil flyde til basis, hvorved transistoren hurtigt styres ON.

Efter at kondensatoropladningen er tilendebragt, vil basisstrømmen være reduceret til en værdi udelukkende bestemt af R_1 .

Denne værdi må nu vælges så beskeden, at transistoren kun lige netop er ON.

$$I_B = \frac{I_C}{h_{FE(\min.)}}$$

4.2 OFF styring

Transistorens OFF styring vil også aktiveres af C , fordi denne herunder vil aflades over R_1 med en spændingspolaritet, der vil reversere U_{BE} og dermed formindske I_B .

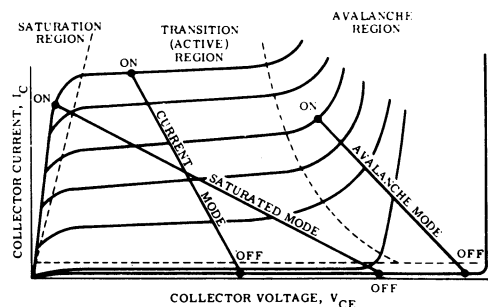
5. SWITCH-METODER

Switch-kredsløb kan generelt inddeles i tre kategorier alt efter deres arbejds metode.

Disse benævnes:

1. Spændingsstyrings metode (saturated mode)
2. Strømstyrings metode (current mode)
3. Avalanche metode (avalanche = lavine).

Forskellen på de tre metoder, vist i karakteristikfeltet, ligger i arbejdsliniens placering.



5.1 Saturated mode

Ovennævnte switch-teknik er baseret på saturated mode, hvilket i praksis er de hyppigst anvendte kredsløb.



5.2 Current mode

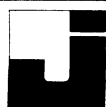
Current mode switching anvendes, hvor der kræves meget korte switch-tider.

Da styringen her foregår mellem to punkter beliggende inden for transistorens aktive område, dvs. transistoren drives ikke i mætning, undgår man den under transistorens tidsforhold beskrevne tidsfor-sinkelse t_s (storage time) og t_d (delay time) samt får forkortet t_r (rise time)-tiden.

5.3 Avalanche mode

Avalanche mode switching anvendes, hvor der kræves meget korte switch-tider.

Switch-tiderne er kortere end ved saturated mode og current mode.

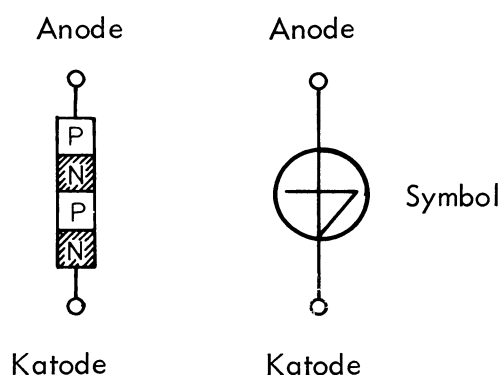


DISPOSITION

1. Shockley-dioden
2. Silicon Controlled Rectifier, SCR
3. Silicon Controlled Switch, SCS
4. Bidirectional Diode Thyristor, DIAC
5. Bidirectional Triode Thyristor, TRIAC
6. Type- og symboloversigt
7. Kredsløbseksempler

1. SHOCKLEY-DIODEN

Sammensættes fire lag af skiftevis N- og P-materiale, fås tre diodeovergange.

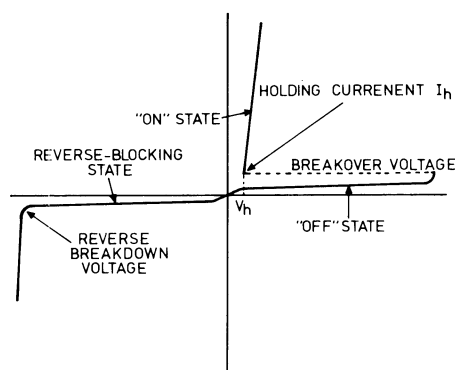


Påtrykkes det yderste P-lag + og det yderste N-lag -, er to af diodeovergangene forspændt i lederetningen og en i spærreretningen.

Øges den påtrykte spænding, sker der et gennembrud af det midterste spærrelag, gennembrudet er en avalanche eller zenereffekt, som kendt fra zenerdioden.

Dioden virker nu som en kortslutning, og denne tilstand holdes, indtil spændingen over den bliver 0 eller minus, eller strømmen falder under holde-værdien.

1.1 Karakteristik



Karakteristikfeltet er ikke tegnet i korrekt måleforhold, idet "Reverse Breakdown Voltage" er meget større end "Breakover Voltage".

"Reverse Breakdown Voltage" er den spænding, der tilført i spærre-retningen over dioden, giver et gennemslag i dioden, ligesom ved en almindelig ensretterdiode.

Øges forspændingen i lederetningen, vil der kun løbe en meget lille strøm i dioden, indtil forspændingen når "Breakover Voltage".

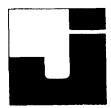
Ved "Breakover Voltage" skifter dioden fra OFF til ON og går i mætning.

Hvis spændingen til dioden reduceres, vil den forblive ON, indtil strømmen i dioden bliver mindre end holdestrømmen I_h .

Dioden kan også bringes til OFF ved at reducere spændingen over dioden til en værdi mindre end holdespændingen V_h .

Holdestrømmen varierer afhængig af type i området fra få mA til adskillige mA.

Holdespændingen ligger i området mellem 0,5 V til 20 V, afhængig af type.



I ON tilstand er diodens dynamiske modstand mindre end 10Ω .

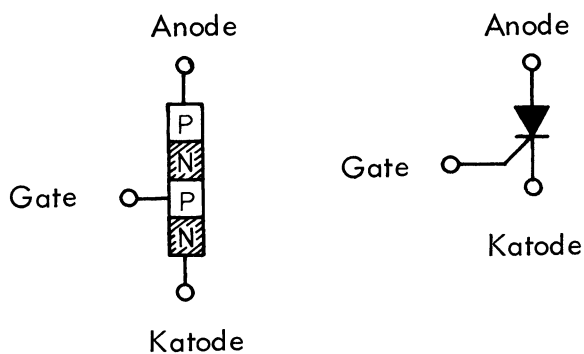
"Breakover Voltage" afhænger af typen, men kan ligge mellem få V og flere hundrede V.

Ligesom 4-lags dioden leder SCR'en, så længe strømmen er større end holdestrømmen. Den kan altså IKKE afbrydes ved at afbryde gatestrømmen.

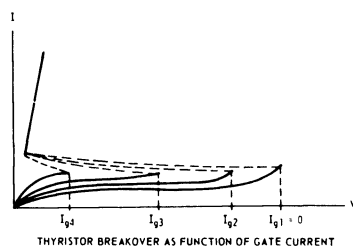
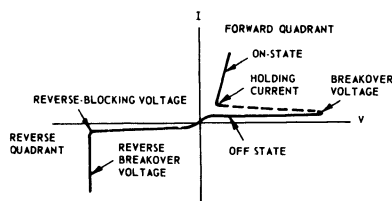
2. SILICON CONTROLLED

RECTIFIER, SCR

Anbringes der på det inderste P-lag i en 4-lags diode en ydre forbindelse, en gate, fås en SCR-diode.



Ved at tilføre en strøm til gaten kan "Breakover Voltage" ændres. Større I_G giver mindre "Breakover Voltage".

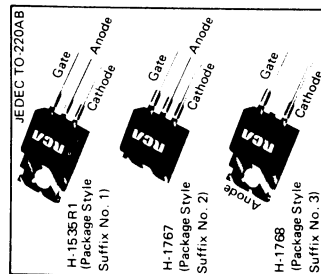


2.1 Datablad



Thyristors

106, 107 Series



4-Ampere Sensitive-Gate Silicon Controlled Rectifiers

For Power Switching and Control Applications

Features:

- Microampere gate sensitivity
- 600-V capability
- 4-A (rms) on-state current ratings
- 35-A peak surge capability
- Glass-passivated chip for stability
- Low thermal resistances
- Surge capability curve
- Three package configurations for heat-sink and PC board mounting

RCA-106 and 107 series are sensitive-gate silicon controlled rectifiers designed for switching ac and dc currents.

These SCR's are divided into the 106 series and the 107

series according to gate sensitivity. The types within each series differ in their voltage ratings; the voltage ratings are identified by suffix letters in the type designations. (Cont'd: pg. 2)

MAXIMUM RATINGS, Absolute-Maximum Values:

NON-REPETITIVE PEAK REVERSE VOLTAGE	$R_{GK} = 1000 \Omega$, $T_C = 40$ to 110°C	V_{RSOM}	25	50	75	125	250	400	500	600	700	V
NON-REPETITIVE PEAK FORWARD VOLTAGE	$R_{GK} = 1000 \Omega$, $T_C = 40$ to 110°C	V_{DSOM}	106A, 107A	106B, 107B	106C, 107C	106D, 107D	106E, 107E	106F, 107F	106G, 107G	106H, 107H	106M, 107M	V
REPETITIVE PEAK REVERSE VOLTAGE	$R_{GK} = 1000 \Omega$, $T_C = 40$ to 110°C	V_{RRM}	15	30	50	100	200	300	400	500	600	V
REPETITIVE PEAK OFF-STATE VOLTAGE	$R_{GK} = 1000 \Omega$, $T_C = 40$ to 110°C	V_{DROM}	15	30	50	100	200	300	400	500	600	V

ON-STATE CURRENT:

Conduction angle = 180° , $T_C = 85^\circ\text{C}$	$I_{T(AV)}$	2.5	A
Average ac value	$I_{T(RMS)}$	4	A
RMS value	$I_{T(DC)}$	2.75	A

DC operation

PEAK SURGE (NON-REPETITIVE) ON-STATE CURRENT:	I_{TSM}	35	A
For one cycle of applied principal voltage	See Fig. 6.		
For more than one cycle of applied principal voltage			

PEAK GATE CURRENT

	I_{GFM}	0.2	A
--	-----------	-----	---

PEAK GATE REVERSE VOLTAGE

	V_{GRM}	6	V
--	-----------	---	---

RATE OF CHANGE OF ON-STATE CURRENT:

$V_{DM} = V_{DROM}$, $I_{GT} = 1 \text{ mA}$, $t_r = 0.5 \mu\text{s}$, $T_C = 110^\circ\text{C}$	di/dt	100	A/ μs
---	---------	-----	------------------

GATE POWER DISSIPATION:

PEAK FORWARD (for $10 \mu\text{s}$ max.)	P_{GM}	0.5	W
AVERAGE (averaging time = 10 ms, max.)	$P_{G(AV)}$	0.1	W

TEMPERATURE RANGE:

Storage	T_{stg}	-40 to +150	$^\circ\text{C}$
Operating (case)*	T_C	-40 to +110	$^\circ\text{C}$

LEAD TEMPERATURE (During soldering):

For 10 s max.		250	$^\circ\text{C}$
---------------	--	-----	------------------

*Temperature measuring points are shown in the dimensional outlines on page 6.

Three package designs are available: the JEDEC TO-220AB, which is RCA's popular plastic VERSAWATT package; the TO-220AB without a mounting flange; and a straight-lead variant of the TO-220AA package. These packages are identified as styles 1, 2, 3, respectively, and are identified by suffix numbers following the suffix letters in the type design.

These thyristors feature microampere gate-current requirements which permit operation in conjunction with low-level logic circuits. They can be used for lighting, power-switching, and motor-speed controls, and for gate-current amplification for driving larger SCR's.

ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	SYMBOL	LIMITS						UNITS
		106Q-106Y	106B-106F	106G-106M	107Q-107F	107G-107E	107M	
		MIN	TYP	MAX	MIN	TYP	MAX	
PEAK OFF-STATE CURRENT: Forward, $V_D = V_{DROM}$, $R_{GK} = 1000 \Omega$ $T_C = 25^\circ\text{C}$	I_{DROM}	0.1	10		0.1	10		μA
Reverse, $V_R = V_{RRM}$, $R_{GK} = 1000 \Omega$ $T_C = 25^\circ\text{C}$	I_{RROM}	0.1	10		0.1	10		μA
INSTANTANEOUS ON-STATE VOLTAGE: For $I_T = 4 \text{ A}$ and $T_C = 25^\circ\text{C}$	V_T	1.25	2.2		1.25	2.2		V
DC GATE TRIGGER CURRENT: $V_D = 12 \text{ V (DC)}$, $R_L = 30 \Omega$ $T_C = 25^\circ\text{C}$	I_{GT}	30	200		325	500		μA
For other case temperatures, see Fig. 13		See Fig. 8			See Fig. 9			
DC GATE TRIGGER VOLTAGE: $V_D = 12 \text{ V (DC)}$, $R_L = 30 \Omega$ $T_C = 25^\circ\text{C}$	V_{GT}	0.5	0.8		0.5	0.8		V
For other case temperatures, see Fig. 13								
INSTANTANEOUS HOLDING CURRENT: $R_{GK} = 1000 \Omega$ $T_C = 25^\circ\text{C}$	I_{HO}	1.7	3.0		1.9	3.0		mA
CRITICAL RATE OF RISE OF OFF-STATE VOLTAGE: $V_D = V_{DROM}$, $R_{GK} = 1000 \Omega$ Exponential rise, $T_C = 110^\circ\text{C}$	dv/dt	5	8		5	8		V/ μs
GATE-CONTROLLED TURN-ON TIME: $V_D = V_{DROM}$, $I_T = 1 \text{ A}$, $I_{GT} = 1 \text{ mA}$, rise time = $0.1 \mu\text{s}$, $T_C = 25^\circ\text{C}$	t_{gt}	1.7	2.5		1.7	2.5		μs
CIRCUIT COMMUTATED TURN-OFF TIME: $V_D = V_{DROM}$, $I_T = 1 \text{ A}$ Pulse Duration = $50 \mu\text{s}$ $dv/dt = -5 \text{ V}/\mu\text{s}$, $di/dt = -10 \text{ A}/\mu\text{s}$ $I_{GT} = 1 \text{ mA}$ at turn on, $T_C = 110^\circ\text{C}$	t_q	30	100		30	100		μs
THERMAL RESISTANCE: Junction-to-Case*	$R_{\theta JC}$	—	3.5		—	3.5		$^\circ\text{C}/\text{W}$
Junction-to-Ambient	$R_{\theta JA}$	—	60		—	60		$^\circ\text{C}/\text{W}$
LATCHING CURRENT: $R_{GK} = 1000 \Omega$, $T_C = 25^\circ\text{C}$	I_L	—	1.8	4.0	—	2.5	4.0	mA

*Temperature measuring points are shown in the dimensional outlines on page 6.

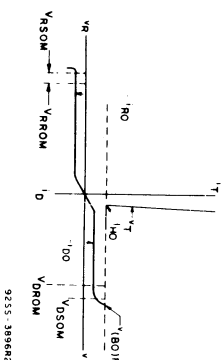


Fig. 1 - Typical volt-ampere characteristic of 106/107 series of silicon controlled rectifiers.

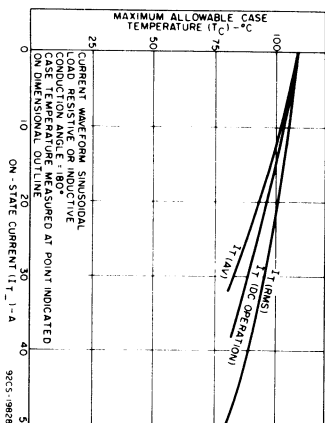


Fig. 2 - Maximum allowable case temperature vs. on-state current.

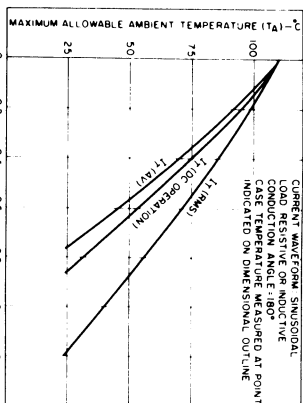


Fig. 3 - Maximum allowable ambient temperature vs. on-state current.

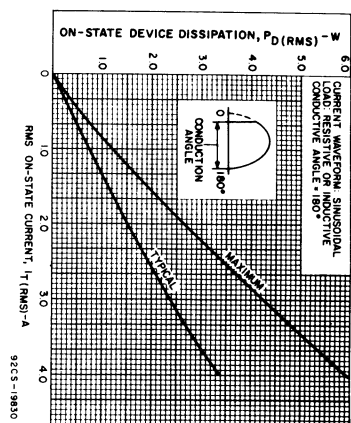


Fig. 4 - Power dissipation vs. rms on-state current.

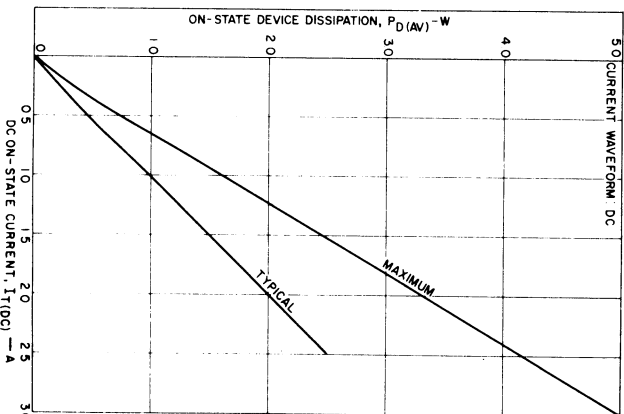


Fig. 5 - Power dissipation vs. dc on-state current.

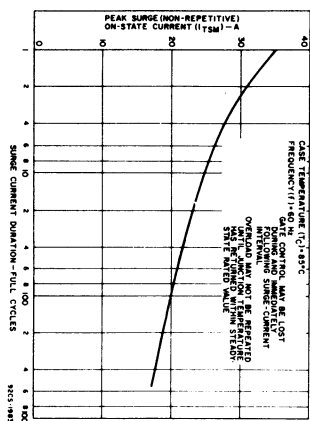


Fig. 6 - Peak surge on-state current vs. surge current duration.

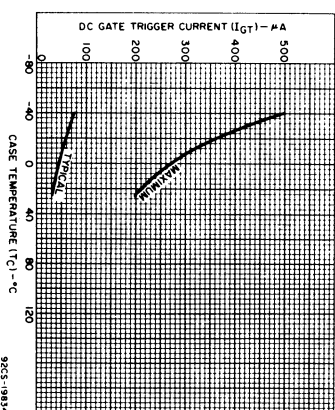


Fig. 8 - DC gate trigger current vs. case temperature for 106 series.

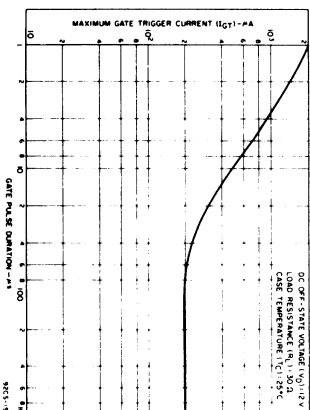


Fig. 10 - Maximum gate trigger current vs. gate pulse duration for types in the 106 series.

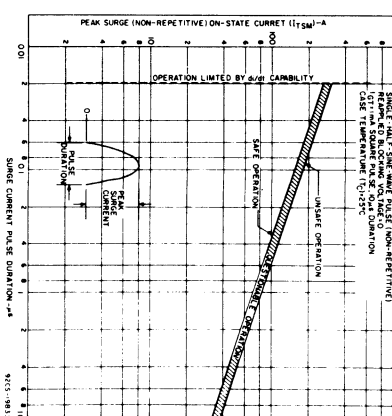


Fig. 7 - Surge capability without reapplied blocking voltage.

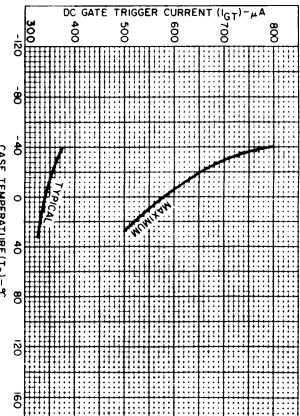


Fig. 9 - DC gate trigger current vs. case temperature for 107 series.

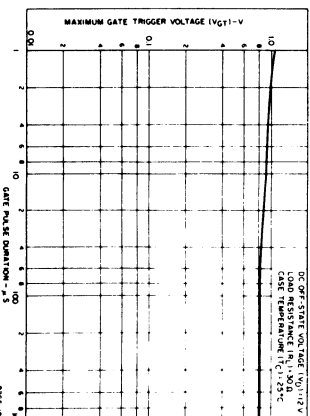


Fig. 11 - Maximum gate trigger voltage vs. gate pulse duration for types in the 106 series.

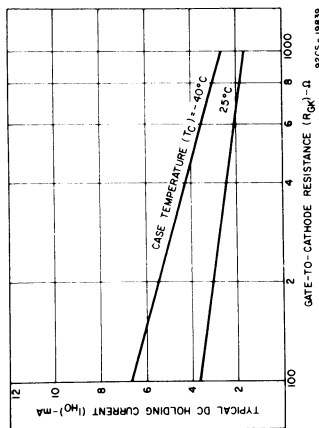


Fig. 12-DC holding current vs. gate-cathode resistance.

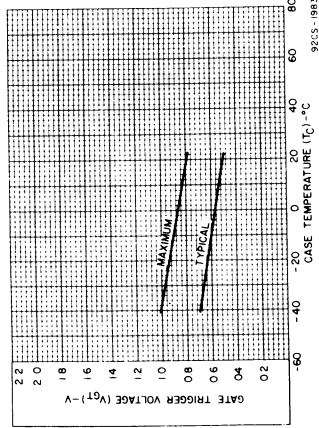


Fig. 13-Gate trigger voltage vs. case temperature.

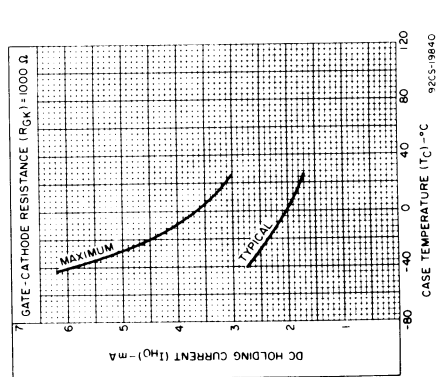


Fig. 14-DC holding current vs. case temperature for types in the 106 series.

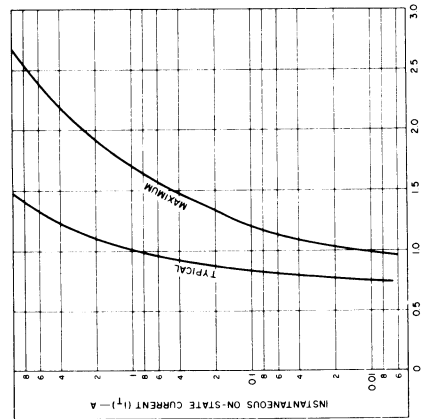


Fig. 15-Instantaneous on-state current vs. on-state voltage.

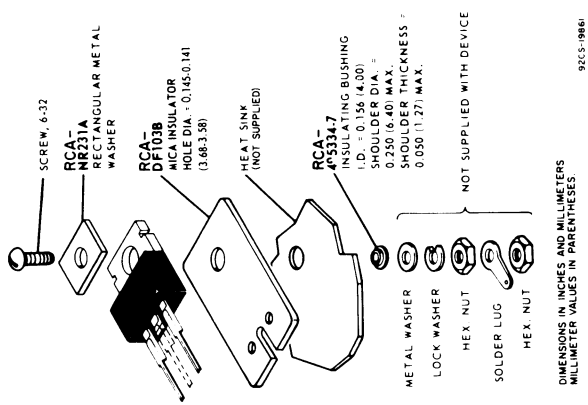


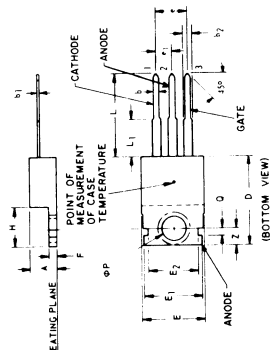
Fig. 16-Suggested mounting arrangement.

RCA APPLICATION NOTES ON THYRISTORS

- AN-3469 "Application of RCA Silicon Controlled Rectifiers to the Control of Universal Motors."
- AN-3822 "Thermal Considerations in Mounting RCA Thyristors."
- AN-4242 "A Review of Thyristor Characteristics and Applications."
- AN-3551 "Circuit Factor Charts for Use in Applications with RCA Thyristors (SCR's and Triacs)."
- AN-3886 "AC Voltage Regulators Using Thyristors."
- AN-4124 "Handling and Mounting of RCA Molded-Plastic Transistors and Thyristors."

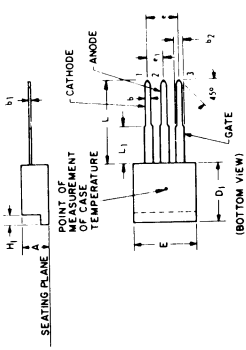
Single copies of these publications are available on request from RCA Solid State Division, Box 3200, Somerville, N.J. 08876

DIMENSIONAL OUTLINE (JEDEC TO-220AB) (SUFFIX No. 1)



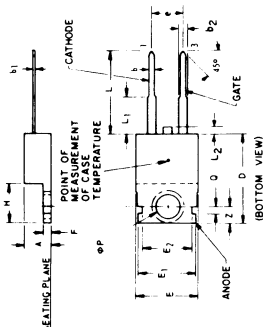
92CM-19863-1

DIMENSIONAL OUTLINE (SUFFIX No. 2)



92CM-19863-2

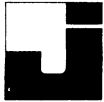
DIMENSIONAL OUTLINE (SUFFIX No. 3)



92CM-19863-3

SYMBOL	INCHES		MILLIMETERS	
	MIN.	MAX.	MIN.	MAX.
A	0.160	0.190	4.07	4.82
b	0.025	0.040	0.64	1.02
b ₁	0.012	0.020	0.31	0.51
b ₂	0.045	0.055	1.143	1.397
D	0.575	0.625	14.6	15.9
D ₁	0.32	0.42	8.13	10.7
E	0.395	0.410	10.04	10.41
E ₁	0.365	0.385	9.28	9.77
E ₂	0.300	0.320	7.62	8.12
e	0.180	0.220	4.57	5.58
e ₁	0.080	0.120	2.03	3.04
F	0.020	0.055	0.51	1.39
H	0.235	0.265	5.97	6.73
H ₁	0.03	0.05	0.762	1.27
L	0.500	-	12.70	-
L ₁	-	0.250	-	6.35
L ₂	0.02	0.05	0.51	1.27
φP	0.141	0.145	3.562	3.683
Q	0.040	0.060	1.02	1.52
Z	0.100	0.120	2.54	3.04

92CM-19863



JERNINDUSTRIENS FORLAG

Thyristorer 4-lags halvledere

Teoriinstruktion		1.7
Udgave	7903	Side af sider 5 15

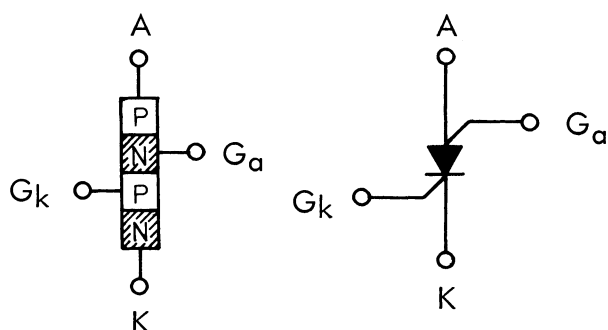
3. SILICON CONTROLLED

SWITCH, SCS

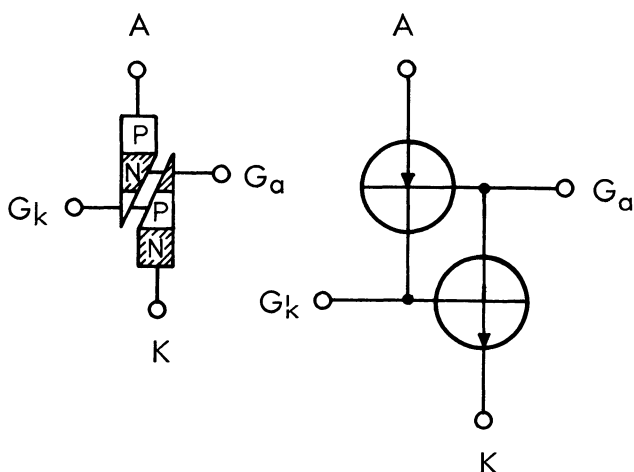
En "Silicon Controlled Switch" har styreelektroder på alle fire halvlederlag i dioden.

Elektroden nærmest katoden kaldes katode-gate, G_k .

Elektroden nærmest anoden kaldes anode-gate, G_a .



SCS'en kan sammenlignes med to transistorer, koblet som BMV, enten er begge transistorer ON eller begge OFF.



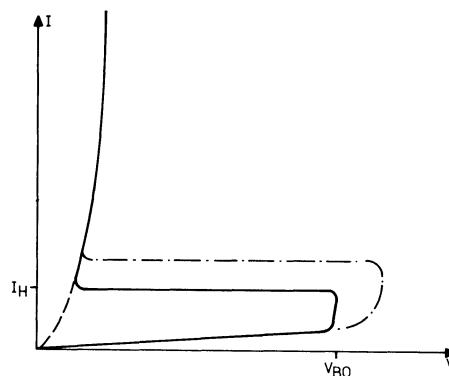
3.1 Ledekaraktistik

En positiv impuls på G_k får SCS'en til at gå ON.

En negativ impuls på G_a får SCS'en til at gå ON.

Under visse betingelser kan SCS'en bringes til OFF ved hjælp af en af de to gates.

Tilføres en af styreterminalerne en spænding, der driver strømmen i modsat retning af den, som anvendes til trigning eller tænding, vil man inden for visse grænser kunne ændre anode-katodekarakteristikken, som vist med den stiplede kurve.



Man kan herved dels opnå en forøgelse af den anode-katode-spænding V_{BO} , der uden trigning på styreterminalerne kan gøres SCS'en ledende, dels en forøgelse af holdestrømmen I_H .

Forøges holdestrømmen til en værdi, der er større end anode-katodestrømmen i det betragtede øjeblik, vil SCS'en blokeres og forblive blokeret, selv om blokeringspændingen på styreterminalen fjernes.

Med de 4-lags halvledere af SCS-typen, der hidtil er fremstillet, kan man med en blokeringspænding på G_k kun opnå blokering ved meget små anode-katodestrømme, og den nødvendige G_k -strøm andrager da $1/5$ til $1/2$ gang anode-katodestrømmen.

Ved blokering via G_a er det muligt at afbryde strømme, der antager værdier i nærheden af SCS'ens maksimalt tilladelige data. I sidstnævnte tilfælde kræves der til gengæld en, omend kortvarig, G_a -strøm af samme størrelse som anode-katodestrømmen.



3.2 Spærrekarakteristik

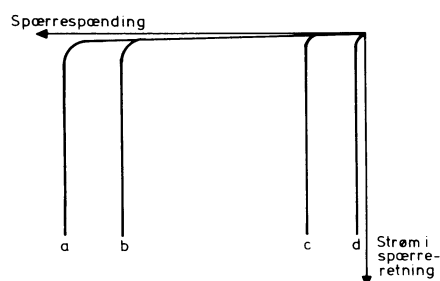
Kortsluttes G_a og anoden, kunne man vente, at SCS'en ikke mere har en 4-lags halvleders typiske "enten ledende eller ikke ledende" karakter.

Dette er imidlertid ikke tilfældet, da afstanden mellem styreelektrodens kontaktpunkt på siliciumkryсталlet og spærrelagene er så store, at den frembryder en sådan modstand, at der ikke foreligger en reel kortslutning af PN-spærrelagets to sider. Samme forhold gør sig gældende ved kortslutning af G_k og katoden.

Imidlertid påvirkes "Reverse break-down Voltage", hvis en eller begge styreelektroder kortsluttes til henholdsvis anode eller katode.

Kurven viser strømmen i spærreretningen som funktion af spærrespændingen ved:

- G_a og G_k afbrudt.
- G_k kortsluttet til katode.
- G_a kortsluttet til anode.
- G_k og G_a kortsluttet til henholdsvis katode og anode.

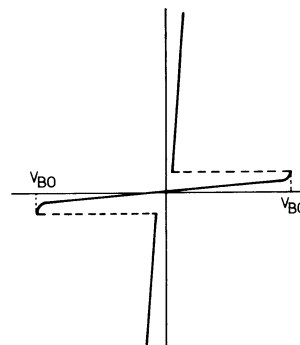


4. BIDIRECTIONAL DIODE THYRISTOR, DIAC

4.1 Diac, Bidirectional Diode Thyristor

Vendes to 4-lags dioder modsat, fås en halvleder, DIAC'en, der kan bruges som triggerdiode.

Da de to 4-lags dioder vender modsat, kan dioden lede i begge retninger, hvis "Breakover Voltage" overvindes.

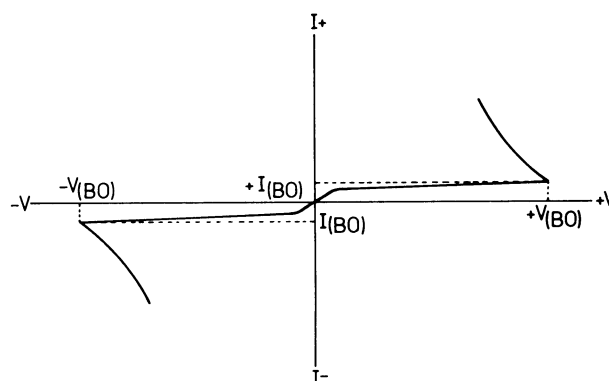


4.2 Trigger DIAC

Under navnet DIAC fremstilles også en 3-lags halvlederkomponent, trigger DIAC'en.

Denne diode anvendes ofte til at trigge SCR-dioden eller TRIAC'en.

Strøm-spændingskarakteristik for trigger DIAC'en:



Som symbol for trigger DIAC'en bruges:



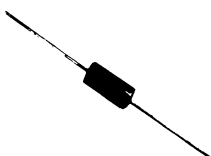


4.3 Datablad, Trigger DIAC

RCA
Solid State
DivisionThyristors
45411
45412

Silicon Bidirectional Diacs

Plastic-Packaged Two-Terminal Trigger Devices for Applications in Military, Industrial, and Commercial Equipment



JEDEC DO-15

A-1183

Features:

- For critical triggering applications requiring narrow breakever voltage range (29-35V)—45411
- Typical breakever voltage: $V_{(BO)} = 32\text{ V}$
- Low breakever current (at breakever voltage): $I_{(BO)} = 25\text{ }\mu\text{A max.}$
- High peak pulse current capability
- Breakever voltage symmetry: $|+V_{(BO)}| - |-V_{(BO)}| = \pm 3\text{ V max.}$

RCA45411 and 45412 are all-diffused, three-layer, two-terminal devices in an axial-lead plastic package designed specifically for triggering thyristors. Both units exhibit bidirectional negative-resistance characteristics.

These diacs are intended for use in thyristor speed-control circuits for lamp-dimming, universal-motor speed control, and heat controls. Their small size and plastic package of high insulation resistance make these diacs especially suitable for applications in which high packing densities are employed.

MAXIMUM RATINGS, Absolute Maximum Values:

DEVICE DISSIPATION:

At case temperature up to 40°C 1 W At case temperatures above 40°C Derate $0.016\text{ W}/^\circ\text{C}$

TEMPERATURE RANGE:

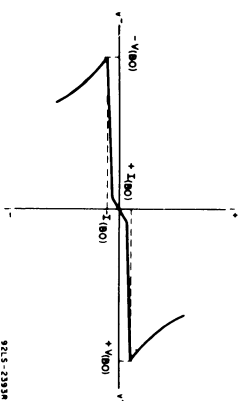
Storage -40 to $+150^\circ\text{C}$ Operating (Junction) -40 to $+100^\circ\text{C}$ LEAD TEMPERATURE (During Soldering)
At distance $\geq 1/16$ in. (1.59 mm) from case
for 10 s max. 240°C 

Fig. 1—Voltage-current characteristic for both types.

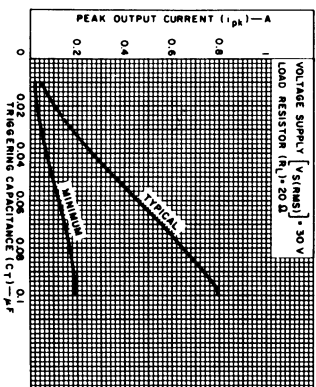


Fig. 2—Peak output current vs. triggering capacitance.

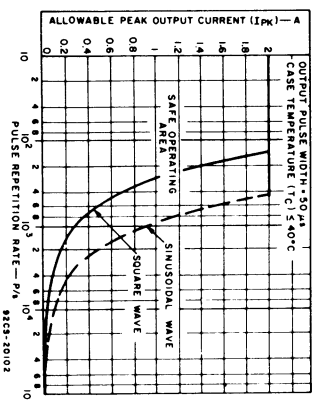


Fig. 3—Peak output current derating curves.

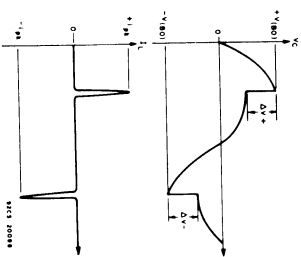


Fig. 5—Test circuit waveforms (see Fig. 4).

ELECTRICAL CHARACTERISTICS: At Case Temperature (T _C) = 25°C							
CHARACTERISTIC	SYMBOL	TEST CONDITIONS	LIMITS				UNITS
			45411		45412		
Breakover Voltage (Forward or Reverse)	V _(BO)		MIN.	MAX.	MIN.	MAX.	V
Breakover Voltage Symmetry	$\left +V_{(BO)} \right - \left -V_{(BO)} \right $		—	± 3	—	± 3	V
Peak Output Current (See Figs. 2, 3, & 5.)	I _{pk}	V _{SUPPLY} = 30 V RMS; C _T = 0.1 μF; R _L = 20 Ω	190	—	190	—	mA
Peak Breakover Current	I _(BO)	At breakover voltage	—	25	—	25	μA
Dynamic Breakback Voltage	$\left \Delta V_z \right $	V _{SUPPLY} = 30 V RMS; C _T = 0.1 μF R _L = 20 Ω	9	—	9	—	V
Thermal Impedance Junction-to-ambient	I _{θJA}		—	60	—	60	°C/W

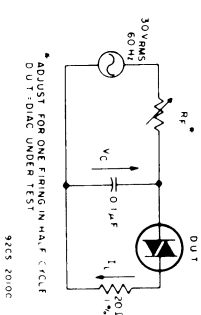
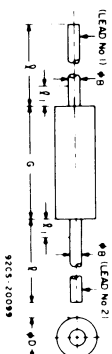


Fig. 4—Circuit used to measure diac characteristics.

DIMENSIONAL OUTLINE FOR TYPES
45411 & 45412
JEDEC DO-15

Lead 1 or 2 - Positive or Negative Terminal

	INCHES		MILLIMETERS	
SYMBOL	MIN.	MAX.	MIN.	MAX.
1	0.007	0.015	0.08	0.08
2	0.004	0.010	0.04	0.04
3	0.004	0.010	0.04	0.04
4	0.004	0.010	0.04	0.04
5	0.004	0.010	0.04	0.04
6	0.004	0.010	0.04	0.04
7	0.004	0.010	0.04	0.04
8	0.004	0.010	0.04	0.04
9	0.004	0.010	0.04	0.04
10	0.004	0.010	0.04	0.04
11	0.004	0.010	0.04	0.04
12	0.004	0.010	0.04	0.04

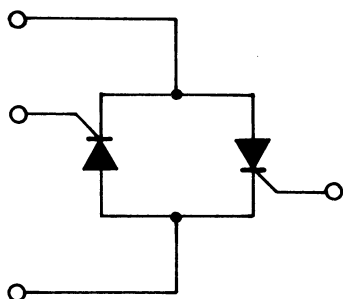
* When this dimension is not shown, the standard dimensions apply.



5. BIDIRECTIONAL TRIODE

THYRISTOR, TRIAC

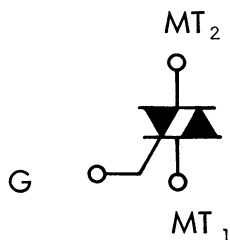
Virkemåden af en TRIAC kan sammenlignes med to SCR-dioder i antiparallel.



En af de to dioder vil kunne bringes til at lede, uanset hvordan spændingen over dioderne er polariseret.

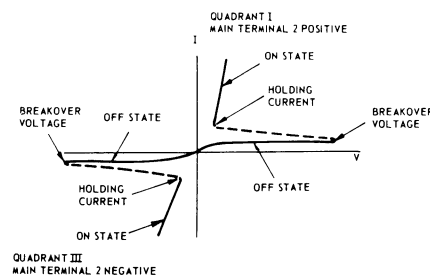
TRIAC'en er en 4-lags diode med nogle "ekstra" lag indlagt, der gør, at den kan lede i begge retninger og kan trigges af positive eller negative spændinger, uanset polariteten af spændingen over dioden.

5.1 Symbol



MT = main terminal

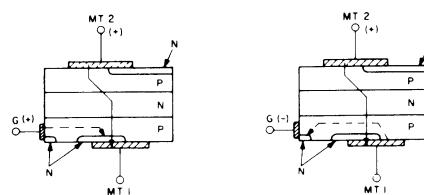
5.2 Karakteristik og strømveje



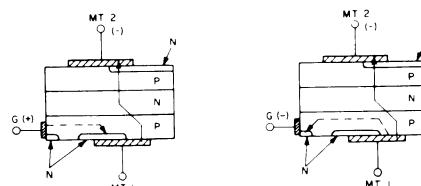
"Breakover Voltage" kan ændres ved at tilføre gaten en positiv eller negativ spænding.

Da MT_2 enten kan være positiv eller negativ i forhold til MT_1 , og gaten enten positiv eller negativ i forhold til MT_1 , opstår der fire kombinationer af strømveje i dioden.

Hvis MT_2 er positiv i forhold til MT_1 , kan kredsløbet trigges af enten en positiv eller negativ gate-spænding, strømvejene i dioden er da:



Hvis MT_2 er negativ i forhold til MT_1 , kan kredsløbet trigges af enten en positiv eller negativ gate-spænding, strømvejene i dioden er da:



5.3 Datablad over TRIAC

RCA
Solid State
Division

Thyristors
40429 40502
40430 40503

RCA-40429, 40430, 40502, and 40503 are gate-controlled, full-wave, silicon triacs. They are intended for the control of ac loads in applications such as heating controls, motor controls, light dimmers, and power switching systems.

These triacs are designed to switch from an off-state to an on-state condition for either polarity of applied voltage with positive or negative triggering voltages to the gate.

Types 40429 and 40430 are hermetically sealed types having an on-state current rating of 6 amperes at a case temperature of +75°C and repetitive off-state voltage ratings of 200 volts and 400 volts, respectively.

The 40429 and 40430 are also available with integral heat radiators — types 40502 and 40503, respectively.

Maximum Ratings, Absolute-Maximum Values:

For Operation with Sinusoidal Supply Voltage at Frequencies of 50/60 Hz, and with Resistive or Inductive Load

40429 40430
40502 40503

REPETITIVE PEAK OFF-STATE VOLTAGE*, V_{DRM}:

Gate Open,
For T_J = -65 to +100 °C 200 400 V

RMS ON-STATE CURRENT, I_{RM}:

For case temperature (T_C) of +75 °C 6 6 A
and a conduction angle of 360° (40429) (40430)

For ambient temperatures (T_A) up to +100 °C and a conduction angle of 360° See Fig. 16.

PEAK SURGE (NON-REPETITIVE) ON-STATE CURRENT, I_{FSM}:

For one cycle of applied principal voltage 100 100 A

For more than one full cycle of applied voltage See Fig. 4.

PEAK GATE-TRIGGER CURRENT, I_{GT}:

For 1 μs max. 4 4 A
GATE POWER DISSIPATION: ■

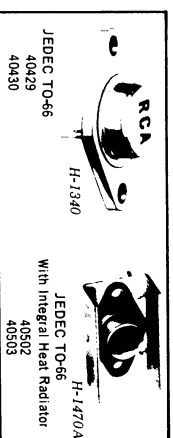
PEAK, P_{GM} For 1 μs max. and I_{GT} ≤ 4 A (peak) 16 16 W

AVERAGE, P_{G(AV)} 0.2 0.2 W

TEMPERATURE RANGE: ■
Storage -65 to +150 °C
Operating (case) -65 to +100 °C

6-AMPERE SILICON TRIAC'S

Medium-Power, Gate-Controlled, Full-Wave Types

**Features**

- 720-Watt Control 120-Volt Line Operation } 40429
- 1,440-Watt Control 240-Volt Line Operation } 40430
- 6-A (rms) On-State Current Ratings
- 100-A Peak Surge Full-Cycle Current Ratings
- Shorted-Emitter Design — contains internally diffused resistor from gate to Main Terminal No. 1.
- Center Gate Construction — provides rapid uniform gate current spreading for faster turn-on with substantially reduced heating effects
- Low Switching Losses
- Low Thermal Resistance

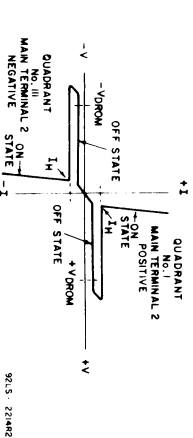


Fig. 1 - Principal Voltage-Current Characteristic

For information on the reference point of temperature measurement, see Dimensional Outline, page 8.

ELECTRICAL CHARACTERISTICS

At Maximum Ratings and at Indicated Case Temperature (T_C) Unless Otherwise Specified
(For Definitions of Terms and Symbols, See Page 6)

CHARACTERISTIC	SYMBOL	LIMITS										UNITS		
		40429		40502		40430		40503						
		Min.	Typ. Max.	Min.	Typ. Max.	Min.	Typ. Max.	Min.	Typ. Max.					
Peak Off-State Current** Gate Open At $T_J = +100^\circ\text{C}$ and $V_{\text{DRM}} = \text{Max. rated value}$	I_{DRM}	-	0.1	4	-	0.1	1.2	-	0.2	4	-	0.2	1.2	mA
Maximum On-State Voltage** For $I_T = 30\text{A}$ (peak) and $T_C = +25^\circ\text{C}$	V_{TM}	-	1.8	2.25	-	1.8	2.25	-	1.8	2.25	-	1.8	2.25	V
DC Holding Current** Gate Open Initial principal current = 150 mA (DC) At $T_C = +75^\circ\text{C}$	I_{HO}	-	15	30	-	15	30	-	15	30	-	15	30	mA
For other case temperatures		See Fig. 8.												
Critical Rate of Rise of Commutation Voltage** For $V_D = V_{\text{DRM}}$, $I_{\text{RMS}} = 6\text{ A}$, commutating $di/dt = 3.2\text{ A/ms}$, and gate unenergized At $T_C = +75^\circ\text{C}$	dv/dt	3	10	-	-	3	10	-	-	-	-	-	-	V/μs
I_{RMS} and I_A specified by curve A of Fig. 16		-	-	3	10	-	-	-	3	10	-	-	-	V/μs
I_{RMS} and I_A specified by curve B of Fig. 16		-	-	4	12	-	-	-	4	12	-	-	-	V/μs
Critical Rate of Rise of Off-State Voltage** For $V_D = V_{\text{DRM}}$, exponential voltage rise, and gate open At $T_C = +100^\circ\text{C}$	dv/dt	30	150	-	30	150	-	20	100	-	20	100	-	V/μs
DC Gate-Trigger Current** For $V_D = 12\text{ volts (DC)}$, $R_L = 12\Omega$ At $T_C = +75^\circ\text{C}$, and specified triggering mode:	I_{GT}	-	15	25	-	15	25	-	15	25	-	15	25	mA
I+ Mode: positive V_{MT2} , positive VGT		-	15	25	-	15	25	-	15	25	-	15	25	mA
I- Mode: negative V_{MT2} , negative VGT		-	15	25	-	15	25	-	15	25	-	15	25	mA
I+ Mode: positive V_{MT2} , negative VGT		-	25	40	-	25	40	-	25	40	-	25	40	mA
I- Mode: negative V_{MT2} , positive VGT		-	25	40	-	25	40	-	25	40	-	25	40	mA
For other case temperatures		See Fig. 12 & 13.												
DC Gate-Trigger Voltage** For $V_D = 12\text{ volts (DC)}$ and $R_L = 12\Omega$ At $T_C = +75^\circ\text{C}$	V_{GT}	-	1	2.2	-	1	2.2	-	1	2.2	-	1	2.2	V
For other case temperatures		See Fig. 14.												
For $V_D = V_{\text{DRM}}$ and $R_L = 125\Omega$ At $T_C = +100^\circ\text{C}$		0.2	-	0.2	-	0.2	-	0.2	-	0.2	-	0.2	-	V
Gate-Controlled Turn-On Time: (Delay Time + Rise Time) For $V_D = V_{\text{DRM}}$ and $I_{\text{GT}} = 80\text{ mA}$, 0.1 μs rise time, and $I_T = 10\text{ A}$ (peak) At $T_C = +75^\circ\text{C}$	t_{gt}	-	2.2	-	2.2	-	2.2	-	2.2	-	2.2	-	2.2	μs
Thermal Resistance: Junction-to-Case (Steady-State), Junction-to-Ambient, Junction-to-Case (Transient)	θ_{J-C} θ_{J-A}	-	-	-	-	-	-	-	-	-	-	-	-	$^\circ\text{C/W}$
		See Fig. 15.												
		See Fig. 16.												

*For either polarity of main terminal 2 voltage (V_{MT2}) with reference to main terminal 1.

**For either polarity of gate voltage (V_{GT}) with reference to main terminal 1.

†Variants of these devices having dv/dt characteristics selected specifically for inductive loads are available on special order; for additional information, contact your RCA representative or your RCA Distributor.

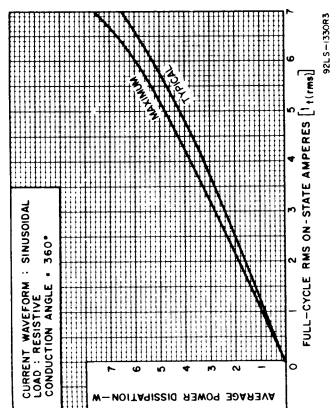


Fig. 2. Power Dissipation vs. On-State Current

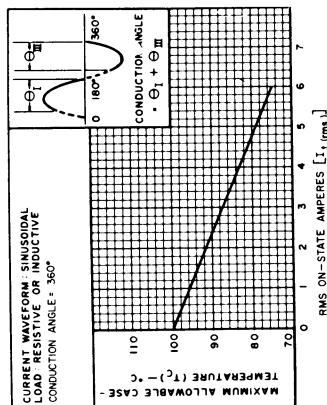


Fig. 3. Allowable Case Temperature vs. On-State Current

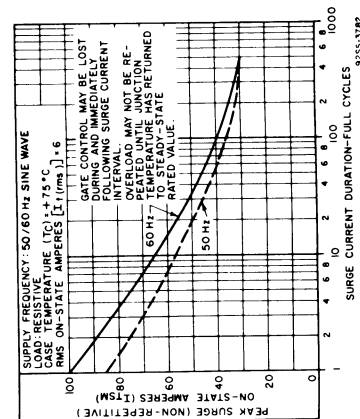


Fig. 4. Peak Surge On-State Current vs. Surge Current Duration

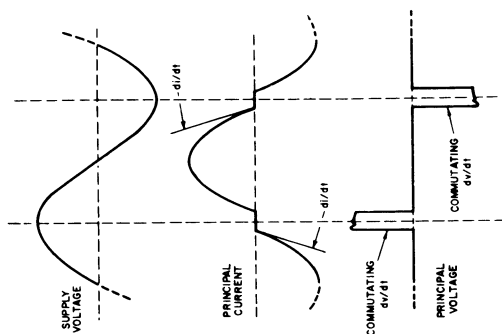
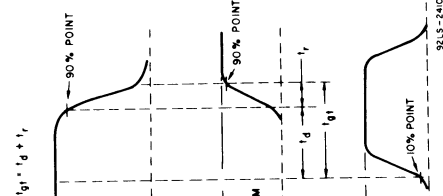
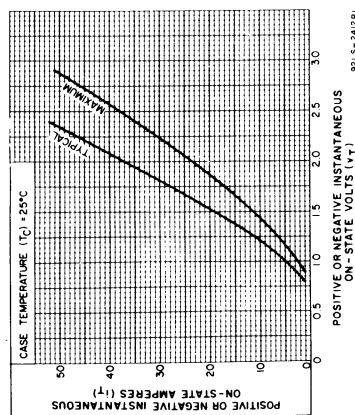
Fig. 5. Oscilloscope Display for Measurement of Gate-Controlled Turn-On Time (t_{GT})Fig. 6. Oscilloscope Display for Measurement of Gate-Controlled Turn-On Time (t_{GT})

Fig. 7. On-State Current vs. On-State Voltage

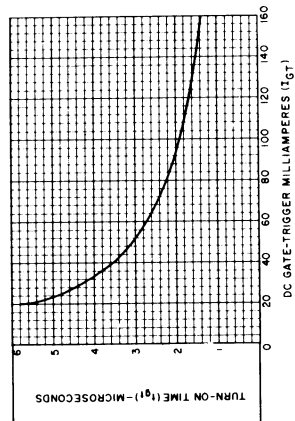


Fig. 9. Typical Turn-On Time vs. Gate-Trigger Current

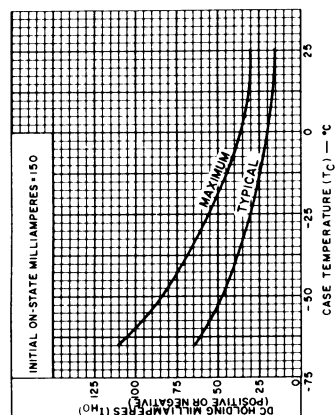


Fig. 8. DC Holding Current for Either Direction of On-State Current vs. Case Temperature

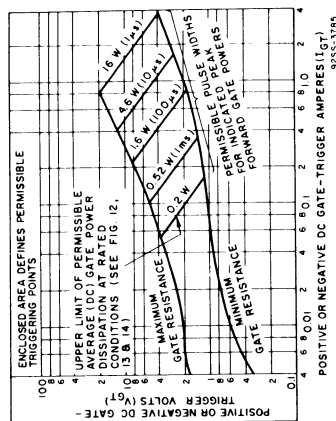
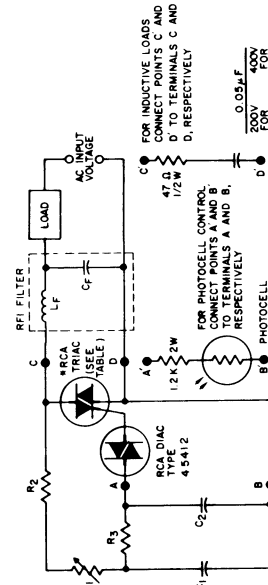


Fig. 10. Gate Pulse Characteristics for All Triggering Modes



AC INPUT VOLTAGE	C ₁	C ₂	R ₁	R ₂	R ₃	RCA TRIAC (TYP.)	RCA TYPES
120V	0.1μF	100V	100KΩ	1KΩ	15KΩ	100μH	40429
60Hz	0.1μF	100V	100KΩ	1KΩ	15KΩ	100μH	40502
240V	0.05μF	100V	200KΩ	7.5KΩ	7.5KΩ	100μH	40430
50/60Hz	0.05μF	100V	200KΩ	7.5KΩ	7.5KΩ	100μH	40503

*Typical values for lamp dimming circuits.

Fig. 11. Typical Phase-Control Circuit for Lamp Dimming, Heat Controls, and Universal Motor Speed Controls

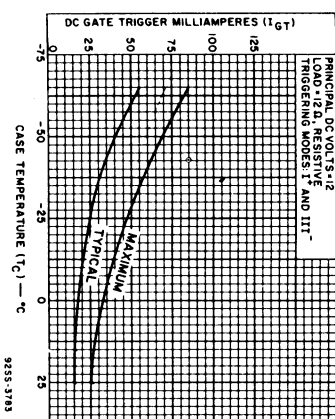


Fig. 12-DC Gate-Trigger Current (for I^+ and III^- Triggering Modes) vs. Case Temperature

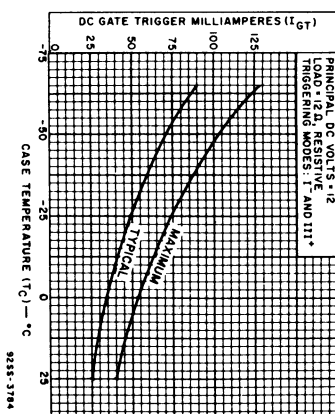


Fig. 13-DC Gate-Trigger Current (for I- and III Triggering Modes) vs. Case Temperature

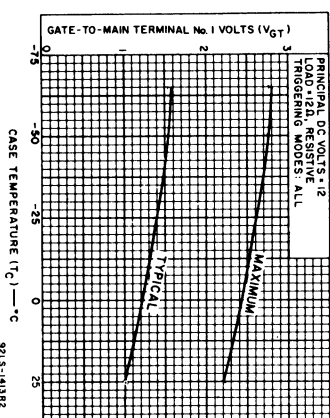


Fig. 14-DC Gate-Trigger Voltage vs. Case Temperature

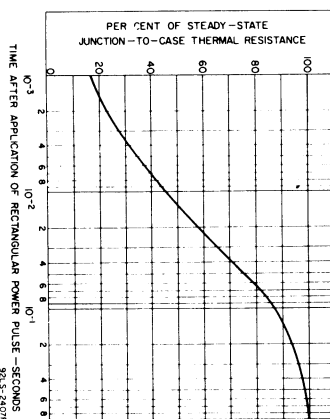


Fig. 15 - Transient Thermal Resistance (Junction to-Case vs. Time

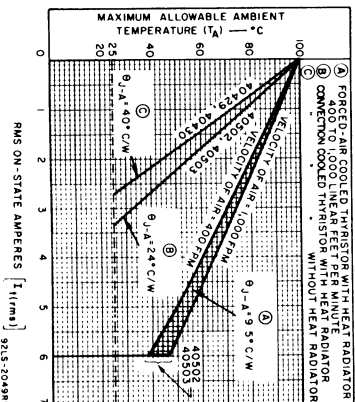
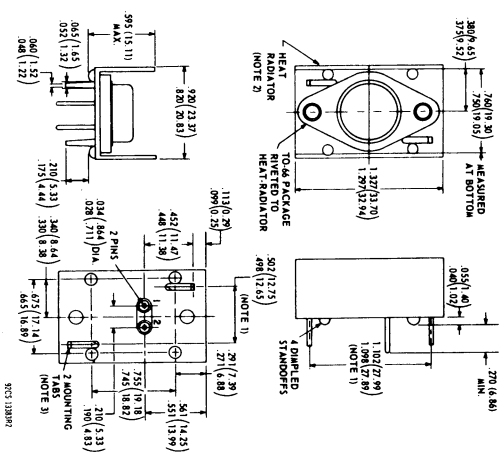
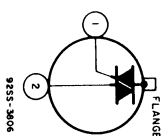


Fig. 16 - Maximum Allowable Ambient Temperature vs. On-State Current



DIMENSIONAL OUTLINE FOR TYPES 40502 & 40503 JEDEC TO-66 WITH HEAT-RADIATOR

Dimensions in Inches and Millimeters

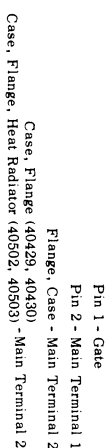
Note 1: Measured at bottom of heat-radiator

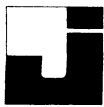
Note 2: 0.035 in. (.889) C.R.S., tin plated.

Note 3: Recommended hole size for printed-circuit board is 0.070 in. (1.778) dia.

TERMINAL DIAGRAM

FOR TYPES 40429, 40430, 40502 & 40503





6. TYPE- OG SYMBOLOVERSIGT

TRIGGER DIAC		
DIAC (BIDIRECTIONAL DIODE THYRISTOR)		
SUS (SILICON UNILATERAL SWITCH)		
SBS (SILICON BILATERAL SWITCH)		
LAS (LIGHT ACTIVATED SWITCH) LIGHT ACTIVATED REVERSE BLOCKING DIODE THYRISTOR	*	
LASCR (LIGHT ACTIVATED SEMICONDUCTOR CONTROLLED RECTIFIER) LIGHT ACTIVATED REVERSE BLOCKING TRIODE THYRISTOR	*	
TRIAC (BIDIRECTIONAL TRIODE THYRISTOR)		
SCR (SEMICONDUCTOR CONTROLLED RECTIFIER) REVERSE BLOCKING TRIODE THYRISTOR		
SCS (SILICON CONTROLLED SWITCH); REVERSE BLOCKING TETRODE THYRISTOR		
LASCS (LIGHT ACTIVATED SILICON CONTROLLED SWITCH); LIGHT ACTIVATED REVERSE BLOCKING TETRODE THYRISTOR.	*	

A = ANODE E = EMITTER
B = BASE G = GATE
C = COLLECTOR K = CATHODE

NOTE: CIRCLES AROUND GRAPHICAL SYMBOLS ARE OPTIONAL EXCEPT WHERE SHOWN *. IN THESE CASES CIRCLE DENOTES AN ENVELOPE THAT EITHER ENCLOSES A NON-ACCESSIBLE TERMINAL OR TIES A DESIGNATOR INTO SYMBOL.

7. KREDSLØBSEKSEMPLER

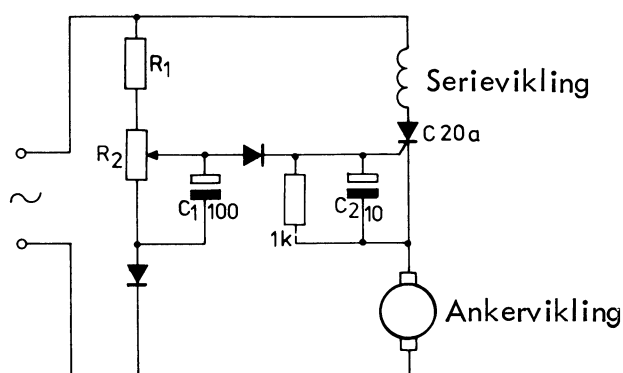
7.1 Hastighedsregulering af universalmotorer med SCR

Seriemotoren eller universalmotoren anvendes til mange formål, hvor det er afgørende betydning, at motoren har et kraftigt drejningsmoment under igangsætning og ved lave hastigheder.

Hastighedskontrol opnås ved at variere den vinkel, ved hvilken den styrede ensretter, der er forbundet i serie med motoren, triggeres ON.

Middelværdien af den afgivne spænding vil være afhængig af, hvor lang tid der går fra det øjeblik, hvor anoden bliver positiv i forhold til katoden til det tidspunkt, hvor SCR'en tændes.

Er denne tid kort, vil udgangsspændingen blive høj, medens en forsinkelse af styreimpulsen vil medføre en lavere udgangsspænding.



7.2 Virkemåde

Under den negative halvbølge aflades C_1 gennem potentiometeret.

Under den positive halvbølge oplades C_1 gennem R_1 og R_2 med en sinusformet strøm, som bevirker, at der opstår en cosinusformet spænding over C_1 .

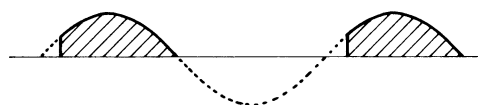
Hvis motoren står stille, vil der ikke blive induceret nogen spænding i ankerviklingen, og gatestrøm vil tænde SCR'en straks i begyndelsen af en positiv halvbølge, hvorved spændingen kobles til motoren, der starter op.

Efterhånden som den forvalgte hastighed nærmes, vil den mod-elektromotoriske spænding, der induceres i ankerviklingen, stige. Denne vil være positiv på katodesiden og vil bevirke, at ensretteren for at blive trigget skal have tilført en større spænding, hvilket vil kræve en længere opladningstid af C_1 , hvorved triggetidspunktet forsinkes. Trigning vil derfor finde sted ved en større fasevinkel.

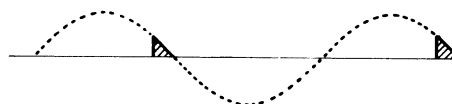
Derved tilføres der mindre energi til motoren, som derfor retarderer.

Herved vil den i ankerviklingen inducerede modspænding mindskes, således at energien og dermed motorens hastighed vil stige igen, indtil der opnås balance med den forudindstillede referencehastighed.

Stor hastighed



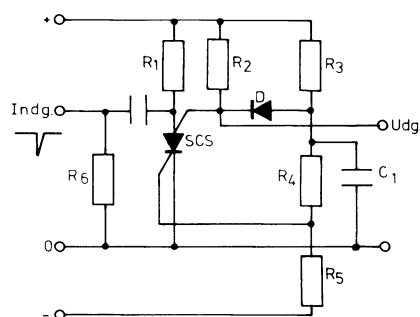
Lille hastighed





7.3 Monostabil multivibrator med SCS

Diagrammet viser en monostabil kobling med kun en SCS.



I hviletilstanden vil SCS'en, som det fremgår af det følgende, være trigget til ledende tilstand.

Da anoden og dermed også G_A har et lavt positivt potential, er dioden D ledende og udgangsspændingen svagt positiv, medens G_K har negativ potential i forhold til katoden.

Tilfører man indgangsterminalen en negativ impuls, vil SCS'ens anode kortvarigt blive negativ, hvorved der indtræder blokering, og så snart impulsen er ophørt, antager anoden og udgangsspændingen samme spænding som forsyningsspændingen, hvorved dioden D forspændes i spærreretningen.

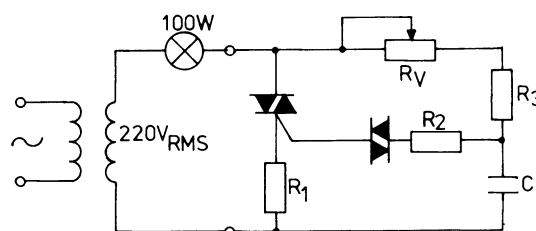
Nu påbegyndes en opladning af kondensatoren C_1 , hvorfor spændingen over denne samt spændingen på modstandene R_4 og R_5 's fællespunkt og dermed G_K -spændingen vokser.

Når den sidstnævnte bliver positiv, trigges SCS'en atter til ledende tilstand.

Udgangsimpulsens længde bestemmes af tidskonstanten bestemt af C_1 multipliceret med R_3 parallelkoblet med $R_4 + R_5$.

7.4 Fuld periode fasekontrol med TRIAC og DIAC

I såvel forsyningsspændingens positive som negative halvperioder er TRIAC'en i stand til at blive trigget til ledende tilstand ved, at den bliver påtrykt passende signaler fra triggerkredsløbet.



Når R_V er maksimum, får TRIAC'en ikke tilført triggersignaler, idet spændingen over C er for lav.

Gøres R_V mindre, bliver spændingen V_C så høj, at den overskrider DIAC'ens gennembrudsspænding, vil der blive tilført positive og negative triggersignaler til gate på TRIAC'en.

Disse signaler fører TRIAC'en over i den ledende tilstand henholdsvis i den positive og negative halvperiode af forsyningsspændingen. Belastningsstrømmen løber i en del af begge halvperioder.

Styringen af fasevinklen, forsinkelsesvinklen, mellem forsyningsspændingen og triggersignalerne muliggør, at vi kan variere belastningsstrømmen mellem 0 og en maksimalværdi. Maksimumværdien optræder ved en fasevinkel på 0° , men i TRIAC'en løber belastningsstrømmen gennem såvel forsyningsspændingens positive som negative halvperiode.



DISPOSITION

1. Lys
2. Lysfølere
3. Lysgivere
4. Glimlampe display
5. Optokoblere

1. LYS

1.1 Lysstyrke

Lysstyrke måles i candela.

En candela er $1/60$ af lysstyrken af et 1.770°C varmt sort legeme på 1 cm^2 . 1.770°C svarer til den temperatur, der kan måles, når flydende platin størkner.

1.2 Lysstrøm

Lysstrøm måles i lumen.

En lumen er den lysstrøm, som en lyskilde på en candela udsender i alle retninger.

1.3 Belysning

Belysning måles i lux.

En lux er den belysning, som forekommer, når en flade på 1 cm^2 rammes af en lysstrøm på en lumen.

1.4 Luminans

Luminans kaldes også for lystæthed. Den måles i candela pr. m^2 .

Luminansen er én målt vinkelret på en flade på 1 m^2 , hvis fladens lysstyrke i samme retning er en candela.

1.5 Belysning og luminans

Hvis en fuldstændig mathvid flade reflekterer alt det lys, der rammer den, f.eks. en lux, så vil hver m^2 af den rammes af en lysstrøm på en lumen.

Da fladen er totalt reflekterende, vil hver m^2 af den også udstråle en lumen.

Matematisk kan det vises, at hver m^2 under disse forhold vil have en lysstyrke målt vinkelret på pladen på $1/\pi$ candela, og fladens luminans bliver $1/\pi\text{ cd/m}^2$.

Lyskilden, der belyser den mathvide flade, afgiver en lysstrøm på 4π lumen.

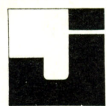
1.6 Eksempler på lyskilder

Overskyet himmel
 $300\text{ til }1.000\text{ cd/m}^2$

Månen
 2.500 cd/m^2

Flamme fra stearinlys
 7.000 cd/m^2

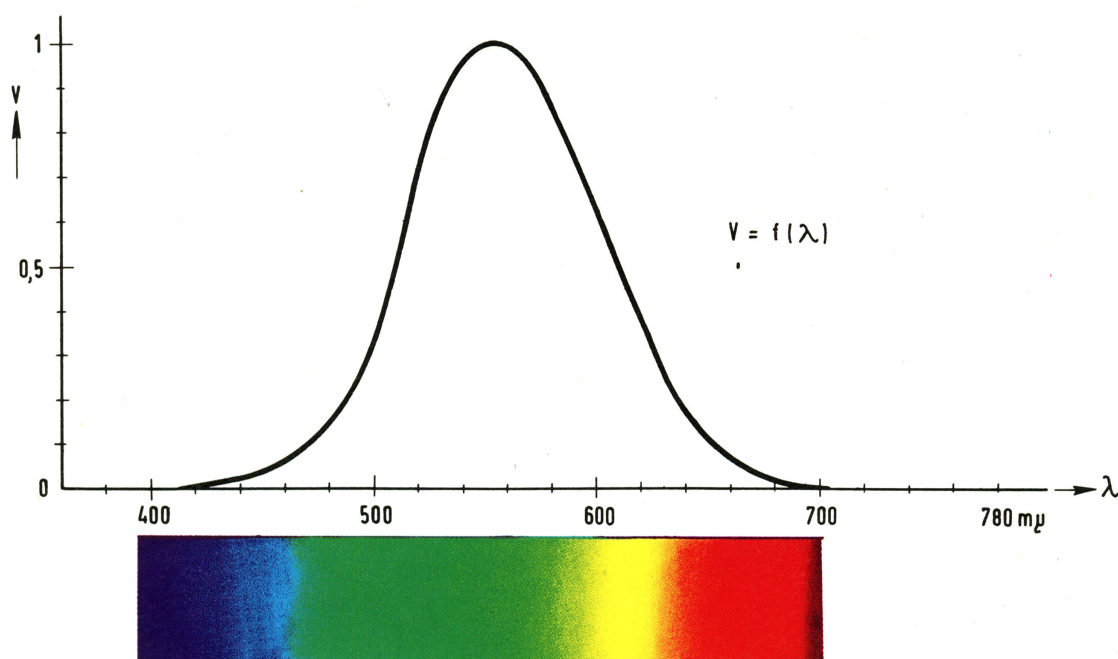
Middagssolen
 $1.000 \cdot 10^6\text{ til }1.500 \cdot 10^6\text{ cd/m}^2$



1.7 Øjets følsomhed

Undersøges det hvide lys, viser det sig, at det indeholder forskellige farver, der hver for sig har en bestemt bølgelængde.

Øjets følsomhed er ikke ens overfor de forskellige farver.



Kurven viser øjets relative følsomhed ved de forskellige bølgelængder, maksimum gælder kun ved store lysstyrker.

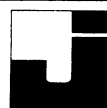
Ved små lysstyrker flytter øjets største følsomhedspunkt hen i nærheden af det grønne område.

1.8 Eksempel på belysningsstyrke

Kunstigt lys
op til 6.000 lux

Kraftigt dagslys
180.000 lux

Øjets hurtighed er størst ved en belysningsstyrke mellem 500 og 1.000 lux, under 200 lux begynder det at knibe med at se.



2. LYSFØLERE

2.1 Fotomodstand

En lysfølsom modstand, LDR, er en modstand, der ændrer modstandsværdi alt efter, hvor kraftig komponenten bliver belyst.

Ethvert halvledermateriale vil udvise denne evne ved belysning med den rette bølgelængde.

Fotomodstandene har en følsomhedskurve, der ligner øjets, men afhængig af fremstillingsmaterialet ændrer følsomhedsområdet sig.

En del materialer har endog følsomhedsområder, der ligger uden for det synlige lys.

	Anvendelsesområdet	Toppunkt
CdS Cadmium Svovl	400 til 800 nm	515 til 550 nm
CdSe Cadmium Selen	580 til 750 nm	675 til 735 nm
PbS Bly Svovl	500 til 3.000 nm	2.000 nm
PbTe Bly Tellur	600 til 4.500 nm	2.200 nm
PbSe Bly Selen	700 til 5.800 nm	4.000 nm
Si Silicium	450 til 1.100 nm	850 nm
Ge Germanium	550 til 1.800 nm	1.540 nm
InSb Indium Antimon	600 til 7.000 nm	5.500 nm
InAs Indium Arsen	1.000 til 4.000 nm	3.500 nm

I datablade opgives bølgelængde ofte i Å, Ångström, hvor $1 \text{ Å} = 0,1 \text{ nm}$.

Farven grøn, der har bølgelængden 550 nm, opgives derfor i Ångström til:

$$\lambda = 5.500 \text{ Å}$$



LIGHT DEPENDENT RESISTORS

The light dependent resistors are virtually small photoconductive cells, provided with two tinned copper connecting leads.

The relationship between resistance value and illumination can be expressed with good approximation by the formula:

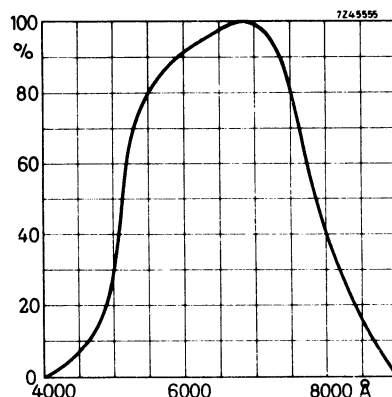
$$R = AL^{-\alpha}$$

where R = resistance value in Ω

L = illumination in lux

A and α are constants

Spectral response characteristic of an LDR

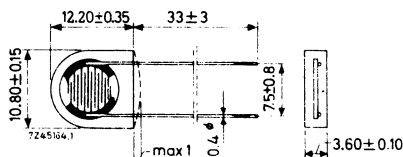
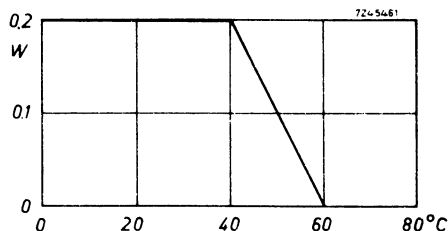


Electrical performance

dark value	> 10 M Ω
light value	75-300 Ω (measured at 1000 lux)
recovery rate	> 200 k Ω /s
permissible voltage	150 V _{peak}
capacitance	< 6 pF

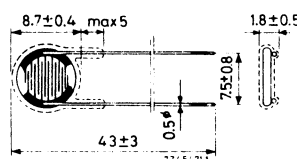
Version 2322 600 93001

This cell is sealed by means of a plastic coating
Ambient temperature range -30 to +60°C



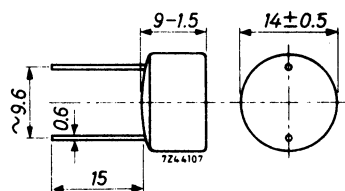
Version 2322 600 94001

This cell is covered with lacquer.
Ambient temperature range -30 to +60°C



Version 2322 600 95001

Encapsulated in plastic case and synthetic resin
Ambient temperature range -20 to +60°C





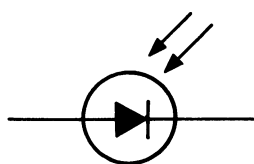
2.2 Fotodiode

En fotodiode er en PN-overgang, der er forspændt i spærre-
retningen. Ved belysning med
den rette bølgelængde vil læk-
strømmen i dioden ændre sig.

Ved større lysstyrke stiger læk-
strømmen i dioden.

Lækstrømmen i fuldstændig mør-
ke er omkring nogle få nA. Ved
normal stuebelysning er strømmen
omkring 10 μ A for et 5 mm²
stort aktivt areal.

Diagramsymbol

**BPX42**

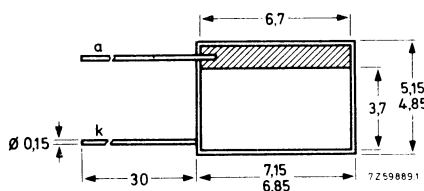
SILICON PLANAR PHOTODIODE

Unencapsulated photodiode for general purpose applications.

QUICK REFERENCE DATA			
Reverse voltage	V_R	max.	12 V
Light sensitivity $V_R = 10$ V; $E = 1000$ lx	N	typ.	150 nA/lx
Dark reverse current at $V_R = 10$ V	I_d	<	5 μ A
Wavelength at peak response	λ_{pk}	typ.	800 nm

MECHANICAL DATA

Dimensions in mm



Slice thickness 0,27 mm

BPX42

BPX42

Optoelektriske transducere

JERNINDUSTRIENS FORLAG

RATINGS Limiting values in accordance with the Absolute Maximum System (IEC 134)

Voltage

Reverse voltage

V_R max. 12 V

Currents

Forward current

I_F max. 50 mA

Dark reverse current

I_R max. 20 mA

Temperatures

Storage temperature

T_{stg} -65 to +125 °C

Junction temperature

T_j max. 125 °C

THERMAL RESISTANCE

From junction to ambient in free air

$R_{th j-a} = 0,3 \text{ } ^\circ\text{C/mW}$

CHARACTERISTICS

Dark reverse current

$T_{amb} = 25 \text{ } ^\circ\text{C}$ unless otherwise specified

$V_R = 10 \text{ V}$

I_d typ. 0,1 μA
< 5,0 μA

$V_R = 10 \text{ V}; T_{amb} = 100 \text{ } ^\circ\text{C}$

I_d typ. 6,0 μA
< 40 μA

Photovoltaic mode

$E = 1000 \text{ lx}; T_c = 2700 \text{ K}$ (equivalent to 7,7 mW/cm²)

Light reverse current; $V = 0$

I_1 > 110 μA
typ. 140 μA

Forward voltage; $I = 0$

V_F > 330 mV
typ. 350 mV

Light sensitivity with external voltage ¹⁾

$V_R = 10 \text{ V}; E = 1000 \text{ lx}; T_c = 2700 \text{ K}$
(equivalent to 7,7 mW/cm²)

N > 120 nA/lx
typ. 150 nA/lx

Wavelength at peak response

λ_{pk} typ. 800 nm

Diode capacitance; $f = 500 \text{ kHz}$

$V_R = 10 \text{ V}$

C_d typ. 1000 pF

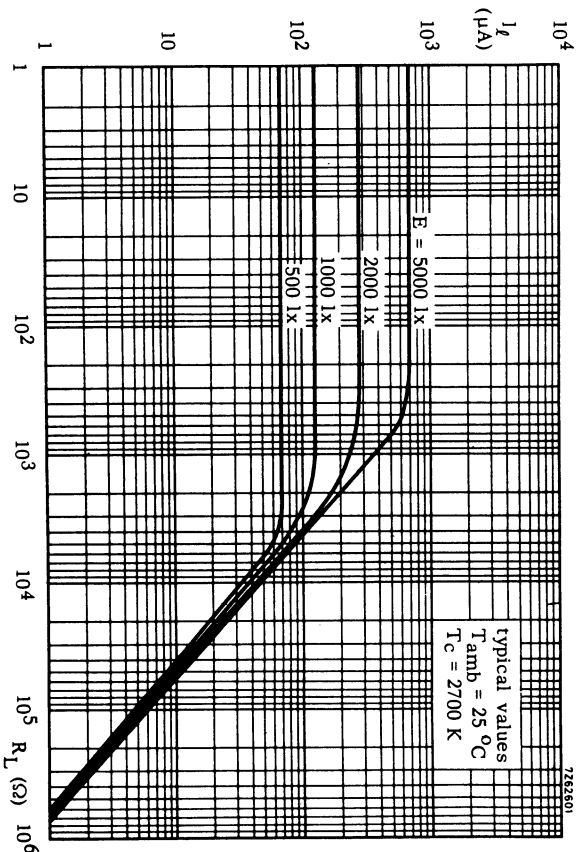
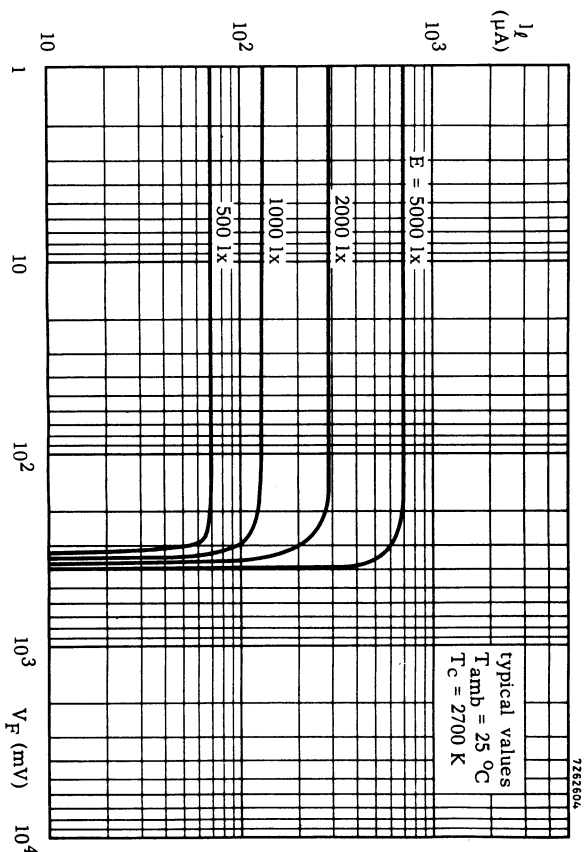
$V_R = 0$

C_d typ. 3000 pF

Cut-off frequency (modulated GaAs source)

f_{co} typ. 500 kHz

¹⁾ The value of light current increases with temperature by an amount approximately equal to the increase in dark current.





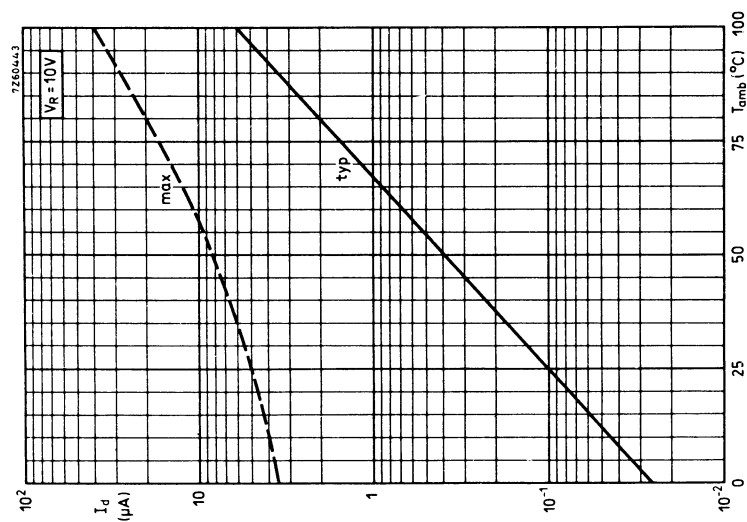
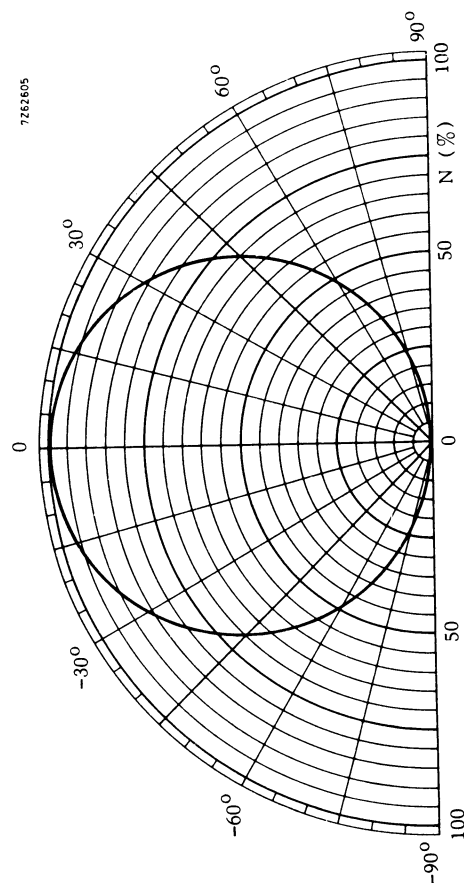
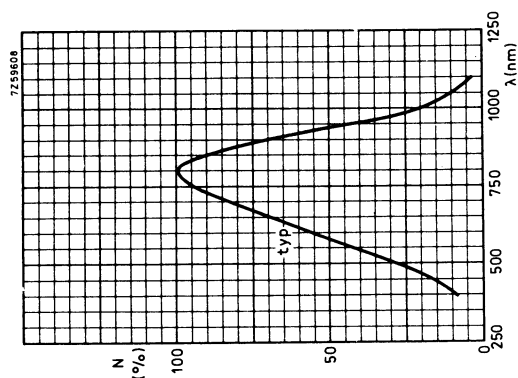
JERNINDUSTRIENS FORLAG

Optoelektriske transducere

Teoriinstruktion 1.8	
Udgave 7903	Side af sider 7 27

BPX42

BPX42

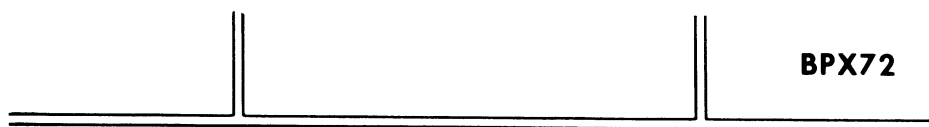
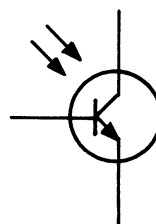




2.3 Fototransistor

En fototransistor virker på samme måde som en fotodiode. I transistoren anvendes lækstrømmen i basis-kollektorspændingen til styring af basis-emitterstrømmen, hvorved strømændringen i kollektoren bliver mange gange større.

Fototransistoren er langsommere end fotodioden.

**BPX72**

PHOTOTRANSISTOR

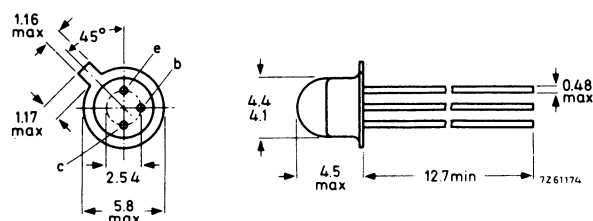
General purpose n-p-n silicon phototransistor with a plastic lens.

QUICK REFERENCE DATA			
Collector-emitter voltage (open base)	V_{CEO}	max.	30 V
Collector current (d. c.)	I_C	max.	25 mA
Junction temperature	T_j	max.	125 °C
Collector dark current (open base) $V_{CE} = 20$ V	I_d	<	100 nA
Collector light current (open base) $V_{CE} = 5$ V; $E = 1000$ lx (4,75 mW/cm ²) BPX72	I_l	500 to 3000	μA
	BPX72C I_l	500 to 1200	μA
	BPX72D I_l	850 to 2000	μA
	BPX72E I_l	1400 to 3000	μA
Wavelength at peak response	λ_{pk}	typ.	800 nm
Angle between half-sensitivity directions	$\alpha_{50\%}$	typ.	120°

MECHANICAL DATA

Dimensions in mm

SOT-70



Max. lead diameter is guaranteed only for 12,7 mm

BPX72

RATINGS Limiting values in accordance with the Absolute Maximum System (IEC 134)

<u>Voltages</u>	
Collector-base voltage (open emitter)	V_{CBO} max. 40 V
Collector-emitter voltage (open base)	V_{CEO} max. 30 V
Emitter-collector voltage (open base)	V_{ECO} max. 6 V
<u>Currents</u>	
Collector current (d.c.)	I_C max. 25 mA
Collector current (peak value) $t_p \leq 50 \mu s$; $\delta \leq 0,1$	I_{CM} max. 50 mA

Power dissipation

Total power dissipation up to $T_{amb} = 25^\circ C$

P_{tot} max. 180 mW

Temperatures

Storage temperature

T_{stg} -40 to +125 $^\circ C$

Junction temperature

T_j max. 125 $^\circ C$

THERMAL RESISTANCE

From junction to ambient in free air

$R_{th j-a} = 0,55^\circ C/mW$

CHARACTERISTICS

$I_B = 0$; $T_{amb} = 25^\circ C$ unless otherwise specified

Collector dark current

$V_{CE} = 20 V$

I_d typ. 10 nA
< 100 nA

$V_{CE} = 20 V$; $T_j = 100^\circ C$

I_d typ. 10 μA
< 100 μA

Collector light current

$V_{CE} = 5 V$; tungsten filament lamp source with colour temperature 2856 K;
 $E_v = 1000 \text{ lx}$ ($E_e = 4,75 \text{ mW/cm}^2$)

I_l 500 to 3000 μA ¹⁾

$E_v = 2500 \text{ lx}$ ($E_e = 12 \text{ mW/cm}^2$)

I_l typ. 3000 μA

¹⁾ Available selections: BPX72C: 500 to 1200 μA
BPX72D: 850 to 2000 μA
BPX72E: 1400 to 3000 μA



JERNINDUSTRIENS FORLAG

Optoelektriske transducere

Teoriinstruktion

1.8

Udgave

7903

Side af sider

9

27

BPX72

CHARACTERISTICS (continued)

Breakdown voltages

Collector-base voltage
 $E = 0$; $I_C = 0,1 \text{ mA}$
 $V_{(BR)CBO}$ > 40 V

Collector-emitter voltage
 $E = 0$; $I_C = 1 \text{ mA}$
 $V_{(BR)CEO}$ > 30 V

Emitter-collector voltage
 $E = 0$; $I_C = 0,1 \text{ mA}$
 $V_{(BR)ECO}$ > 6 V

Collector capacitance

$I_E = I_e = 0$; $V_{CB} = 20 V$

C_c typ. 3,5 pF

Wavelength at peak response

λ_{pk} typ. 800 nm

Bandwidth at half height

$B_{50\%}$ typ. 300 nm

Switching times

$I_{Con} = 1 \text{ mA}$; $V_{CC} = 5 V$; $R_L = 100 \Omega$

Delay time

t_d typ. 3,0 μs
< 6,0 μs

Rise time

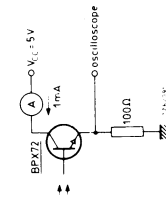
t_r typ. 6,0 μs
< 20 μs

Storage time

t_s typ. 1,5 μs
< 3,0 μs

Fall time

t_f typ. 4,0 μs
< 20 μs



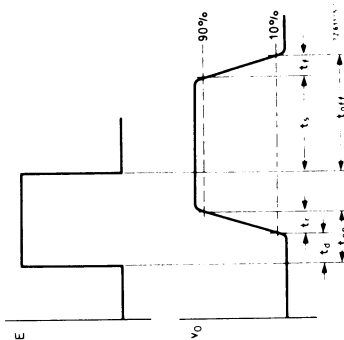
Light input pulse:

$t_r = t_f = 20 \text{ ns}$

$t_p = 20 \mu s$

$f = 500 \text{ Hz}$

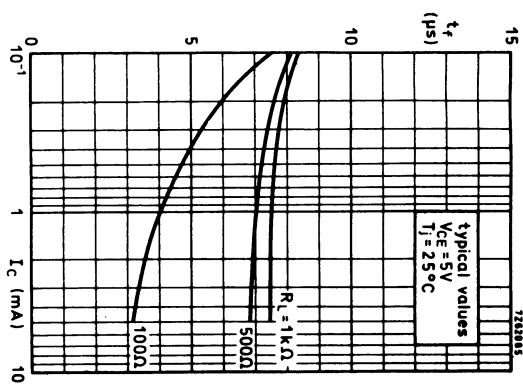
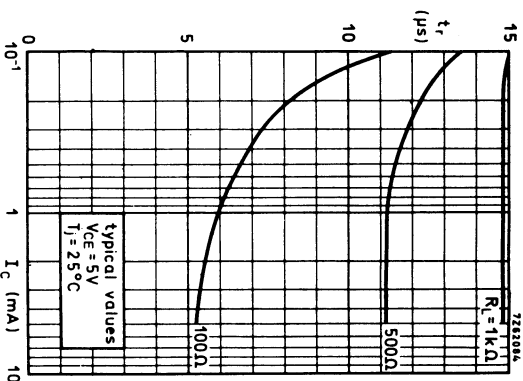
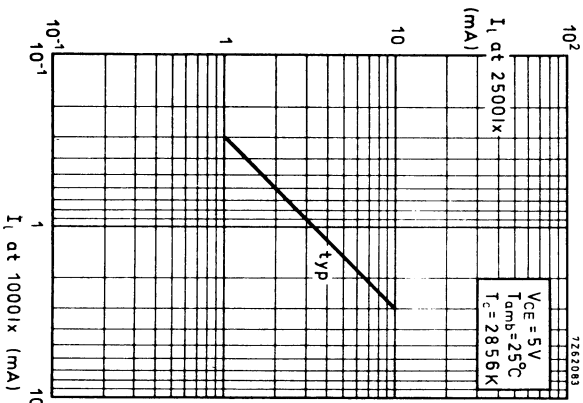
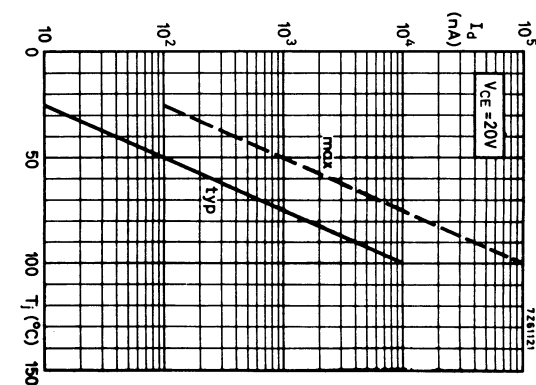
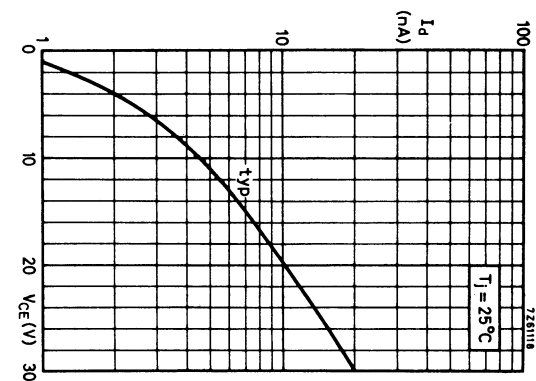
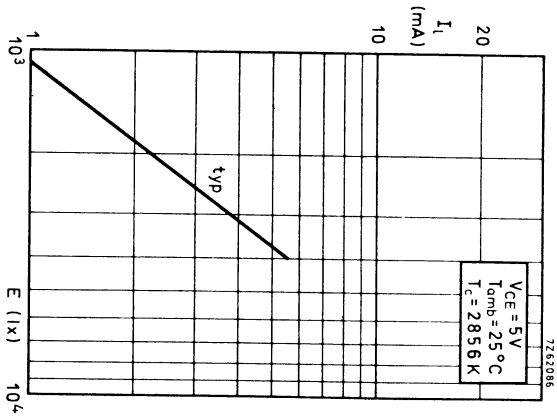
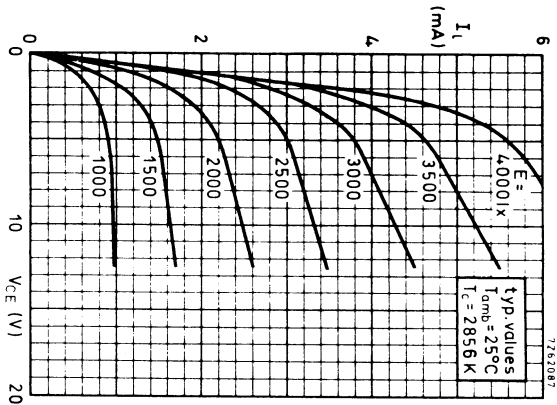
$\lambda = 800 \text{ nm}$





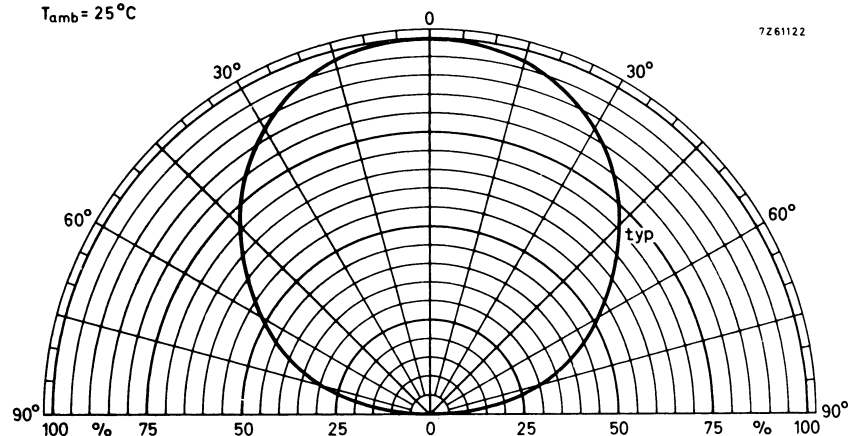
BPX72

BPX72

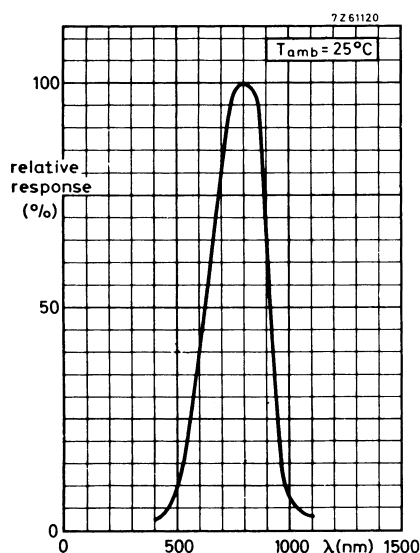




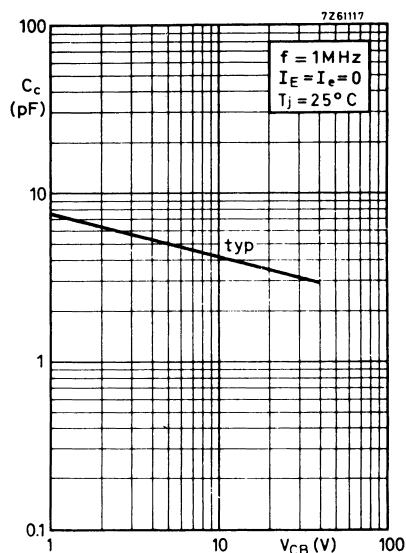
polar response of relative sensitivity

 $T_{amb} = 25^{\circ}\text{C}$ 

7261122



7261120

 $T_{amb} = 25^{\circ}\text{C}$ 

7261117

 $f = 1\text{ MHz}$
 $I_E = I_C = 0$
 $T_J = 25^{\circ}\text{C}$

3. LYSGIVERE

3.1 LED

En lysemitterende diode er en diode, der udsender lysenergi, når den forspændes i lederetningen.

Lysets farve bestemmes af materialet, som dioden er fremstillet af.

En del dioder udsender energi i det infarøde område, der ikke er synligt.

Strømmen til dioderne, når de skal lyse, er omkring 20 mA. Spændingen over dioderne er mellem 1 og 2 V.



TYPE TIL209

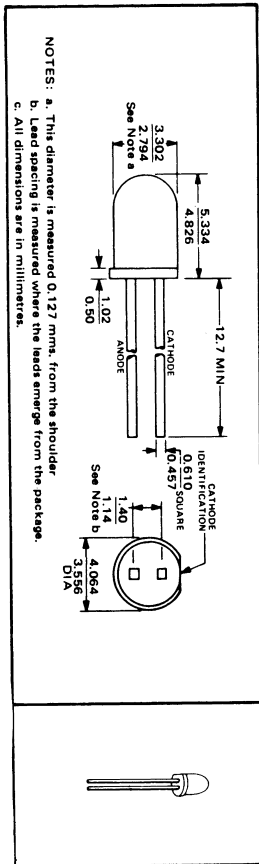
GALLIUM ARSENIDE PHOSPHIDE VISIBLE-LIGHT SOURCE

DESIGNED TO EMIT VISIBLE RED LIGHT WHEN FORWARD BIASED

- Recommended for Application in Visual Indicators, Alpha-Numeric Displays, and Built-In Diagnostics
- High Brightness with Solid-State Reliability
- Compatible with Most TTL and DTL Circuits
- Ideal as Fault or Trouble Indicator
- Filled-Epoxy Lens Provides Diffused Source
- Ideal, for Socket, Printed Circuit Board, and 1/16" Panel Mounting Techniques

mechanical data

This device has a red molded filled-epoxy body.



absolute maximum ratings

Reverse Voltage at 25°C Free-Air Temperature 3 V
Continuous Forward Current at (or below) 25°C Free-Air Temperature (See Note 1) 40 mA
Storage Temperature Range -40°C to 80°C
Lead Temperature 1/16 Inch from Case for 5 Seconds 230°C

operating characteristics at 25°C free-air temperature

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
IV	Luminous Intensity (See Note 2)		I _F = 20 mA	500	μcd
λ _{peak}	Wavelength at Peak Emission		I _F = 20 mA	6300 6500 6700	Å
V _F	Static Forward Voltage		I _F = 20 mA	1.6	V
IR	Static Reverse Current		V _R = 3 V	0.1	μA

NOTES: 1. Derate linearly to 70°C free-air temperature at the rate of 0.89 mA/°C.
2. Luminous intensity is measured with a solar cell and filter combination which approximates the CIE (International Commission on Illumination) eye-response curve.

TYPICAL CHARACTERISTICS

RELATIVE SPECTRAL CHARACTERISTICS

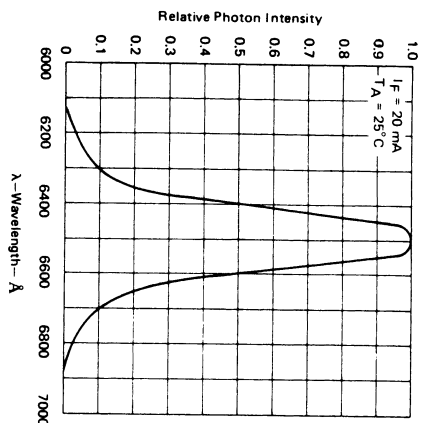


FIGURE 1

RELATIVE LUMINOUS INTENSITY
vs
FREE-AIR TEMPERATURE

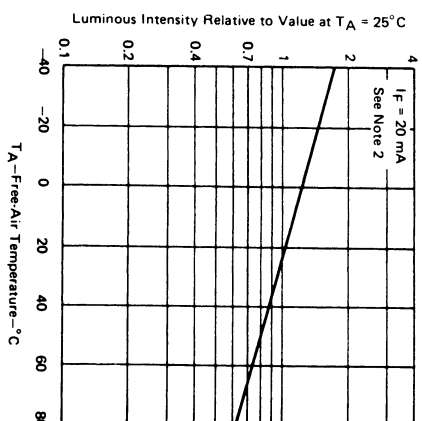


FIGURE 2

RELATIVE LUMINOUS INTENSITY
vs
FORWARD CURRENT

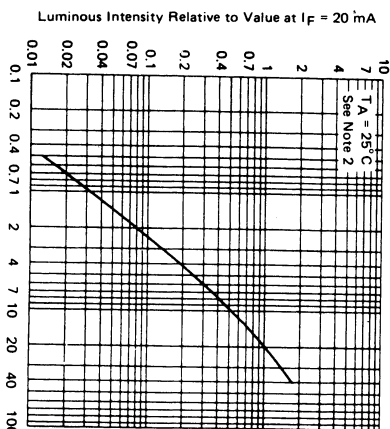


FIGURE 3

FORWARD CONDUCTION CHARACTERISTICS

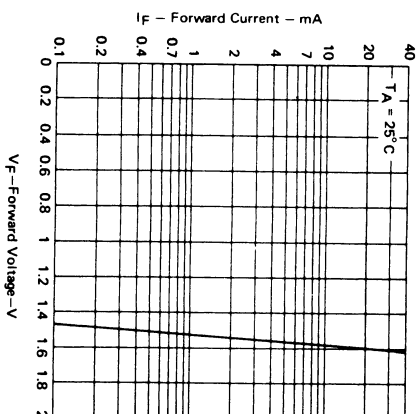


FIGURE 4

NOTE 2: Luminous intensity is measured with a solar cell and filter combination which approximates the CIE (International Commission on Illumination) eye-response curve.

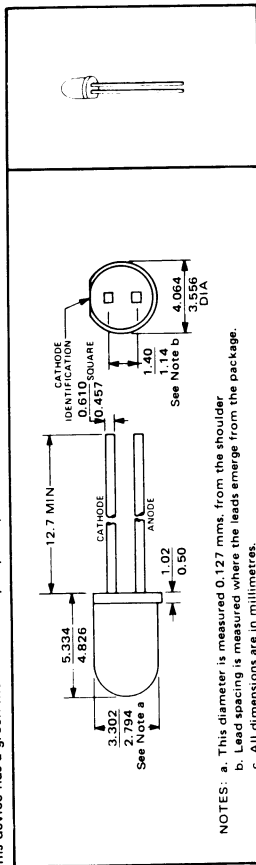
TIL211 GALLIUM ARSENIDE PHOSPHIDE VISIBLE-LIGHT SOURCE

DESIGNED TO EMIT GREEN LIGHT WHEN FORWARD BIASED

- Recommended for Application in Visual Indicators, Alpha-Numeric Displays, and Built-In Diagnostics
- High Brightness with Solid-State Reliability
- Compatible with Most TTL and DTL Circuits
- Ideal as Fault or Trouble Indicator
- Filled-Epoxy Lens Provides Diffused Source
- Ideal for Socket, Printed Circuit Board, and 1/16" Panel Mounting Techniques
- Leads are Designed to be Wire-Wrapped

mechanical data

This device has a green molded filled-epoxy body.



absolute maximum ratings

Reverse Voltage at 25°C Free-Air Temperature	3 V
Continuous Forward Current at (or below) 25°C Free-Air Temperature (See Note 1)	50 mA
Peak Forward Current at (or below) 25°C Free-Air Temperature (See Note 2)	2 A
Power Dissipation	See Note 3
Storage Temperature Range	-40°C to 80°C
Lead Temperature 1/16 Inch from Case for 5 Seconds	230°C

operating characteristics at 25°C free-air temperature

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
I_V Luminous Intensity (See Note 4)	$I_F = 25 \text{ mA}$	800	1500		μcd
λ_p Wavelength at Peak Emission	$I_F = 25 \text{ mA}$		5640		\AA
V_F Static Forward Voltage	$I_F = 25 \text{ mA}$		2.5	4	V
	$I_F = 50 \text{ mA}$			2.6	5
$\alpha_V F$ of Static Forward Voltage	$I_F = 25 \text{ mA}$, $T_A = -40^\circ\text{C}$ to 80°C		2.5		$\text{mV}/^\circ\text{C}$
I_R Static Reverse Current	$V_R = 3 \text{ V}$			10	μA
C Capacitance	$V_F = 0$, $F = 1 \text{ MHz}$		100		pF
t_r Luminous Pulse Rise Time†	$I_{FM} = 25 \text{ mA}$, $t_w = 2 \mu\text{s}$		300		ns
t_f Luminous Pulse Fall Time†	$f = 4.5 \text{ kHz}$		300		ns

† Luminous pulse rise time is the time required for a change in luminous intensity from 10% to 90% of its peak value for a step change in current; luminous pulse fall time is the time required for a change in luminous intensity from 90% to 10% of its peak value for a step change in current.

NOTES: 1. Operate linearly to 80°C free air temperature at the rate of 0.91 mA/°C.

2. This value applies for $t_w \leq 1 \mu\text{s}$, duty cycle $\leq 0.5\%$.

3. The package is capable of dissipating whatever power ($V_F \times I_F$) is developed at any level of forward current at or below the rated amount. Typical junction-to-free air thermal resistance, $R_{\theta JA}$, is 230°C/W.

4. Luminous intensity is measured with a solar cell and filter combination that approximates the CIE (International Commission on Illumination) eye response curve.

TYPICAL CHARACTERISTICS

RELATIVE LUMINOUS INTENSITY vs FREE-AIR TEMPERATURE

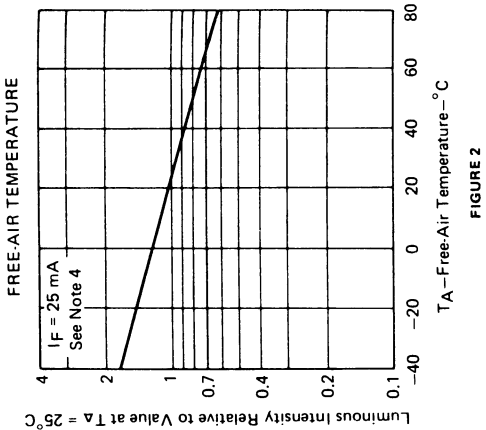


FIGURE 2

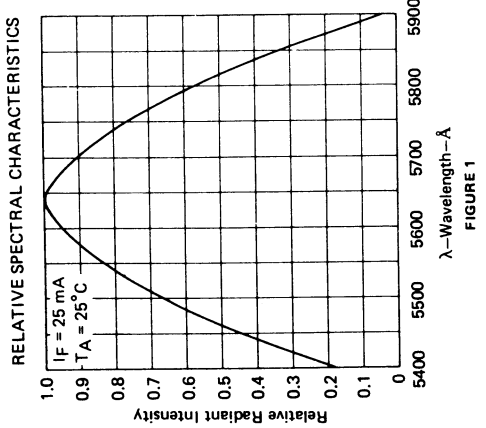


FIGURE 1

RELATIVE LUMINOUS INTENSITY vs FORWARD CURRENT

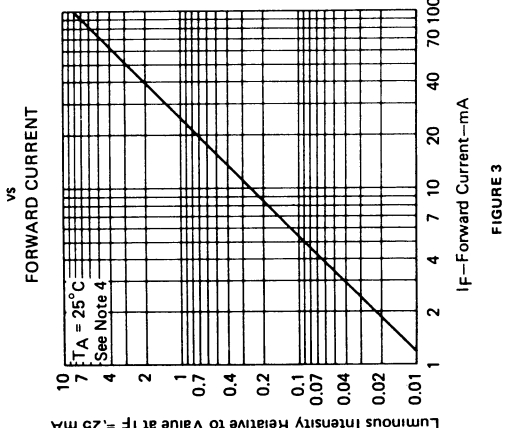


FIGURE 3

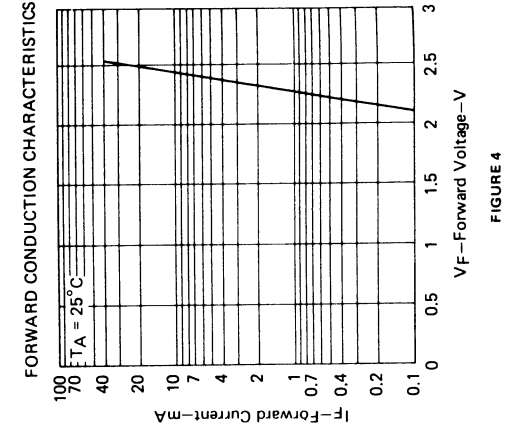


FIGURE 4

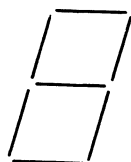
NOTE 4: Luminous intensity is measured with a solar cell and filter combination which approximates the CIE (International Commission on Illumination) eye response curve.



3.2 Syv segment display

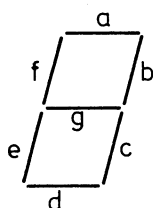
Et syv segment display er et numerisk display, der kan vise cifrene fra 0 til 9.

Display'et er opbygget af 7 streger, der danner et 8'tal med firkantede hjørner.



Hver streg kan bringes til at lyse hver for sig.

Stregerne benævnes ofte med bogstaver.





3.3 Syv segment med LED

HEWLETT  PACKARD
COMPONENTS

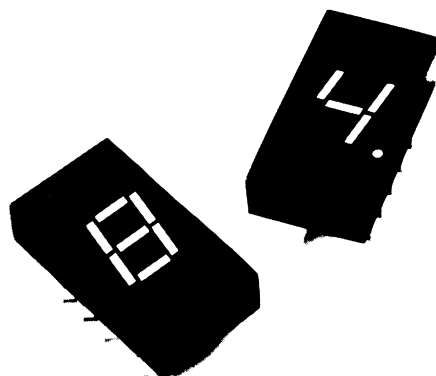
0.3" SOLID STATE SEVEN SEGMENT INDICATOR

5082-7740

TENTATIVE DATA AUGUST 1973

Features

- COMMON CATHODE
- RIGHT HAND DP
- EXCELLENT CHARACTER APPEARANCE
 - Continuous Uniform Segments
 - Wide Viewing Angle
 - High Contrast
- IC COMPATIBLE
 - 1.7V per Segment
- STANDARD 0.3" DIP LEAD CONFIGURATION
 - PC Board or Standard Socket Mountable
- CATEGORIZED FOR LUMINOUS INTENSITY
 - Assures Uniformity of Light Output from Unit to Unit within a Single Category

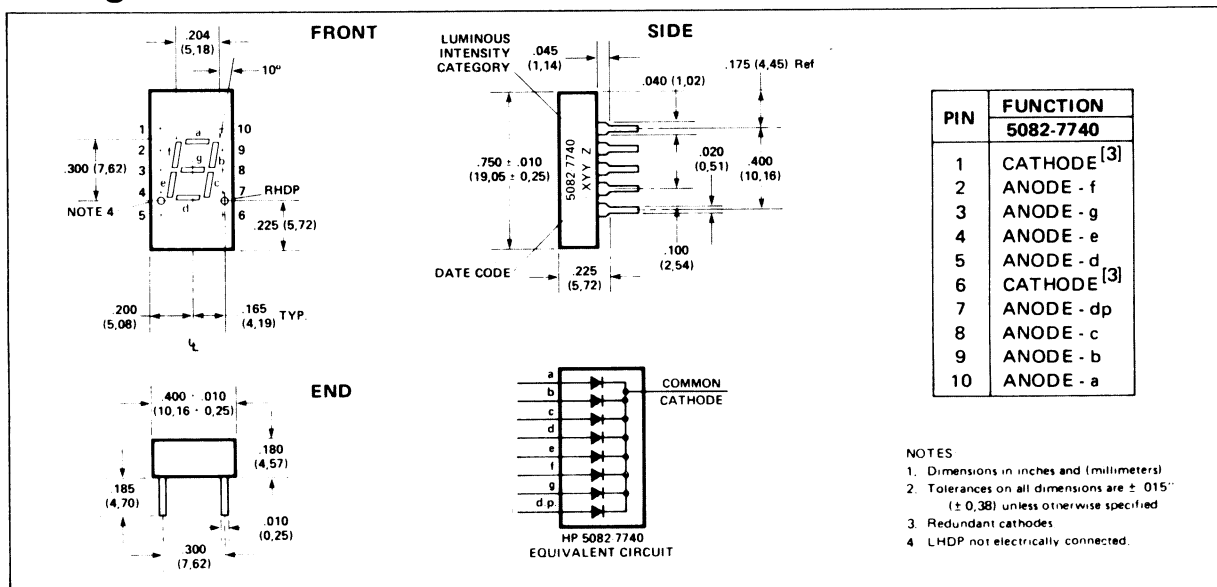


Description

The HP 5082-7740 is a common cathode LED numeric display with a right hand decimal point. The large 0.3" high character size generates a bright, continuously uniform 7 segment display. Designed for viewing distances of up to 10 feet, this single digit display has been human engineered to provide a high contrast ratio and wide viewing angle.

The 5082-7740 utilizes a standard 0.3" dual-in-line package configuration that allows for quick mounting on PC boards or in standard IC sockets. Requiring a forward voltage of only 1.7V, the display is inherently IC compatible allowing for easy integration into electronic calculators, credit card verifiers, TVs, radios, and digital clocks.

Package Dimensions





Absolute Maximum Ratings

Power Dissipation $T_A = 25^\circ\text{C}$	400mW
Operating Temperature	-20°C to $+85^\circ\text{C}$
Storage Temperature Range	-20°C to $+85^\circ\text{C}$
Average Forward Current/Segment or Decimal Pt. $T_A = 25^\circ\text{C}$ ^[1]	25 mA
Peak Forward Current/Segment or Decimal Pt. $T_A = 25^\circ\text{C}$ (Pulse Duration $\leq 500\mu\text{s}$)	150mA
Reverse Voltage/Segment or Decimal Pt.	6V
Max. Solder Temperature 1/16" Below Seating Plane ($t \leq 5 \text{ sec.}$) ^[2]	230°C

NOTES: 1. Derate from 25°C at .25 mA/ $^\circ\text{C}$ per segment or D.P. 2. Clean only in Freon TF, Isopropanol, or water.

Electrical/Optical Characteristics at $T_A = 25^\circ\text{C}$

Description	Symbol	Test Condition	Min.	Typ.	Max.	Units
Luminous Intensity/Segment ^[1]	$I_{V, AVE}$	$I_{PEAK} = 100\text{mA}$ 10% Duty Cycle $I_F = 20\text{mA DC}$	50	150		μcd
Peak Wavelength	λ_{PEAK}			655		nm
Forward Voltage/Segment or D.P.	V_F	$I_F = 100\text{mA}$		1.6	2.3	V
Reverse Current/Segment or D.P.	I_R	$V_R = 6\text{V}$			100	μA
Rise and Fall Time ^[2]	t_r, t_f			10		ns
Temperature Coefficient of Forward Voltage	$\Delta V_F / ^\circ\text{C}$			-2.0		mV/ $^\circ\text{C}$
Temperature Coefficient of Luminous Intensity	$\Delta I_V / ^\circ\text{C}$			-1.0		%/ $^\circ\text{C}$

NOTES: 1. The digits are categorized for luminous intensity such that the variation from digit to digit within a category is not discernible to the eye. Intensity categories are designated by a letter located on the right hand side of the package.
2. Time for a 10%-90% change of light intensity for step change in current.

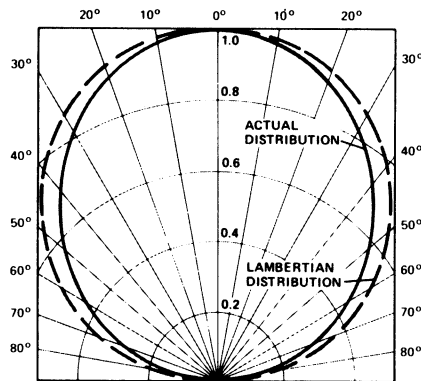


Figure 1. Normalized Angular Distribution of Luminous Intensity.

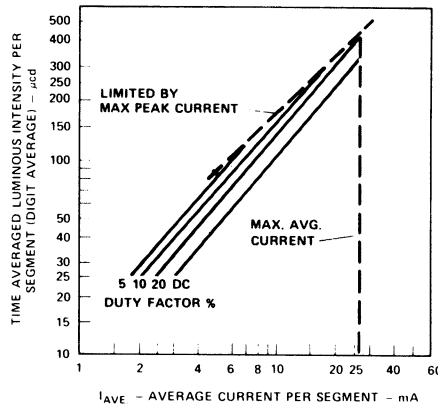


Figure 2. Typical Time Averaged Luminous Intensity per Segment versus Average Current.

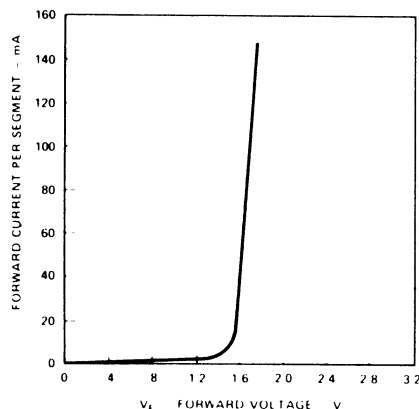


Figure 3. Forward Current versus Forward Voltage.

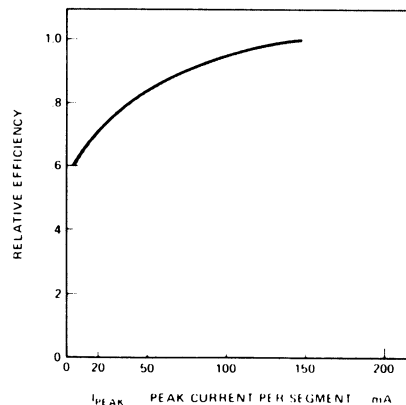


Figure 4. Relative Efficiency (Luminous Intensity per Unit Current) versus Peak Current per Segment.

For more information, call your local HP Sales Office or East (201) 265-5000 · Midwest (312) 677-0400 · South (404) 436-6181 · West (213) 877-1282. Or, write: Hewlett-Packard, 1501 Page Mill Road, Palo Alto, California 94304. In Europe, Post Office Box 85, CH-1217 Meyrin 2, Geneva, Switzerland. In Japan, YHP, 1-59-1, Yoyogi, Shibuya-Ku, Tokyo, 151.

Printed in U.S.A.



3.4 Syv segment med glødetråde

MINITRON

3015F

● OUTLINES

This indicator will function to control on/off of the special filament arranged inside the vacuum container for indication of the digits, characters and symbols.

When used in conjunction with a diode matrix this indicator will indicate the characters as required.

Fully reflecting the characteristics of the unprecedented small size and low power consumption of this indicator, it is used for indication of meters and small sized electronic computers as well as for the digital indication of clocks.

● FEATURES

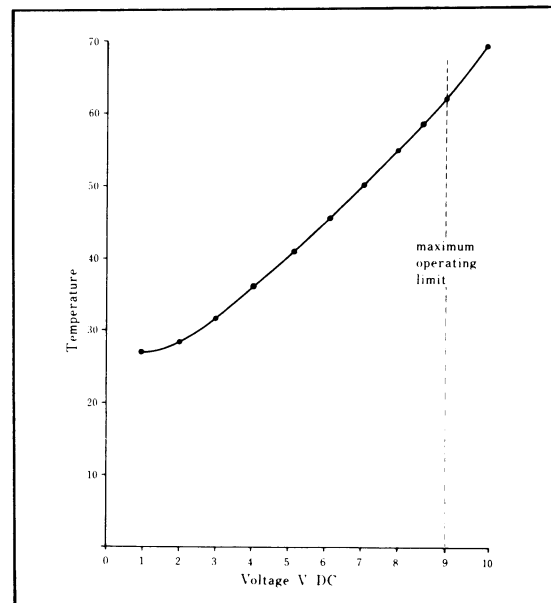
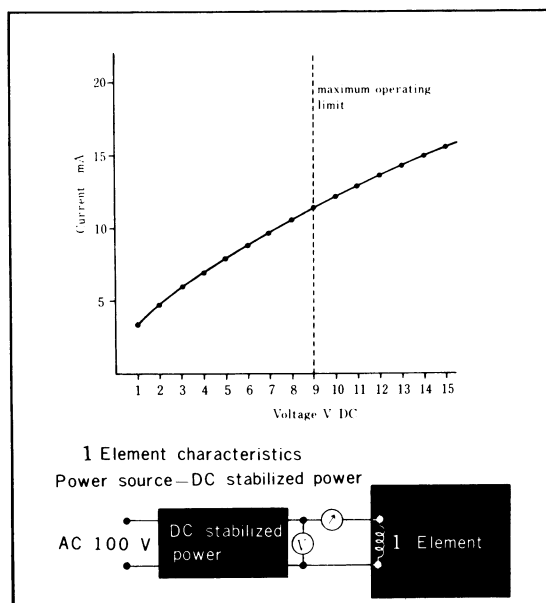
- 1) Unprecedented small size
- 2) Very low voltage and minimum power consumption
- 3) No need for high voltage and connectable directly to IC
- 4) Clear indication with adjustable brightness.
- 5) The indication is given on the same plane for easier observation
- 6) Any required color is obtainable by filter
- 7) Decimal point built in it.
- 8) Installable directly into the printed circuit board at minimum installation processes.
- 9) Serviceable on AC and DC
- 10) Long life

● PERFORMANCE AND SPECIFICATIONS

Digits displayed:	10 digits, from 0 to 9.	Rated voltage:	AC 6 V, DC 5 V
Size of characters:	Decimal point is built in it.	Power consumption:	40 mw per element for DC 5 V
Height:	9.2mm x width 5.0mm, tilt angle 5°	Life:	Longer than 50,000 hours (tested under vibration, shock, drop and heat)
Dimensions:	height 22.0mm x width 11.5mm, thickness 9.0mm (including lead section of 3mm.)	Operation temperature:	— 50 to 70°C

● Current/voltage Characteristics

● TEMPERATURE RISE



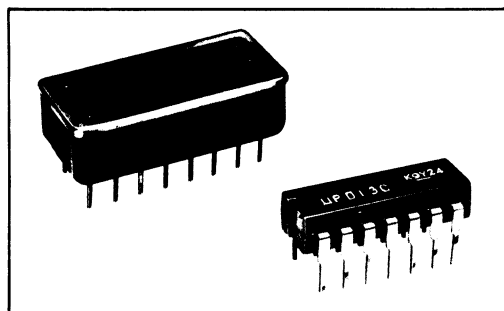
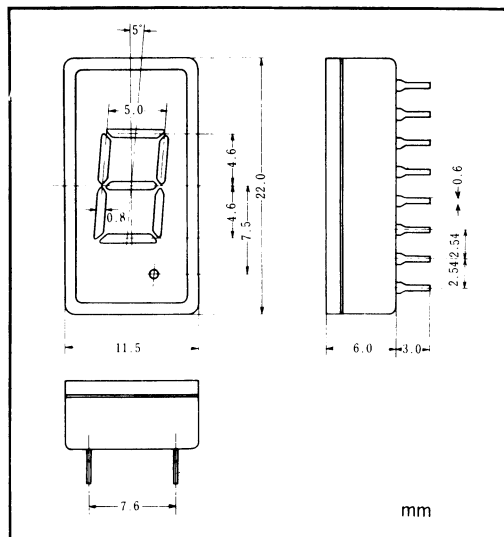
Precautions for operation

When it is used at over the maximum voltage for a long period of time, there may be a defective expansion of the filament.

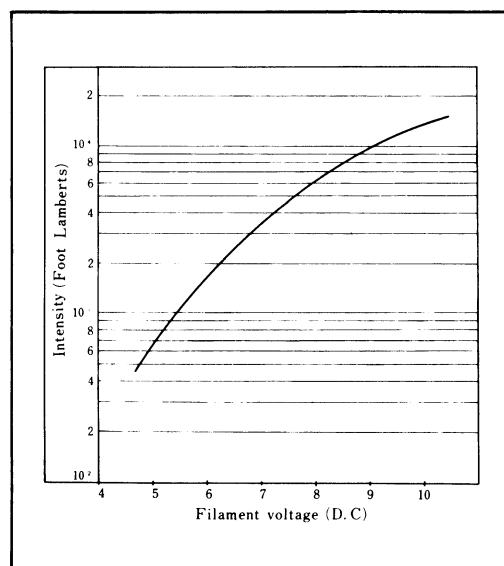
The values given in the graph is the surface temperature when all the elements are continuously lit; actually, however, since not all the characters or digits are lit, the temperature rise will be much lower.



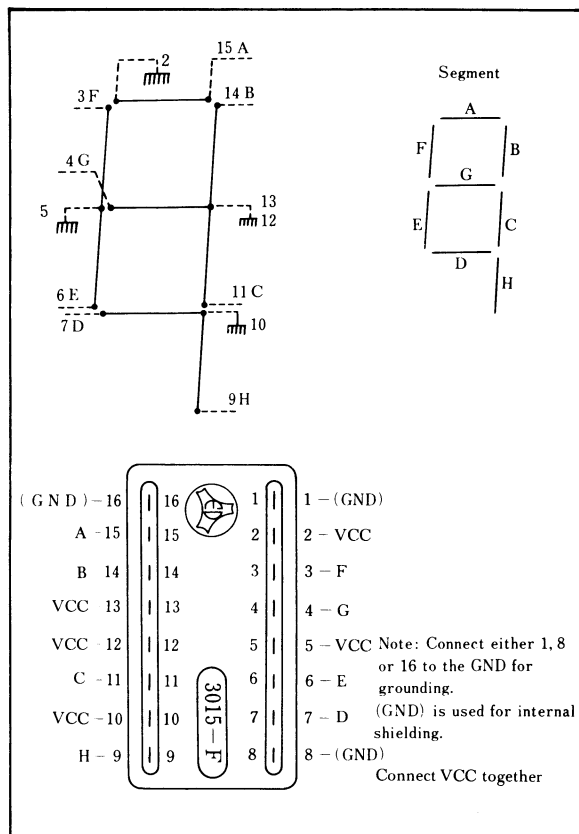
● OUTER DIMENSIONS



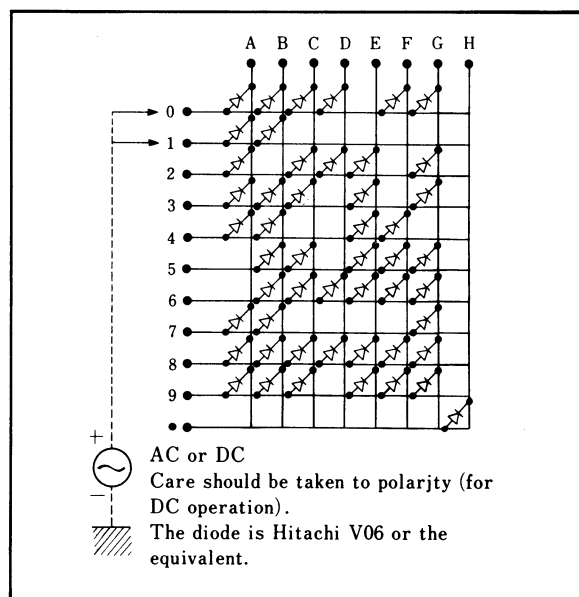
● Brightness characteristics



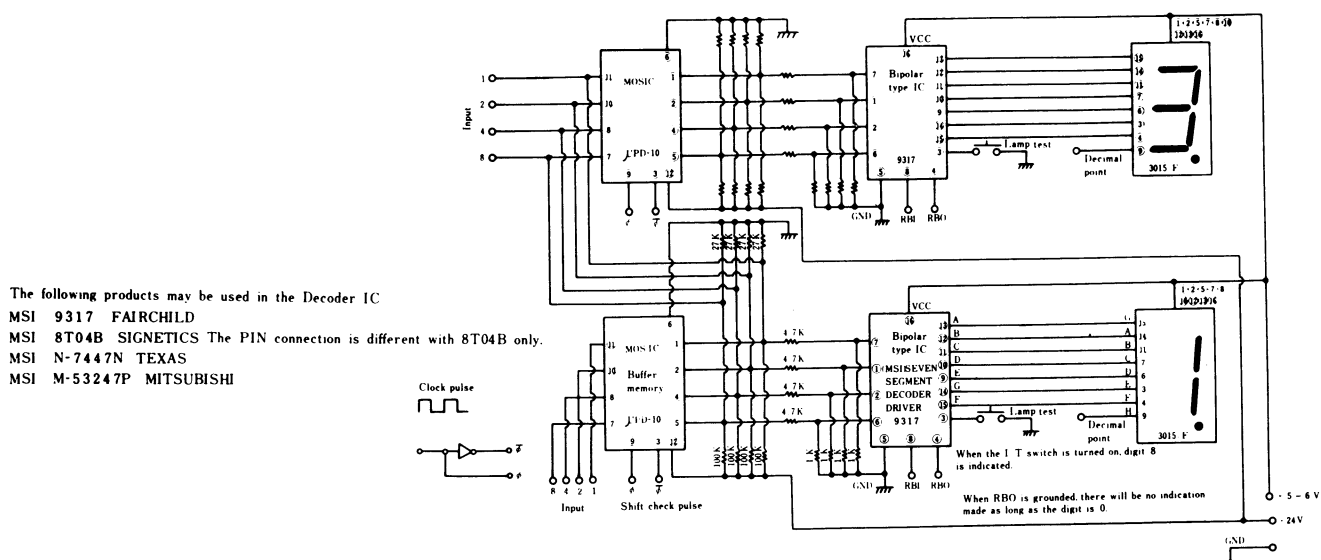
● WIRING DIAGRAM



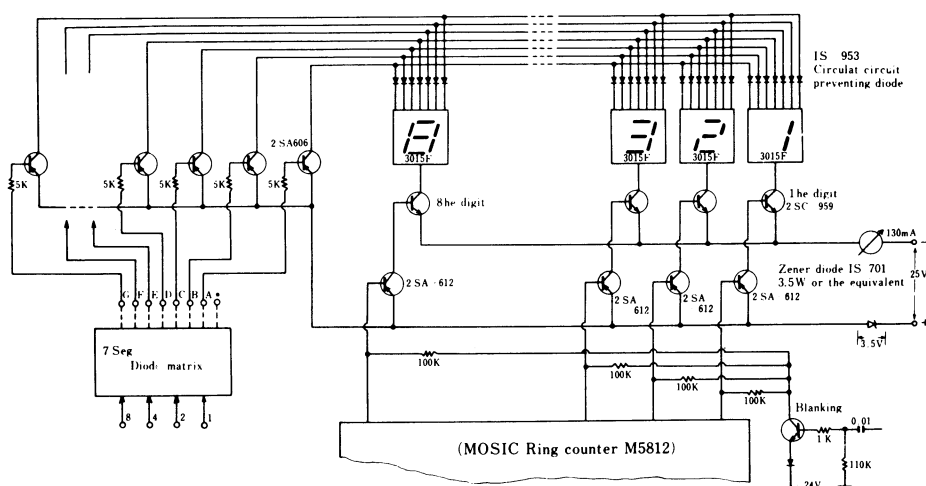
● Diode matrix circuit diagram



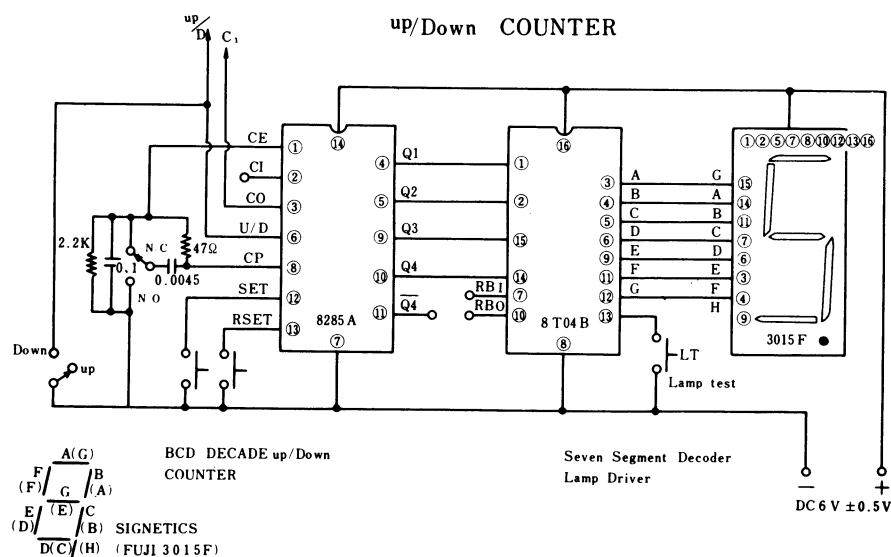
● DC DRIVE CIRCUIT (Operating example)



● PULSE DRIVE CIRCUIT (Operating example)



● DC DRIVE (Operating example)



3.5 L.C.D.

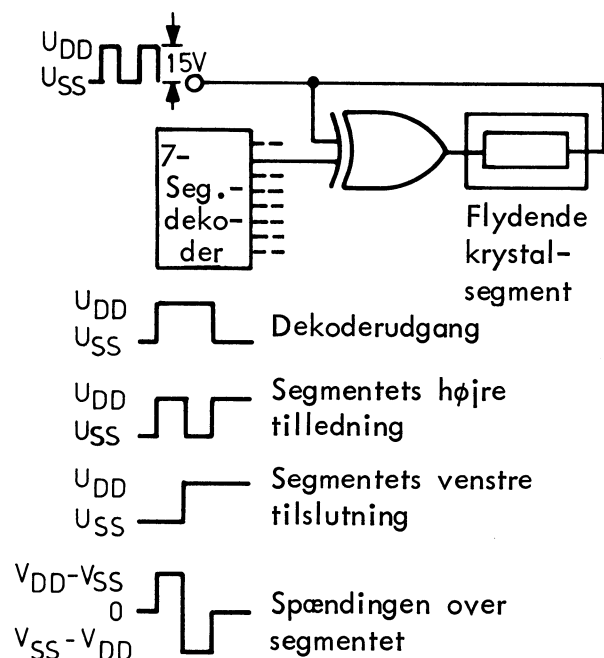
I flydende krystaller anvendes den egenskab, at nogle organiske materialer ændrer deres optiske gennemskinnelighed ved påvirkning af et elektrisk felt.

Hver streng i et krystal-display er opbygget af to glasplader, hvorimellem der er et tyndt organisk materiale, som ved normalt arbejdstemperatur, 0 til 70 C°, er halvt flydende.

Materialet mellem glaspladerne kan være polariseret på forskellig måde alt efter display-typen.

Nogle er polariseret således, at lys ikke kan trænge igennem, så længe der ingen spænding er påtrykt. Andre typer er omvendt polariseret således, at de lader lys passere, når der ingen spænding er påtrykt.

For at øge krystallets levetid påtrykkes det en vekselspænding, når polariteten skal ændres. Denne vekselspænding over krystallet frembringes ofte ved hjælp af en EX-OR-kreds.





1.8 Datablad Texas SN54/7413

recommended operating conditions

	54 FAMILY 74 FAMILY	SERIES 54 SERIES 74								SERIES 54S SERIES 74S	UNI			
		'13			'14			'132		'S132				
		MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX		MIN	NOM	MAX
Supply voltage, V _{CC}	54 Family	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	V
	74 Family	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	
High-level output current, I _{OH}		-800			-800			-800		-1000		μA		
Low-level output current, I _{OL}		16			16			16		20		mA		
Operating free-air temperature, T _A	54 Family	-55	125	-55	125	-55	125	-55	125	-55	125	°C		
	74 Family	0	70	0	70	0	70	0	70	0	70			

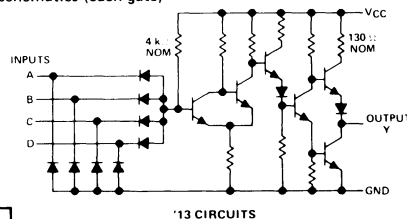
electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST FIGURE	TEST CONDITIONS†	SERIES 54 SERIES 74								UNIT					
			'13			'14			'132			'S132				
			MIN	TYP‡	MAX	MIN	TYP‡	MAX	MIN	TYP‡		MAX	MIN	TYP‡	MAX	
V _{T+} Positive-going threshold voltage	8	V _{CC} = 5 V	1.5	1.7	2	1.5	1.7	2	1.5	1.7	2	1.6	1.77	1.9	V	
V _{T-} Negative-going threshold voltage	9	V _{CC} = 5 V	0.6	0.9	1.1	0.6	0.9	1.1	0.6	0.9	1.1	1.1	1.22	1.4	V	
Hysteresis (V _{T+} – V _{T-})	8, 9	V _{CC} = 5 V	0.4	0.8		0.4	0.8		0.4	0.8		0.2	0.55		V	
V _I Input clamp voltage	3	V _{CC} = MIN, I _I = 8				–1.5			–1.5			–1.5			V	
V _{OH} High-level output voltage	9	V _{CC} = MIN, V _I = V _{T-} min, I _{OH} = MAX	54 Family	2.4	3.4		2.4	3.4		2.4	3.4		2.5	3.4		V
		74 Family	2.4	3.4		2.4	3.4		2.4	3.4		2.7	3.4			
V _{OL} Low-level output voltage	8	V _{CC} = MIN, I _{OL} = MAX, V _I = V _{T+} max,	0.2			0.4			0.2			0.4			0.5	V
I _{T+} Input current at positive-going threshold	8	V _{CC} = 5 V, V _I = V _{T+}	–0.65			–0.43			–0.43			–0.9			mA	
I _{T-} Input current at negative-going threshold	9	V _{CC} = 5 V, V _I = V _{T-}	–0.85			–0.56			–0.56			–1.1			mA	
I _I Input current at maximum input voltage	4	V _{CC} = MAX, V _I = 5.5 V	1			1			1			1			mA	
I _{IH} High-level input current	4	V _{CC} = MAX, V _I = 2.4 V	40			40			40						μA	
		V _I = 2.7 V										50				
I _{IL} Low-level input current	5	V _{CC} = MAX, V _I = 0.4 V	–1			–1.6			–0.8			–1.2			mA	
		V _I = 0.5 V										–2				
I _{OS} Short-circuit output current	6	V _{CC} = MAX	–18	–55		–18	–55		–18	–55		40	–100		mA	
I _{CC} Supply current	7	Total, output high	14	23		22	36		15	24		28	44		mA	
		Total, output low	20	32		39	60		26	40		44	68		mA	
		Average per gate	8.5			5.1			5.1			9				
		V _{CC} = 5 V, 50% duty cycle														

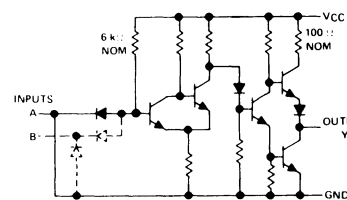
[†]For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.[‡]All typical values are at $V_{CC} = 5 V$, $T_A = 25^{\circ}C$.[§] $I_{I1} = -12 \text{ mA}$ for SN54/SN74 and -18 mA for 'S132.^{*}Not more than one output should be shorted at a time, and for 'S132, duration of output short circuit should not exceed one second.switching characteristics, $V_{CC} = 5 V$, $T_A = 25^{\circ}C$

TYPE	TEST CONDITIONS	t_{PLH} (ns)		t_{PHL} (ns)	
		Propagation delay time, low to high-level output		Propagation delay time, high to low-level output	
		TYP	MAX	TYP	MAX
'13	$C_L = 15 \text{ pF}$, $R_L = 400 \Omega$	18	27	15	22
'14, '132		15	22	15	22
'S132	$C_L = 15 \text{ pF}$, $R_L = 280 \Omega$	7	10.5	8.5	13

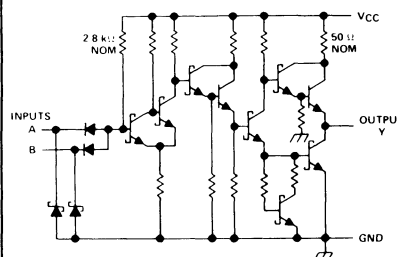
schematics (each gate)



'13 CIRCUITS

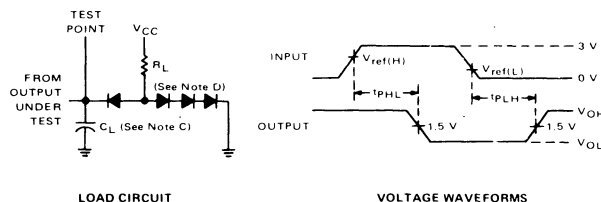


'14, '132 CIRCUITS



'S132 CIRCUITS

PARAMETER MEASUREMENT INFORMATION

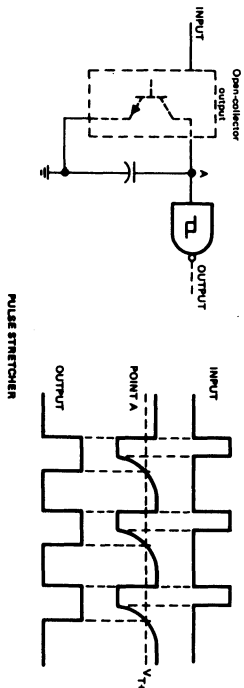
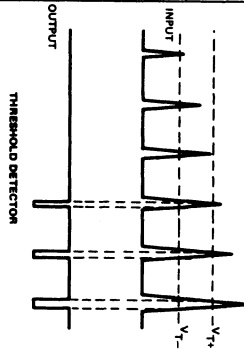
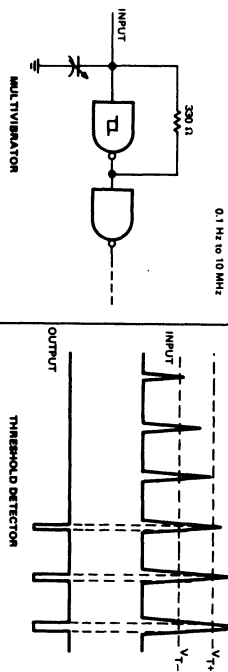
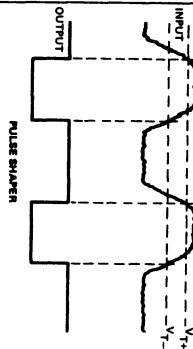
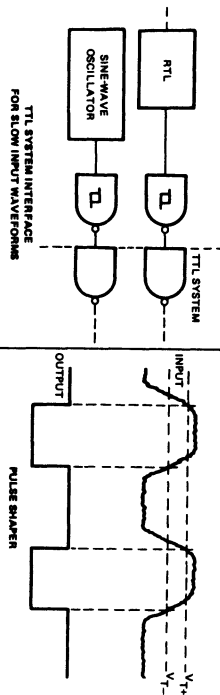


- NOTES: A. The input waveform is supplied by a generator with the following characteristics: $Z_{out} = 50 \Omega$ and $PRR \leq 1 \text{ MHz}$. Rise and fall times between 10 and 90 percent points are 10 ns for SN54/SN74 circuits and 2.5 ns for 'S132.
- B. Reference voltages for SN54/SN74 circuits are: $V_{ref}(H) = 1.7 V$, $V_{ref}(L) = 0.9 V$.
- C. Reference voltages for 'S132 are: $V_{ref}(H) = 1.8 V$, $V_{ref}(L) = 1.2 V$.
- D. C_L includes probe and jig capacitance.
- E. All diodes are 1N916 or 1N3064.

SCHMITT-TRIGGER POSITIVE-NAND GATES AND INVERTERS
WITH TOTEM-POLE OUTPUTSSCHMITT-TRIGGER POSITIVE-NAND GATES AND INVERTERS
WITH TOTEM-POLE OUTPUTS

SCHMITT-TRIGGER POSITIVE-NAND GATES AND INVERTERS
WITH TOTEM-POLE OUTPUTS

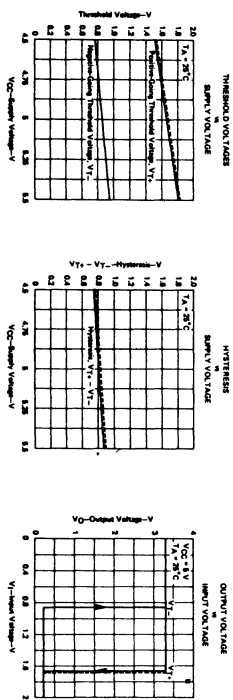
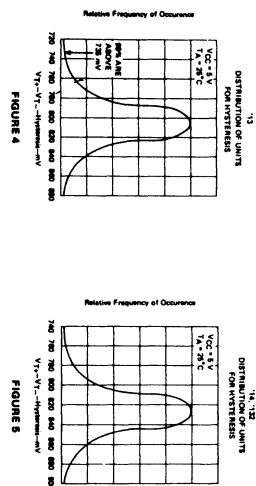
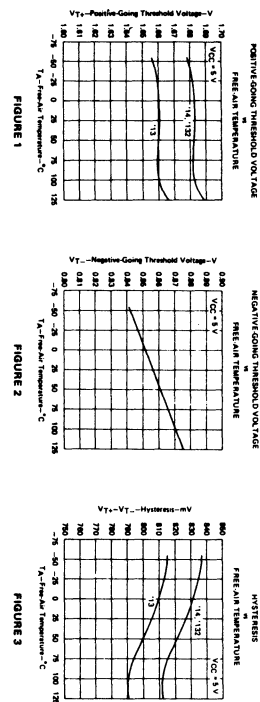
TYPICAL APPLICATION DATA



TEXAS INSTRUMENTS

SCHMITT-TRIGGER POSITIVE-NAND GATES AND INVERTERS
WITH TOTEM-POLE OUTPUTS

TYPICAL CHARACTERISTICS†



† Typical values of 13, 14, and 132 circuit types. Dashed lines in Figures 6, 7, and 8 are applicable for the 14 and 132 circuit types.

TEXAS INSTRUMENTS



Følgende data er retningsgivende
for flydende krystal-display.

	Dynamisk spredning	Felteffekt
Talhøjde	ca. 20 mm	20 mm
Driftspænding	15...30 V	7 V
Maks. strøm (syv segment)	20 μ A	0,5...2 μ A
Maks. effekt	600 μ W	3...30 μ W
Stigetid	ca. 30 ms	ca. 50 ms
Faldetid	ca. 80 ms	ca. 100 ms
Kontrast	ca. 15:1	ca. 30:1
Temperaturområde i drift	0...70 C°	0...70 C°
Lagret	-20...80 C°	-20...70 C°
Levetid incl. lagertid	3 år	5 år

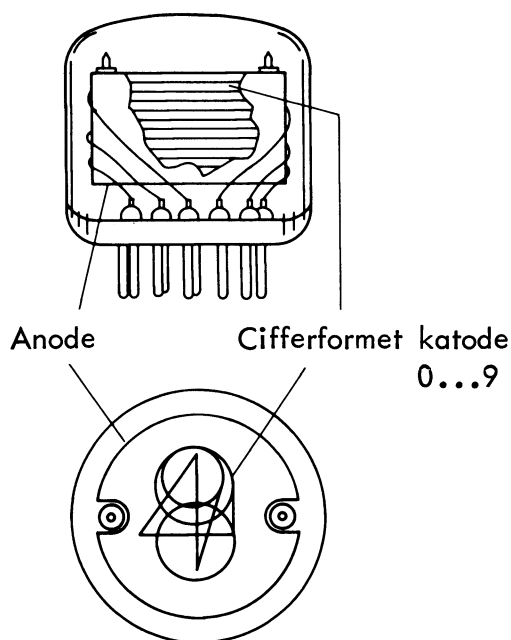
Levetiden skal tages med et stort
forbehold, idet der sker en me-
get stor udvikling på dette områ-
de, 7 til 10 års levetid er på
nuværende tidspunkt ikke urea-
listisk.



4. GLIMLAMPE DISPLAY

4.1 Nixie-rør

Et nixie-rør består af en anode og flere katoder, der hver for sig er formet som det tegn, displayet skal vise. Anode og katoder er indstøbt i en gasfyldt glaskolbe. Anoden er fælles for alle katoder.

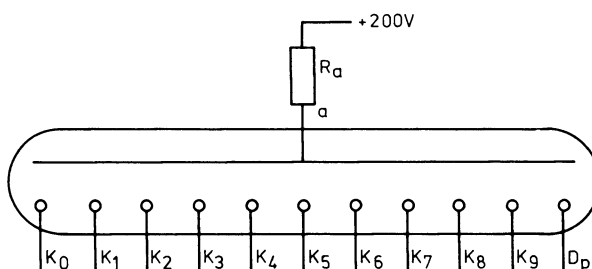


4.2 Nixie-rørets virkemåde

Tilsluttes anoden 170 V i forhold til en katode, vil det se ud, som om katoden lyser. Formindskes spændingen mellem anoden og katoden til under 110 V, slukkes røret.

De to spændinger kaldes henholdsvis tænd- og slukkespænding.

Røret kaldes ofte et koldkatode-rør, fordi katoden ikke opvarmes af en glødetråd.



Til detektor

Rørets anode forbindes gennem en modstand til forsyningsspændingen, der er lidt højere end rørets tændspænding.

Dekoderne vil så forbinde den katode, der skal lyse, til stel.

Derved løber der strøm i røret, og anodespændingen formindskes til en spænding i nærheden af slukkespændingen.

Vælges der nu et nyt ciffer, vil dekoderen afbryde forbindelsen til den første katode, men da det ofte er en halvleder, der virker som kontakt i dekoderen, vil strømmen ikke afbrydes totalt.

Cifferet vil stadig lyse, idet anodespændingen stiger lige så meget som katoden.

Ved kortslutning af en ny katode til stel vil anodespændingen igen falde, hvorved spændingen til det ciffer, der skulle slukkes, nu falder under slukkespændingen, og cifferet slukkes. Den anden katode vil lyse, idet den er forbundet til stel gennem dekoderen.

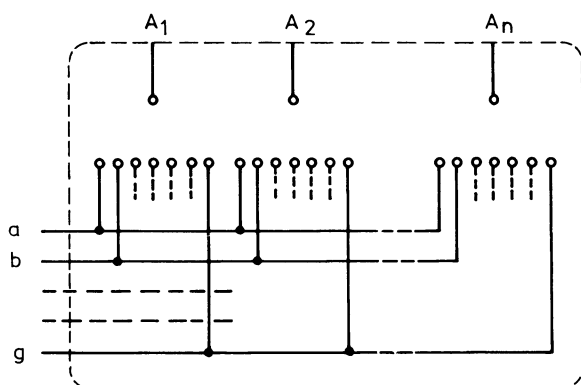
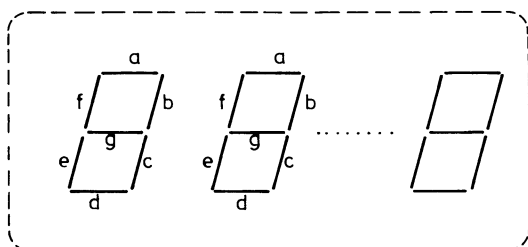
Når decimalpunktet, D_p , skal tændes, må det ikke slukke cifrene, derfor er der ofte en modstand i serie med D_p -katoden.



4.3 Pandicon indicator rør

Pandicon er et handelsnavn på et indikatorrør, der indeholder flere syv segment nixie-rørsystemer ved siden af hinanden i samme glas-kolbe.

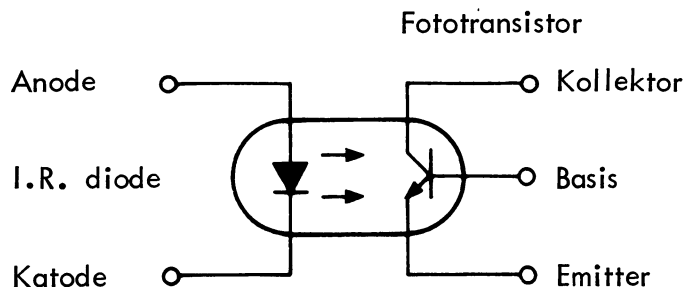
Rørene har hver deres anode ført ud, hvorimod katoderne for samme segment i hvert rørsystem er parallelforbundne. Ved hjælp af katoderne vælges, hvilket tegn der skal lyse. Med anodespændingen vælges, hvilket rørsystem tegnet skal lyse i.



5. OPTOKOBLERE

5.1 Opbygning

En optokobler består af en gallium arsenide diode, der kan udsende infrarød stråling og en silicium fototransistor. Komponenterne er optisk koblet, men elektrisk isoleret fra hinanden.



5.2 Fordele

Optokoblere har følgende fordele:

- God isolation $10^{11} \Omega$ parallel med 1 pF ved $\pm 1,5$ kV.
- God linearitet mellem ind- og udgangsstrøm.
- Kompatibel med transistor og logikkredse.
- Stor hastighed.
- Lang levetid.
- Modstandsdygtig overfor vibrationer.



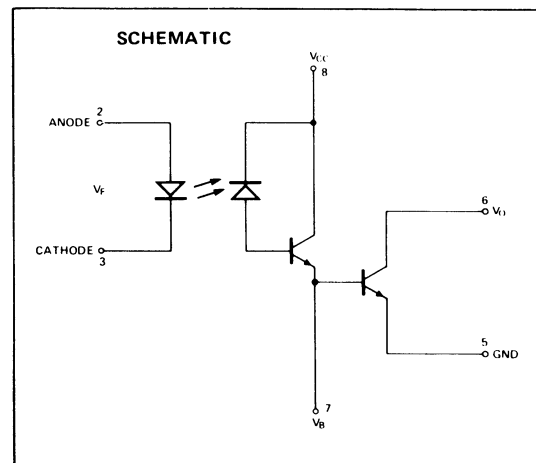
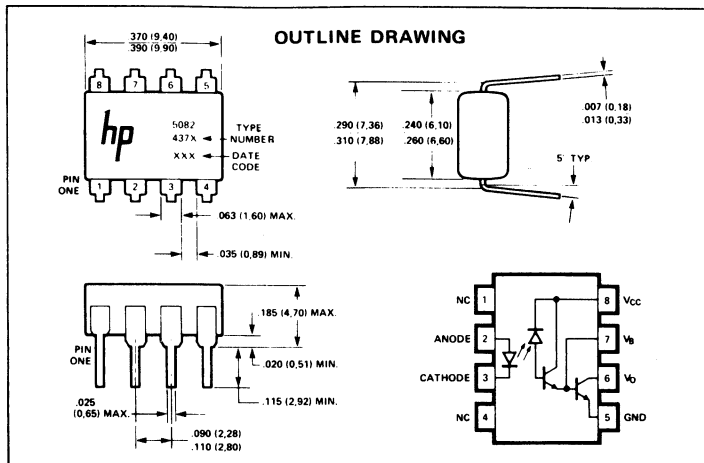
5.3 Eksempel på data

HEWLETT  PACKARD
COMPONENTS

LOW INPUT CURRENT, HIGH GAIN OPTICALLY COUPLED ISOLATORS

5082-4370
5082-4371

TECHNICAL DATA JANUARY 1975



Features

- High Current Transfer Ratio – 800% Typical
- Low Input Current Requirement – 0.5 mA
- TTL Compatible Output – 0.1V V_{OL}
- 2500 Vdc Insulation Voltage
- High Common Mode Rejection – 500V/ μ s
- Performance Guaranteed Over Temperature 0°C to 70°C
- Base Access Allows Gain Bandwidth Adjustment
- High Output Current – 60mA
- DC to 1M bit/s Operation
- Recognized Under the Component Recognition Program of Underwriters Laboratories, Inc.

Description

The 5082-4370 series isolators use a Light Emitting Diode and an integrated high gain photon detector to provide 2500V dc electrical insulation, 500V/ μ s common mode transient immunity and extremely high current transfer ratio between input and output. Separate pins for the photodiode and output stage result in TTL compatible saturation voltages and high speed operation. Where desired the V_{CC} and V_O terminals may be tied together to achieve conventional photodarlington operation. A base access terminal allows a gain bandwidth adjustment to be made.

The 5082-4371 is suitable for use in CMOS, LTTL or other low power applications. A 400% minimum current transfer ratio is guaranteed over a 0-70°C operating range for only 0.5mA of LED current.

The 5082-4370 is suitable for use mainly in TTL applications. Current Transfer Ratio is 300% minimum over 0-70°C for an LED current of 1.6mA [1 TTL unit load (U.L.)]. A 300% minimum CTR enables operation with 1 U.L. in, 1 U.L. out with a 2.2 k Ω pull-up resistor.

Applications

- Ground Isolate Most Logic Families – TTL/TTL, CMOS/TTL, CMOS/CMOS, LTTL/TTL, CMOS/LTTL
- Low Input Current Line Receiver – Long Line or Partyline
- EIA RS-232C Line Receiver with 2500V, 60Hz Common Mode Rejection
- Telephone Ring Detector
- 117 V ac Line Voltage Status Indicator – Low Input Power Dissipation
- Low Power Systems – Ground Isolation

Absolute Maximum Ratings

Storage Temperature	–55°C to +125°C
Operating Temperature	0°C to +70°C
Lead Solder Temperature	260°C for 10 Sec (1/16" below seating plane)
Average Input Current – I_F	20mA [1]
Peak Input Current – I_F	40mA (50% duty cycle, 1 ms pulse width)
Peak Transient Input Current – I_F	1.0A ($\leq 1\mu$ sec pulse width, 300pps)
Reverse Input Voltage – V_R	5V
Input Power Dissipation	35mW [2]
Output Current – I_O (Pin 6)	60mA [3]
Emitter-Base Reverse Voltage (Pin 5-7)	5V
Supply and Output Voltage – V_{CC} (Pin 8-5), V_O (Pin 6-5)	5082-4370 –0.5 to 7V 5082-4371 –0.5 to 18V
Output Power Dissipation	100mW [4]

See notes, page 2.



Electrical Specifications

OVER RECOMMENDED TEMPERATURE ($T_A = 0^\circ\text{C}$ to 70°C), UNLESS OTHERWISE SPECIFIED

Parameter	Sym.	Device 5082-	Min.	Typ.*	Max.	Units	Test Conditions	Fig.	Note
Current Transfer Ratio	CTR	4371	400	800		%	$I_F = 0.5\text{mA}$, $V_O = 0.4\text{V}$, $V_{CC} = 4.5\text{V}$		5,6
		4370	500	900		%	$I_F = 1.6\text{mA}$, $V_O = 0.4\text{V}$, $V_{CC} = 4.5\text{V}$		
Logic Low Output Voltage	V_{OL}	4371		0.1	0.4	V	$I_F = 1.6\text{mA}$, $I_O = 6.4\text{mA}$, $V_{CC} = 4.5\text{V}$		6
		4370		0.1	0.4	V	$I_F = 5\text{mA}$, $I_O = 15\text{mA}$, $V_{CC} = 4.5\text{V}$		
Logic High Output Current	I_{OH}	4371		0.05	100	μA	$I_F = 12\text{mA}$, $I_O = 24\text{mA}$, $V_{CC} = 4.5\text{V}$		6
		4370		0.1	250	μA	$I_F = 1.6\text{mA}$, $I_O = 4.8\text{mA}$, $V_{CC} = 4.5\text{V}$		
Logic Low Supply Current	I_{CCL}			0.2		mA	$I_F = 1.6\text{mA}$, $V_O = \text{Open}$, $V_{CC} = 5\text{V}$		6
Logic High Supply Current	I_{CCH}			10		nA	$I_F = 0\text{mA}$, $V_O = \text{Open}$, $V_{CC} = 5\text{V}$		6
Input Forward Voltage	V_F			1.4	1.7	V	$I_F = 1.6\text{mA}$, $T_A = 25^\circ\text{C}$		
Temperature Coefficient of Forward Voltage	$\frac{\Delta V_F}{\Delta T_A}$			-1.8		mV/ $^\circ\text{C}$	$I_F = 1.6\text{mA}$		
Input Capacitance	C_O			40		pF	$f = 1\text{MHz}$, $V_F = 0$		
Insulation Voltage (Input-Output)	V_{I-O}		2500			V dc	45% Relative Humidity, $T_A = 25^\circ\text{C}$		7
Resistance (Input-Output)	R_{I-O}			10^{12}		Ω	$V_{I-O} = 500\text{Vdc}$		7
Capacitance (Input-Output)	C_{I-O}			0.6		pF	$f = 1\text{MHz}$		7

*All typicals at $T_A = 25^\circ\text{C}$ and $V_{CC} = 5\text{V}$, unless otherwise noted.

Switching Specifications

AT $T_A = 25^\circ\text{C}$

Parameter	Sym.	Device 5082-	Min.	Typ.	Max.	Units	Test Conditions	Fig.	Note
Propagation Delay Time To Logic Low at Output	t_{PHL}	4371		5	25	μs	$I_F = 0.5\text{mA}$, $R_L = 4.7\text{k}\Omega$	9	6,8
		4370		0.2	1	μs	$I_F = 12\text{mA}$, $R_L = 270\Omega$		
Propagation Delay Time To Logic High at Output	t_{PLH}	4371		1	10	μs	$I_F = 1.6\text{mA}$, $R_L = 2.2\text{k}\Omega$	9	6,8
		4370		5	60	μs	$I_F = 0.5\text{mA}$, $R_L = 4.7\text{k}\Omega$		
Common Mode Transient Immunity at Logic High Level Output	CM_H	4371		1	7	μs	$I_F = 12\text{mA}$, $R_L = 270\Omega$	10	9
		4370		4	35	μs	$I_F = 1.6\text{mA}$, $R_L = 2.2\text{k}\Omega$		
Common Mode Transient Immunity at Logic Low Level Output	CM_L			>500		V/ μs	$I_F = 0\text{mA}$, $R_L = 2.2\text{k}\Omega$ $ V_{cm} = 10\text{V}_{p-p}$	10	9
				<-500		V/ μs	$I_F = 1.6\text{mA}$, $R_L = 2.2\text{k}\Omega$ $ V_{cm} = 10\text{V}_{p-p}$	10	9

NOTES:

- Derate linearly above 50°C free-air temperature at a rate of $0.4\text{mA}/^\circ\text{C}$.
- Derate linearly above 50°C free-air temperature at a rate of $0.7\text{mW}/^\circ\text{C}$.
- Derate linearly above 25°C free-air temperature at a rate of $0.7\text{mA}/^\circ\text{C}$.
- Derate linearly above 25°C free-air temperature at a rate of $2.0\text{mW}/^\circ\text{C}$.
- DC CURRENT TRANSFER RATIO is defined as the ratio of output collector current, I_O , to the forward LED input current, I_F , times 100%.
- Pin 7 Open.
- Device considered a two-terminal device: Pins 1, 2, 3, and 4 shorted together and Pins 5, 6, 7, and 8 shorted together.
- Use of a resistor between pin 5 and 7 will decrease gain and delay time. See Application Note 951-1 for more details.
- Common mode transient immunity in Logic High level is the maximum tolerable (positive) dV_{cm}/dt on the leading edge of the common mode pulse, V_{cm} , to assure that the output will remain in a Logic High state (i.e., $V_O > 2.0\text{V}$). Common mode transient immunity in Logic Low level is the maximum tolerable (negative) dV_{cm}/dt on the trailing edge of the common mode pulse signal, V_{cm} , to assure that the output will remain in a Logic Low state (i.e., $V_O < 0.8\text{V}$).

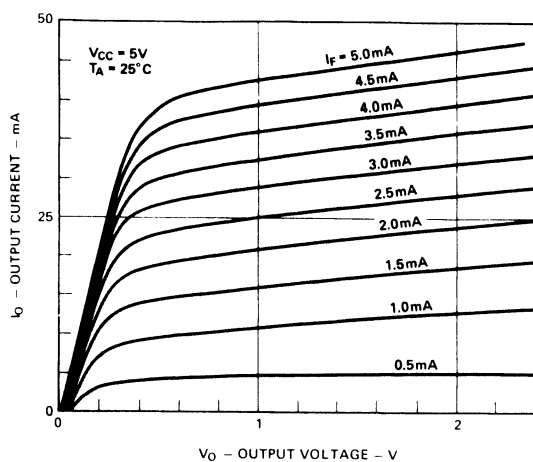


Figure 1. 5082-4371 DC Transfer Characteristics.

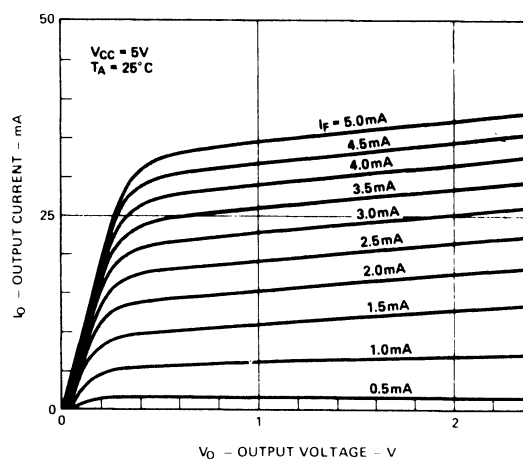


Figure 2. 5082-4370 DC Transfer Characteristics.

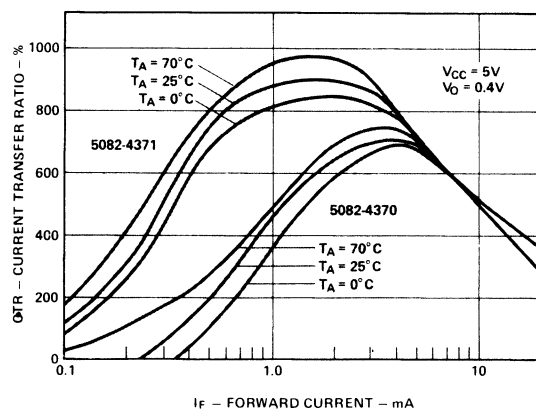


Figure 3. Current Transfer Ratio vs. Forward Current.

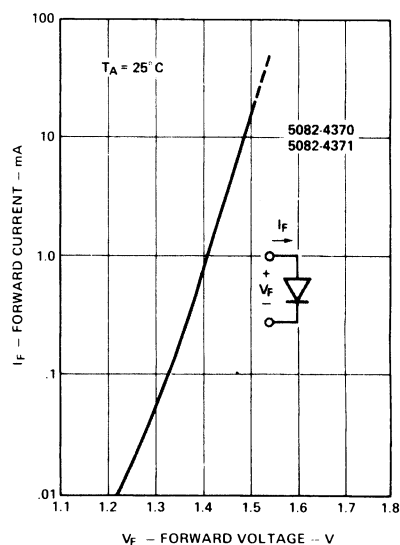


Figure 4. Input Diode Forward Current vs. Forward Voltage.

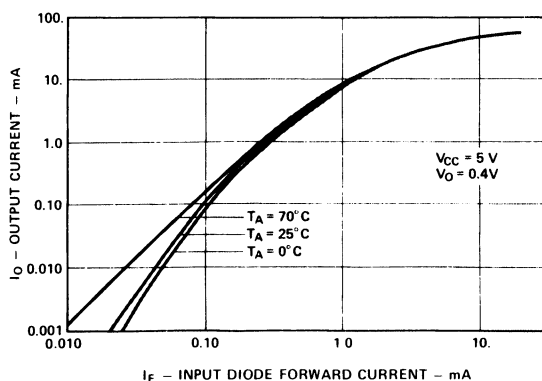


Figure 5. 5082-4371 Output Current vs. Input Diode Forward Current.

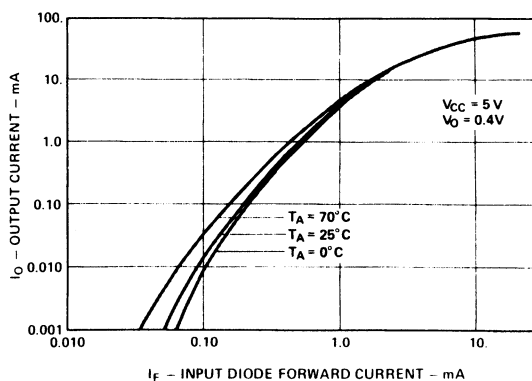


Figure 6. 5082-4370 Output Current vs. Input Diode Forward Current.

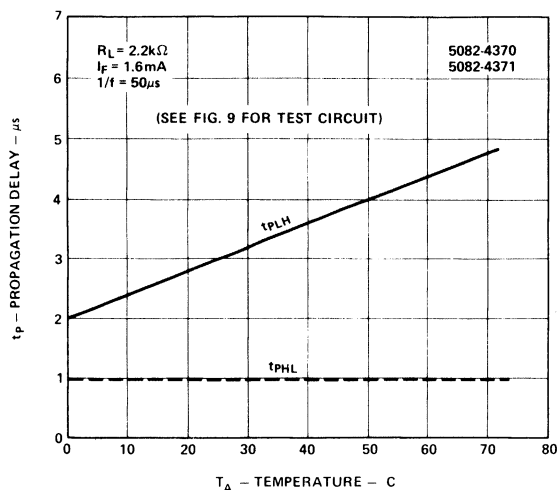


Figure 7. Propagation Delay vs. Temperature.

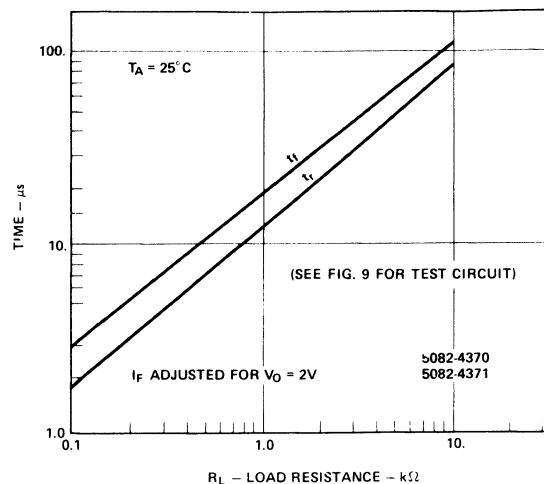


Figure 8. Non Saturated Rise and Fall Times vs. Load Resistance.

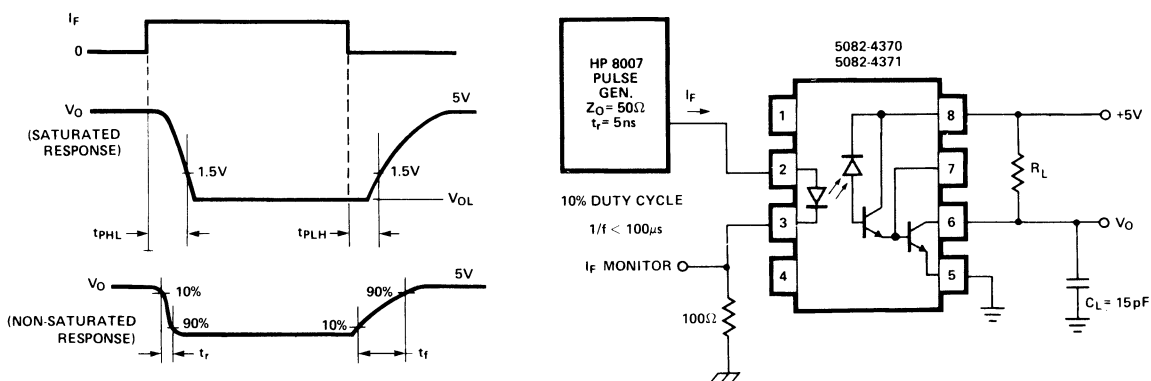


Figure 9. Switching Test Circuit.

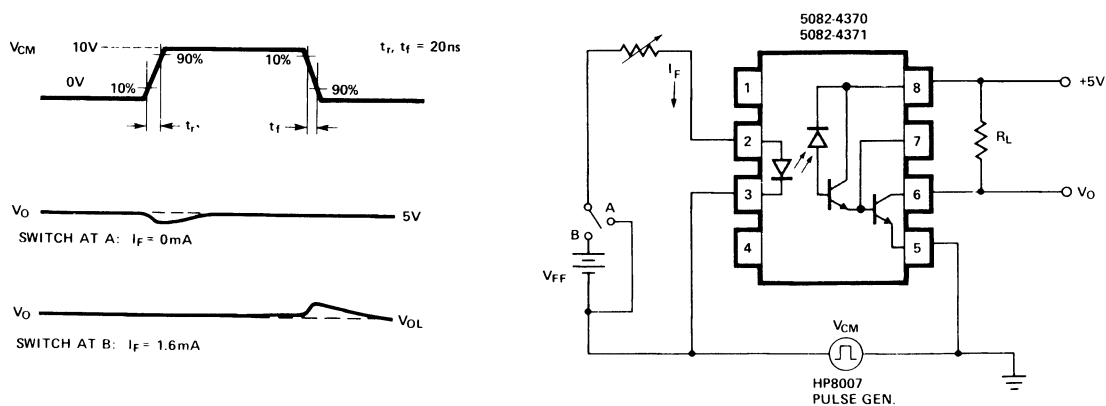


Figure 10. Test Circuit for Transient Immunity and Typical Waveforms.



DISPOSITION

1. Integreret kredsløb
2. Monolitiske kredsløb
3. Typebetegnelser
4. TAA263

1. INTEGRERET KREDSLØB

Rumforskningens krav om reduktion af størrelse og vægt, større pålidelighed og mindre pris, førte allerede i 1960 til udviklingen af det første integrerede kredsløb, forkortet til IC.

1.1 Definition

Ved et IC forstås et mikrokredsløb, hvori et antal kredsløbselementer er uadskilleligt samholdende og elektrisk forbundne på en sådan måde, at det til alle specifikations-, afprøvnings- og vedligholdelsesformål må betragtes som uadskilleligt (IEC-1968).

Der skelnes mellem tre forskellige IC-arter:

1. Monolitiske, der kan indeholde såvel aktive som passive komponenter.
2. Tykfilm eller tyndfilm, der indeholder passive komponenter, indtil videre begrænset til modstande og kondensatorer.
3. Hybride, der er en blanding af ovennævnte, f.eks. tykfilm, der er suppleret med aktive standardkomponenter, hvorefter det hele er indsmeltet i isolationsmateriale.

1.2 Integrering

Udtrykket "integrering" betyder i virkeligheden ikke andet en summering.

De første tilløb til brug af integreret kredsløb i praksis blev gjort i USA omkring 1955 med fremstilling af lederbaner på såkaldte "Tinkertoy wafers", hvor én eller flere diskrete, dvs. enkelte, almindelige komponenter blev loddet på hver wafer. De enkelte wafers blev derefter stakket og loddet sammen som et højt multilayer (flerelags) kredsløb.

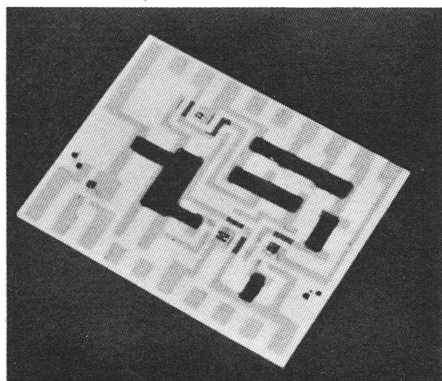


1.3 Tynd- og tykfilm (Hybride)

Kort derefter fulgte fremstilling af tykfilm og tyndfilm kredsløb, som stadig anvendes i nogen udstrækning, når der stilles store kvalitetskrav, f.eks. tolerance.

Tyk- og tyndfilm har det tilfælles, at ledere og modstande placeres direkte på et substrat af keramik eller glaseret keramik, tyndfilmkreds dog også på glas.

Forstærker med tykfilmteknik.

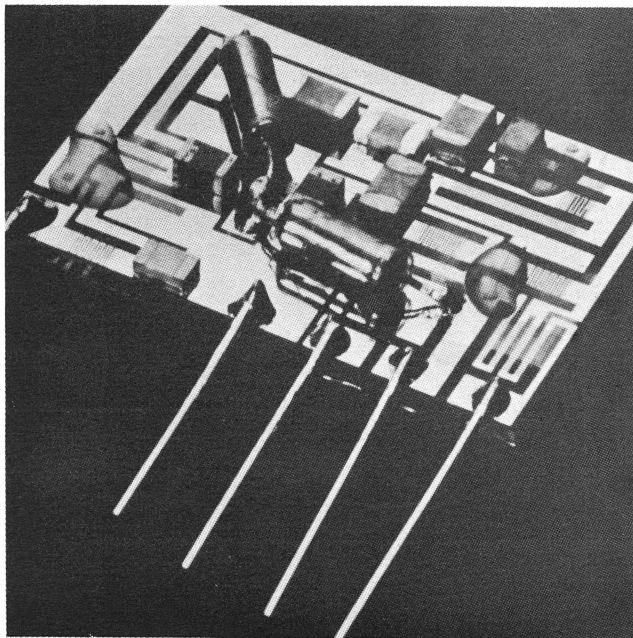


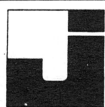
Sort=modstande, gråt=ledere, hvidt=keramikplade af aluminiumoxid.

På tykfilmkredsen (Hybridkredsen) er der monteret krystaller, som indeholder såvel enkelte transistorer som integreret kredsløb.

Forstærker opbygget med tyndfilmteknik.

Ledere og modstande er fremstillet på glassubtrat, de øvrige komponenter er påmonteret (Hybridkreds).





1.4 Integreret halvlederteknik

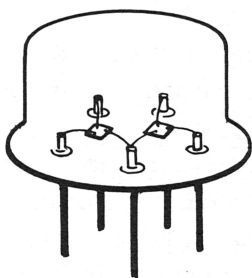
Det man i dag især tænker på, når der tales om integrerede kredsløb, er den type, hvor der er anvendt fremstillingsmetoder, som er kendt fra transistorteknikken, f.eks. planar- og epitaxialteknikken, der minder lidt om fremstilling af trykte kredsløb.

Ved hjælp af et fotolitografisk afmaskningssystem dækkes en del af overfladen på en siliciumskive med påfølgende ætsning.

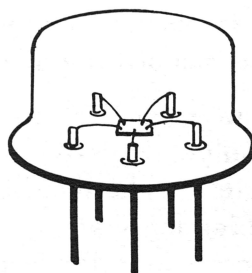
Dette gentages, hvorved alle aktive og passive elementer dannes inden for et afgrænset område på siliciumskiven.

Integrering af halvlederelementer i samme hus:

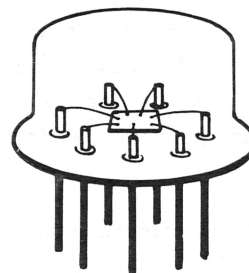
To transistorer i samme hus



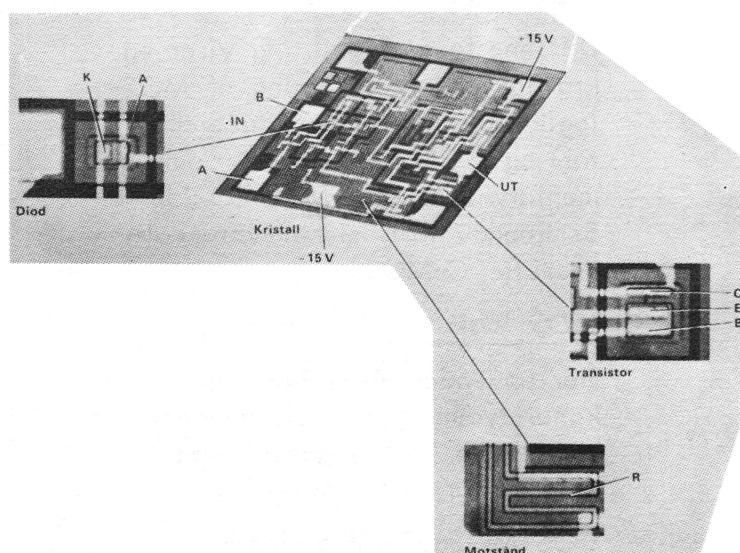
To transistorer på samme krystal



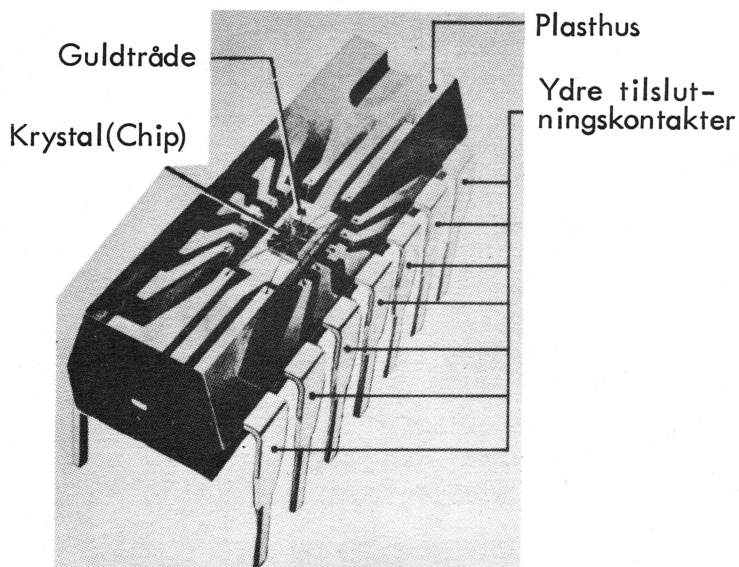
Integreret monolitisk forstærker



Integreret operationsforstærker



Krystal (chip) monteret i et plastic Dual-in-line hus.





1.5 Monolitisk kredsløb

Man kommer ofte ud for udtrykket "monolitisk", som blot angiver, at kredsløbet er udført på en enkelt skive uden påsvejste mellemledninger inden for kredsløbet.

Integrerede kredsløb kan groft inddeles i to typer:

1. Analog-teknik
2. Digital-teknik

1.6 MOS/COS-MOS logik

De seneste års udvikling viser en kraftig tendens i retning af MOS-logik (Metal-Oxide-Semiconductor) og COS-MOS-logik (Complementary-Symmetry-Metal-Oxide-Semiconductor), sidstnævnte kaldes ofte C-MOS.

MOS-logik

Her anvendes såvel N- som P-kanal typer og normalt enhancement, som kræver gate-forspænding/er for at kunne lede.

COS-MOS (C-MOS)-logik

Her anvendes en sammenkobling af såvel en P-kanal som en N-kanal-type.

1.7 Behandling af MOS-kredsløb

Da gateindgangsimpedansen er meget stor, fås let en opladning med statisk elektricitet. Alt, hvad der kommer i kontakt med MOS-kredsløbet, skal have samme potentiale som dette, idet breakdown spændingen er meget lav (ca. 100 V).

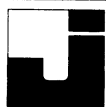
Følgende retningslinier kan gives:

1. Der arbejdes med MOS-kredsløb på en jordet metalplade
2. Tilledninger på MOS-kredsløb må aldrig berøres - hold på huset
3. Opbevares i en metalkasse eller indpakket i metalfolie eller ledende skumgummi
4. Serviceteknikker, loddekolbe og instrumenter skal være jordet
5. Spænding til loddekolbens varmelegeme skal være under 6 V AC
6. Serviceteknikker bør ikke bære tøj fremstillet af syntetiske materialer
7. Servicelokalet bør ikke være malet med plasticmaling, ikke være belagt med nylontæppe eller lignende, ligesom en høj luftfugtighedsprocent bør tilstræbes

2. MONOLITISKE KREDSLØB

Der skelnes normalt mellem fire forskellige monolitiske IC-typer:

1. Digitale - familiekredsløb - også kaldet logiske
2. Digitale - enkeltkredsløb, også kaldet logiske
3. Analoge - kredsløb - også kaldet lineære
4. Blandede digital-/analog-kredsløb



2.1 Analog-teknik

Betegnelsen stammer fra det græske ord *analogus* = tilsvarende. Herved forstås f.eks. en fotocelles omdannelse af lysenergi til en tilsvarende spænding.

Ved analog-teknik kan der være næsten uendelig mange mulige tilstande.

ANALOG-teknik kaldes ofte LINEÆR-teknik.

2.2 Digitalteknik

Betegnelsen stammer fra det latinske ord *digitus* = finger.

I digitalteknikken findes to mulige tilstande, som f.eks. en kontakt, der er afbrudt eller sluttet. Alttså enten/eller, hvilket normalt angives med betegnelserne: 1/0 eller HI/LO, high, low.

DIGITAL-teknik kaldes også BINÆR-teknik, to mulige tilstande.

3. TYPEBETEGNELSER

3.1 Generelt

Typebetegnelserne fra de forskellige firmaer er meget forskellige, og derfor må der generelt henvises til firmaernes data-håndbøger.

Angående den europæiske kode kan der angives visse retningslinier.

Koden består af tre bogstaver efterfulgt af tre tal; derudover ses ofte angivet et eller to bogstaver til sidst.

3.2 Europæisk kode

Første to bogstaver angiver serietype(familie):

F.eks.

FA, FB, FC osv.) Digitale
GA, GB, GC osv.) familiekredsløb

S ()-typer Digitale enkeltkredsløb

T ()-typer Analoge kredsløb

U ()-typer Blandede digital-/analog-kredsløb

Andet bogstav har ingen særlig betydning.

Tredie bogstav (eventuel tal) angiver IC'ens funktion:

A : Forstærker

B : Frekvensomsætter/detektor

C : Oscillator eller lignende

D : Kombination af A, B og C

G : Universaltype

H : Gate (logik)

J : Bistabil/multi-sekvenskredsløb

J : Bi-/multistabil kredsløb

K : Monostabil tidsforsinkelse

L : Niveauomsætter

N : Triggeret sekvenskredsløb

R : Læse-hukommelse

S : Læse-forstærker

Miniwatt-typer efter 1972 angiver med tredie bogstav omgivelsestemperaturområde:

A : Intet angivet område

B : 0 til +70°C

C : -55 til +125°C

D : -25 til +70°C

E : -25 til +85°C

F : -40 til +85°C

Første to tal: Angiver fortløbende firmakode fra 10 til 99.



Tredie tal angiver omgivelsestemperatur-området:

- 1 : 0 til $+70^{\circ}\text{C}$
- 2 : -55 til $+125^{\circ}\text{C}$
- 3 : -10 til $+85^{\circ}\text{C}$
- 4 : $+15$ til $+55^{\circ}\text{C}$
- 5 : -25 til $+70^{\circ}\text{C}$
- 6 : -40 til $+85^{\circ}\text{C}$
- 0 : Intet angivet temperaturområde

Til sidst kan ses angivet ét eller to bogstaver:

Det første angiver elektrisk variant A, B, C eller lignende.

Bemærk:

En A-type kan normalt ikke udskiftes med en B-type eller omvendt.

Det nævnte bogstav kan også angive hus-typen (package) f.eks.:

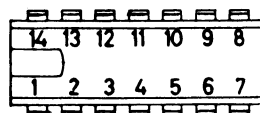
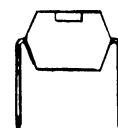
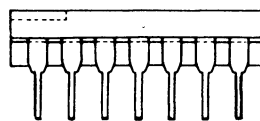
F = Flat-pack

C eller J = Ceramic Dual-in-line

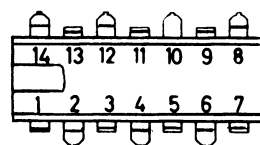
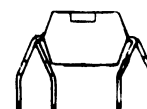
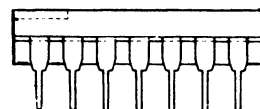
P eller N = Plastic Dual-in-line

3.3 IC-hus typer (package's)

DIL (Dual-in-line)



QIL (Quadruple-in-line)

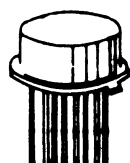


DIL/QIL kan ses angivet på forskellig måde:

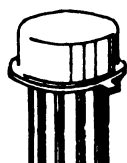
	DIL	QIL
Miniwatt	intet	Q
ITT	A	B
Siemens	intet	A



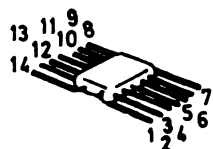
TO5



TO 99



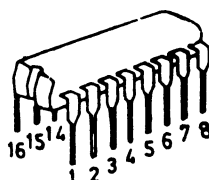
TO 100



Flat-pack



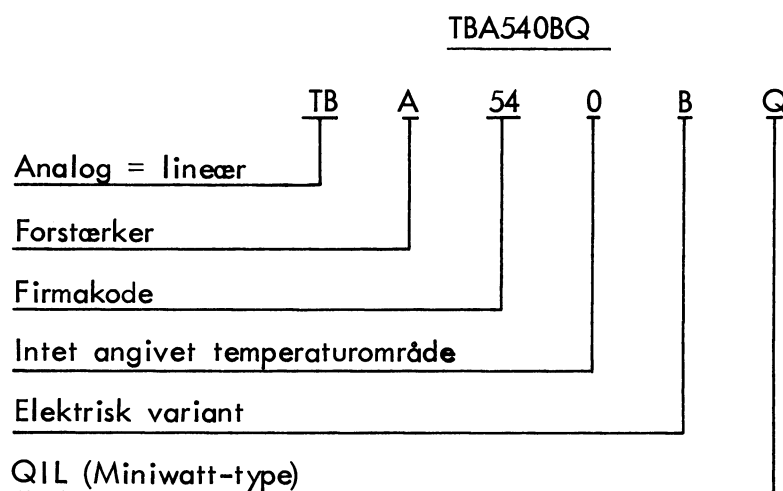
Mini-Dual-in-line



Dual-in-line



3.4 Eksempel på kode



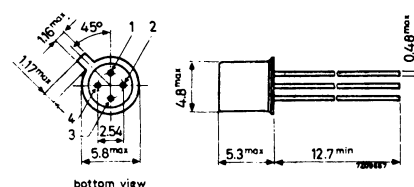
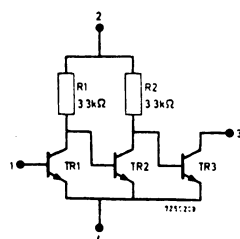
4. TAA263

4.1 Data fra Philips Pocket book

LINEAR MONOLITHIC INTEGRATED CIRCUITSCHARACTERISTICS at $T_{amb} = 25^{\circ}\text{C}$.**Audio amplifiers**

Type number	G_{tr}	Z_i	R_L	f_c	P_o	V_o	P_{tot}	V_P	Package
TAA263	77 dB				> 10 mW	< 7 V	< 70 mW	8 V	TO-72

TAA263



TO-72



DISPOSITION

1. Passive og aktive kredsløb
2. Kredsløbsfamilier
3. Sammenligning

1. PASSIVE OG AKTIVE KREDSLØB

Logiske kredsløbsfamilier kan generelt opdeles i passive og aktive kredsløb.

1.1 Passive kredsløb

De passive kredsløb indeholder dioder, modstande og eventuelt kondensatorer, og ved hjælp af disse komponenter kan der opbygges kredsløb, der udfører de booleske OR- og AND-funktioner.

Denne logikform bærer betegnelsen DL-logik.

NOT-kredsløb kan ikke udføres med disse kredsløb, da dioder ikke kan invertere elektriske signaler.

1.2 Aktive kredsløb

Ved aktive digitale kredsløb forstås, at kredsløbet, foruden passive komponenter, også indeholder aktive komponenter dvs. transistorer.

Derved kan der nu laves booleske kredse som NOT, NAND og NOR og stadig også AND- og OR-kredse.

1.3 Logikfamilier

Her skal omtales nogle forskellige logikfamilier, der næsten alle fås integrerede.

RTL = Resistor-transistor-logik

DTL = Diode-transistor-logik

HLL = High-level-logik

TTL = Transistor-transistor-logik

ECL = Emitter-coupled-logik

MOS = Metal-oxide-semiconductor-logik

CMOS = Complementær symmetrisk MOS logik, også kaldes COSMOS

Desuden kan man støde på forskellige variationer af de nævnte typer.

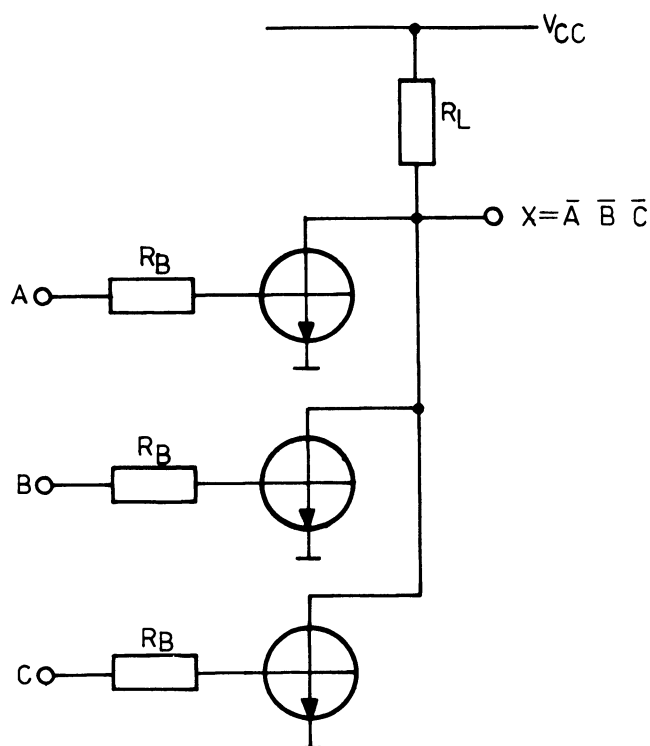


2. KREDSLØBSFAMILIER

2.1 RTL-logik

RTL = Resistor-transistor-logik

RTL-kredse som en selvstændig integreret familie er forsvundet fra markedet. (SGS har haft den).



Tegningen viser en RTL-NOR-gate (tre parallelkoblede invertere).

$$V_{CC} = 3 \text{ V}$$

$$R_L = 600 \, \Omega$$

$$R_B = 400 \, \Omega$$

$$\text{Fan out} = 5$$

$$\text{Fan in} = 4$$

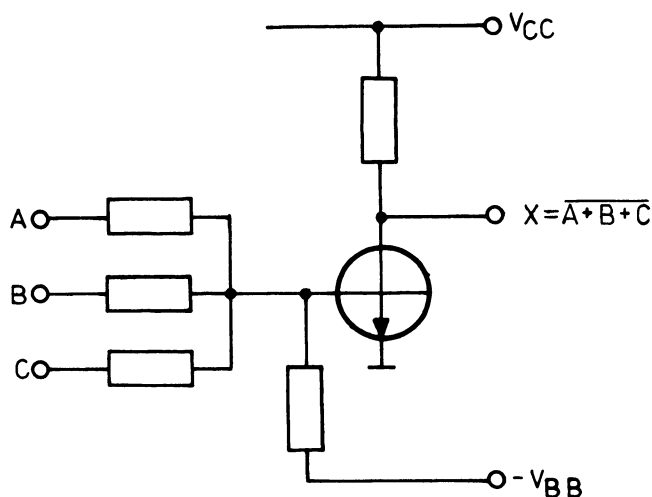
$$\text{Støjmargin} = 150 \text{ mV til } 500 \text{ mV}$$

$$\text{Propagation delay} = 10 \text{ til } 100 \text{ ns}$$

$$\text{Forbrug} = 3 \text{ til } 30 \text{ mW/gate}$$

Udvalget af færdige RTL-kredse var (er) ikke stort, dog kunne (kan) man på sædvanlig måde, ved hjælp af booles algebra, selv lave INV - AND - NAND - OR af NOR-gaten.

RTL-kredse kan også konstrueres af diskrete komponenter og ses anvendt som interface, dvs. overgangskredsløb fra én logikfamilie til en anden.



Tegningen viser en multiple input NOR-RTL-gate, opbygget med diskrete komponenter.

RTL: Mødes ikke mere integreret. Kan mødes i kombinerede systemer som interface (diskret).

Fordele : Sæmpel konstruktion.

Lav pris.

Nogenlunde hurtigt kredsløb ved brug af ukritiske transistorer.

Ulemper: Lav støjmargin.

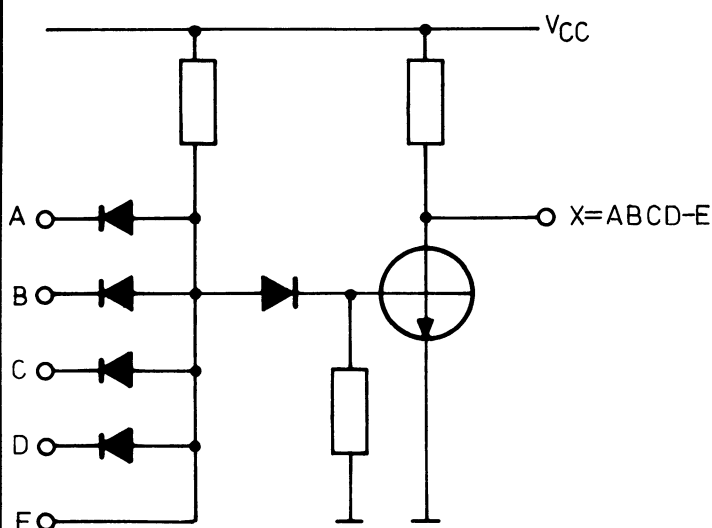


2.2 DTL-logik

DTL = Diode-transistor-logik.

DTL-kredse kan leveres af flere fabrikanter. F.eks. har Philips et stort program (FC-familien).

Herunder er vist et eksempel på en 3-input NAND-gate, som kan fås integreret.



Almindeligvis fås DTL-kredse med passiv pull-up, dvs. ohmsk modstand i kollektoren. Denne modstand kan være integreret, eller man må selv montere den.

Dog findes der DTL-kredse med aktiv pull-up, totem-pole.

Indgang E er en såkaldt ekspanderindgang, her kan udvendig tilsluttes flere dioder, hvorved antallet af indgange kan udvides.

V_{CC} 5 V.

V_{CC} (Philips) 6 V.

Fan out 8.

Fan in (med ekspander) over 10.

Støjmargin 650 til 800 mV.

Propagation delay-high-low
10 til 30 ns.

Low-high 25 til 80 ns

Maks. arbejdshastighed for FF
10 MHz.

Effektforbrug/gate 8 til 12 mW.

DTL-familien er temmelig almindelig i digitalteknik.

Af fordele skal nævnes stort fan out og fan in, fornuftig støjmargin, og operationshastigheden er medium.

Da DTL-kredsene er afledt af diskrete komponentteknikker, fås ikke alle de fordele, som normalt følger med integrerede aktive komponenter.

En af ulemperne er, at der er stor forskel på t_{PHL} og t_{PLH} .

Dette skyldes, at man benytter dioder eller andre halvlederovergange i serie med basislaget for at opnå det nødvendige spændingsfald.

Derved har det mættede basislag ingen afladevej ved niveauskift 1 til 0 på indgangen.



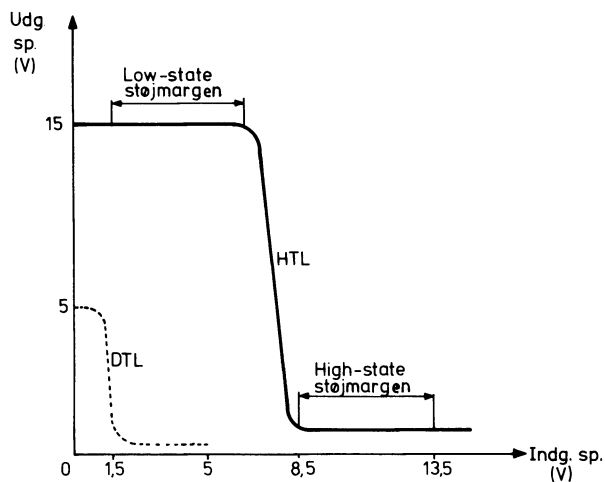
2.3 HLL-logik

HLL - High-level-logik eller

HTL - High-threshold-logik

Også betegnelsen HiNIL = High-noise-immunity-logik bruges.

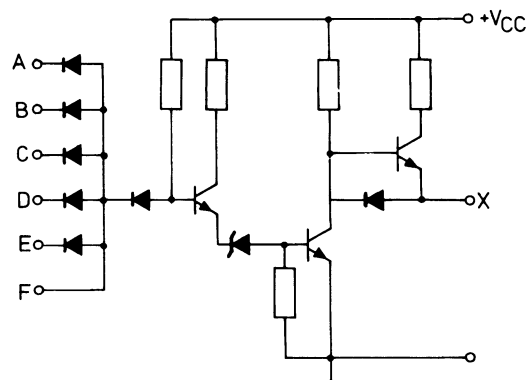
Denne logiktype er en afart af DTL-familien, idet man dog har fået en væsentlig forbedring af støjmargen. Dette er opnået ved dels at hæve forsyningspændingen, $V_{CC} = 11$ til 18 V, og dels ved at indskyde en zenerdiode i serie med basislaget.



Tegningen viser ind- og udgangskaraktistikken for en HLL-kreds.

Til sammenligning er kurven for en typisk DTL-kreds også vist.

Støjmargen for HLL-kredsen er typ. 5 V ved både logisk 1 og 0, og det gør kredsen velegnet til at arbejde i støjfyldte omgivelser, f.eks. motorstyringskredsløb og lignende, hvor der indgår mekaniske kontakter, der udvikler gniststøj.





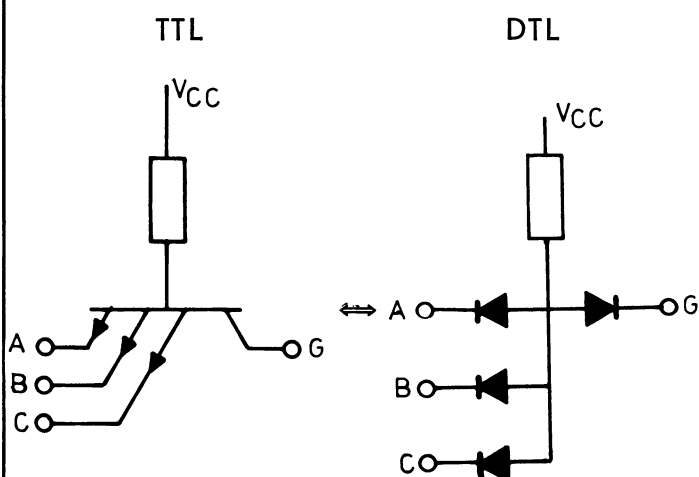
2.4 TTL-logik

TTL = Transistor-transistor-logik

TTL-kredse er vel nok de logik-kredse, der anvendes mest.

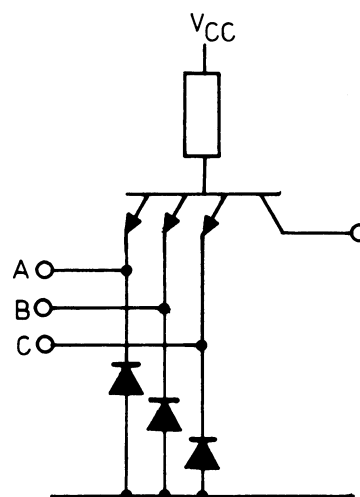
Skridtet fra DTL- til TTL-kredse er ikke stort.

Ved TTL-kredse er gate-delen udformet som en multiemittertransistor, der er koblet som jordet basis.



På grund af multiemitterens strømforstærkning fås kortere skiftetider i gate-indgangen hos TTL-kredsen end hos DTL-kredsen.

En indgangsspænding fra 0 til 0,8 V er klassificeret som LOW, positiv logik: LOW = 0 og spændinger over 2 V som HIGH, 1.

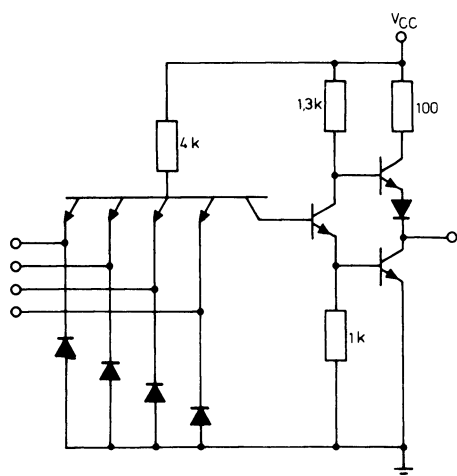


Yderligere ses anvendt clamperdioder i indgangene, dels for at dæmpe refleksioner på tilsluttede ledninger, og dels for at beskytte multitransistoren.

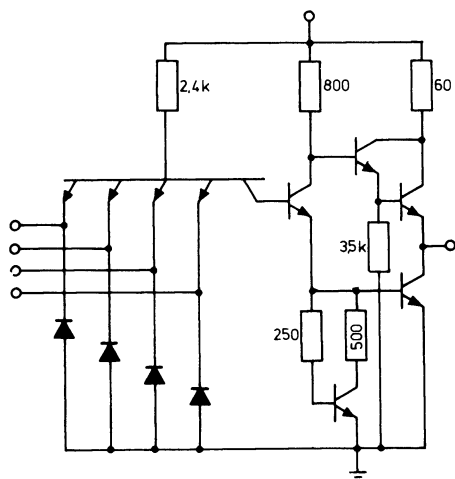


De fleste TTL-kredse er forsynet med aktiv pull-up, også kaldet "totem-pole". Dog findes der udgaver af gatene i en "open collector"-udførelse. Disse skal forsynes med ekstern pull-up, passiv pull-up i form af kollektormodstand.

a.



b.



Herover ses hele gaten, 4 input NAND, med typiske modstandsværdier.

a. I standardudførelse.

b. I Higt gain - higt speed udførelse.

Fan in 4 eller flere med ekspanderindgange.

Fan out 10.

Støjmargin 0,4 V.

Propagation delay 10 ns.

Maks. arbejdsfrekvens for FF
40 MHz.

Effektforbrug/gate, standard
10 mW.

Effektforbrug/gate, higt-speed
25 mW.



2.5 Low power TTL

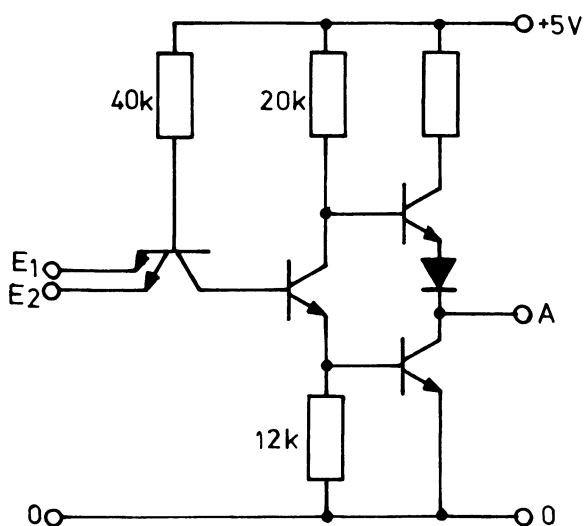
Selv om 10 mW gate ikke lyder af meget, vil et kredsløb indeholdende mange funktioner hurtigt kunne belaste strømforsyningen med et stort forbrug.

Derfor er TTL-low power-serien udviklet.

Disse kredse optager kun ca. 1/10 af den effekt, der optages af en standard TTL-kreds.

Dette er opnået ved at gøre alle modstande i gaten ca. 10 gange større.

Til gengæld falder gatens hastighed, idet diverse kapaciteter nu skal ompolariseres, op- og aflades, ved hjælp af 10 gange større modstande.



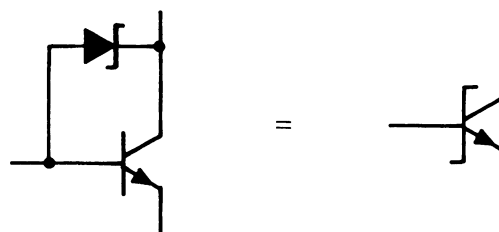
Tegningen viser low power NAND-gate f.eks. SN74L00N.

2.6 TTL-schottky

Normalt vil man få et hurtigt skift fra high til low ved at overstyre transistoren med en stor basisstrøm, med andre ord, man mætter transistoren.

Til gengæld bliver skiftet low-high langsomt, idet alle ladningsbærere først skal fjernes fra basislaget, inden transistoren kan gå OFF.

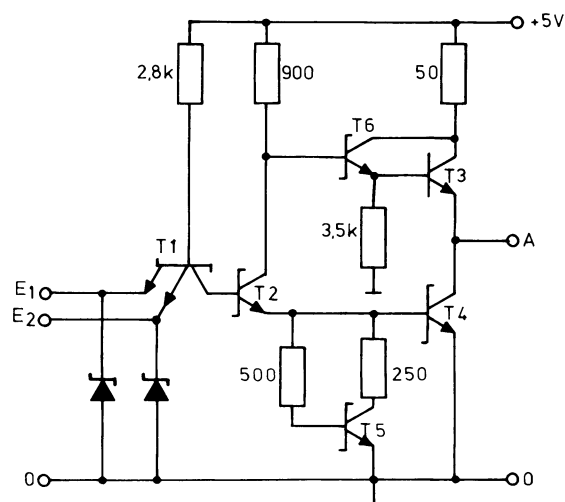
For at få små skiftetider begge veje anbringes en såkaldt schottky-diode fra basis til kollektor.



Schottky-barrier-diode SBD

Schottky-transistor

Schottky-dioden er en metal-n silicium overgang, der har en ledespænding på 0,4 V. Herved kan undgås, at transistoren mættes, da schottky-dioden shunter den overflødige styrestrøm, og transistoren kan hurtigt køres OFF.



Effektforbrug/gate 20 mW

Propagation delay 3 ns

Maks. arbejdsfrekvens for FF
120 MHz.



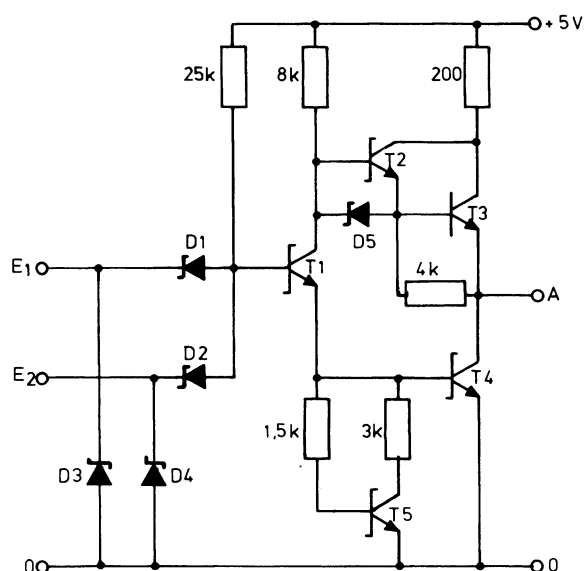
2.7 Low power TTL schottky-kreds

Sidste variation af TTL-kredse, der skal vises, er LS-kredsen, low power-schottky.

Herved kan skiftehastighed sættes op til ca. samme værdi, som er gældende for standardkredsen.

Effektforbruget ligger på ca. 2 mW-gate og propagation delay på 10 ns som ved standardudgaven.

Desuden har LS-kredsene schottky-diode-indgange i stedet for multiemitteren, DTL-princippet.



2.8 ECL-logik

ECL - Emitter-coupled-logic eller CML- Current-mode-logic

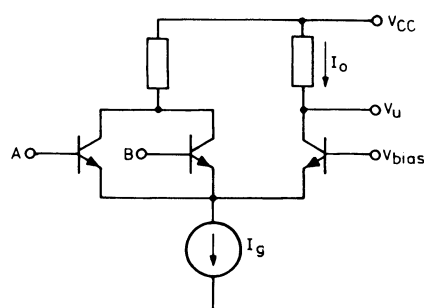
I de indtil nu omtalte logiske kredse sker opnåelsen af de to logiske niveauer ved enten at køre udgangstranstoren i mætning eller cut-off.

Herved fås en propagation delay for standard TTL-kredse på typisk 11 ns, medens højeste arbejdsfrekvens for en flip-flop er ca. 40 MHz.

En anden ulempe, der også bør omtales, er, at den strøm, der i skifteøjeblikket trækkes fra strømforsyningen, får form som en strømimpuls med en længde på nogle få ns.

Da forsyningsledningerne, printbaner, besidder en mærkbar selvinduktion, vil der blive frembragt selvinducerede spændinger af kredsløbet selv. Disse må så afkobles ved hjælp af kapaciteter tæt ved hver enkelt IC.

Ovennævnte ulemper kan undgås, og højere skiftehastigheder kan opnås ved at bruge strømsswitches. Ved en ideel strømsswitch bliver en konstant strøm fordelt mellem to eller flere grene. Desuden er en transistor som strømsswitch aldrig mættet, og derved kan meget små skiftetider opnås.

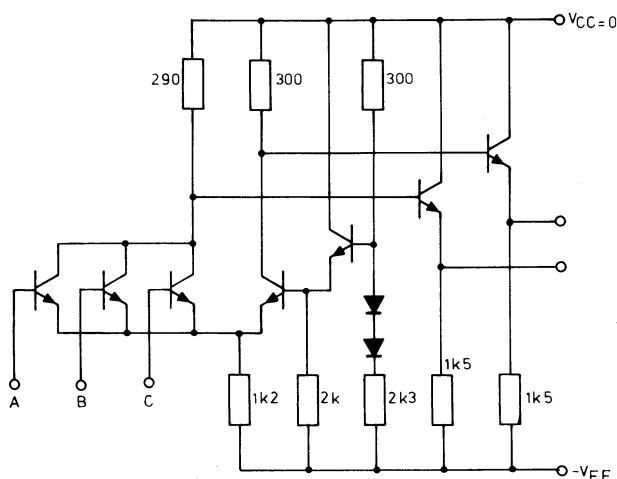


Som det ses, indeholder opstillingen en differentialforstærker med en konstantstrømsgenerator i den fælles emitterledning.

En indgangsspænding, der er positiv i forhold til biasspændingen, får værdien logisk 1, medens en negativ indgangsspænding i forhold til biasspændingen får værdien logisk 0.



Herunder er vist en ECL-gate med typiske komponentværdier.



Kredsens forsyningsspænding er typisk $-5,2$ V. Biasspændingen er frembragt ved hjælp af en kompenseret spændingsdeler gennem en emitterfølger.

Konstantstrømsgeneratoren er her erstattet med emittermodstanden på $1,2$ k Ω .

Yderligere ses, at kredsløbet på samme tid fungerer som OR- og NOR-gate.

Fan in 20.

Fan out 25.

Støjmargin 0,35 V.

Propagation delay 1 til 4 ns.

Maks. arbejdhastighed for FF 100 til 900 MHz.

Effektforbrug/gate 40 til 60 mW.

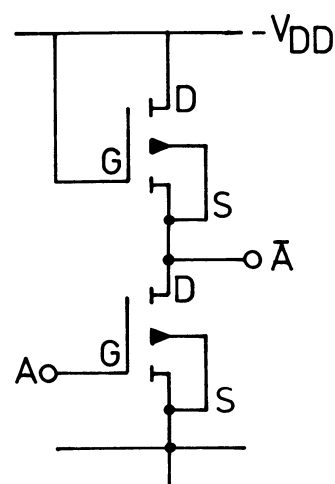
Af ulemper skal nævnes det forholdsvis store forbrug, og desuden kræves der en god stabiliseret forsyningskilde.

2.9 MOS-logik

MOS - Metal-oxide-semiconductor.

Indtil nu har der kun været beskrevet logikkredse opbygget af bipolare transistorer.

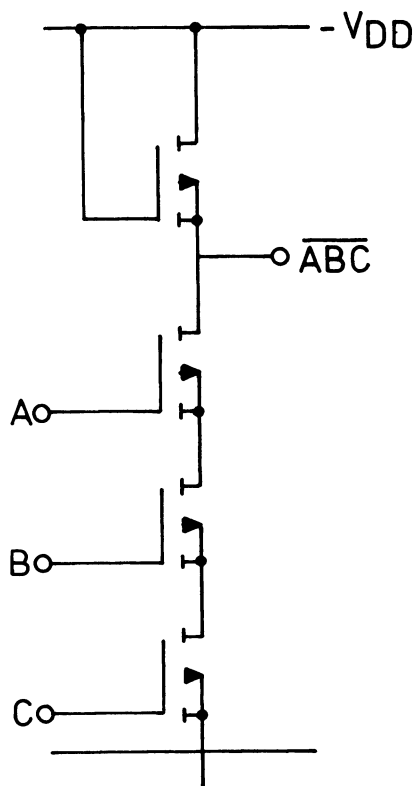
Efterhånden forekommer det naturligt at anvende MOS-FET transistorer i logiske kredse, idet teknikken ved fremstillingen af disse er betydeligt enklere end for TTL-kredse.



Tegningen viser en inverter opbygget med P-kanal MOS-FET-transistorer af enhancement-typen.

Nederste transistor er selve inverteren, medens øverste transistor er koblet som konstantstrømsgenerator, passiv pull-up.

NAND-gaten fremstilles ved seriekobling af invertere med fælles pull-up.



Da P-MOS-kredse kræver negativ forsyningsspænding, anvendes normalt også negativ logik, da logisk 1 derved svarer til forsyningsspændingen.

Forsyningsspænding -24 V.

Fan out 20.

Støjmargin ca. 1 V.

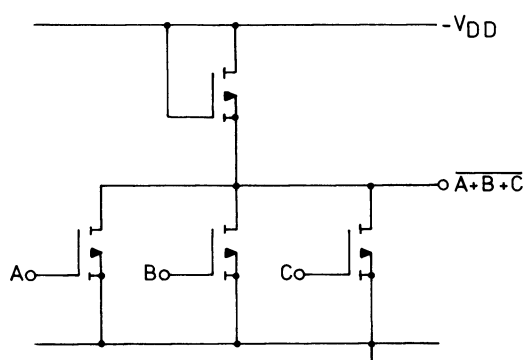
Propagation delay > 300 ns.

Maks. arbejdsfrekvens (FF) 1 MHz.

Effektforbrug/gate 1 til 10 mW.

Som det ses, er effektforbrug ca. som ved almindelige TTL-kredse, medens arbejdhastigheden er betydeligt lavere. Det skyldes kredsens høje impedans, og derved tager det tid at ompolarisere diverse spredningskapaciteter.

Ligeledes fremstilles en NOR-gate ved at parallelkoble flere inverter-transistorer og bruge fælles pull-up.





2.10 CMOS-logik

CMOS står for complementær symmetrisk MOS.

Ved at gøre brug af CMOS-teknikken kan der opnås adskillige forbedringer i forhold til MOS-kredse.

De fortrin, CMOS-kredsene har, kan sammenfattes i:

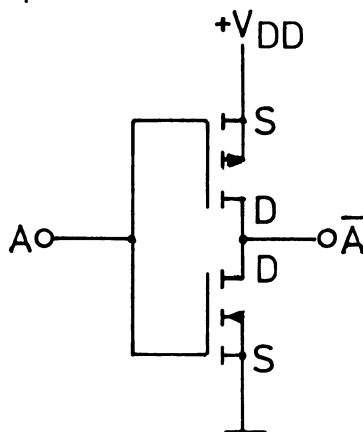
Det statiske effekttab måles i nW.

Det dynamiske effekttab er af størrelsesordenen μ W.

Støjmarginen er ca. halvdelen af forsyningsspændingen.

Kredsløbets funktion er næsten uafhængig af variationer i forsyningsspændingen.

Skiftepunktet ændres kun lidt med temperaturen.



Den væsentligste egenskab ved CMOS-kredsene er det lave effektforbrug. Forklaringen herpå er, at kredsløbet er opbygget af to komplementære MOS-transistorer, der er forbundet i serie mellem nul og forsyningsspændingen.

Gatene er forbundet sammen, hvilket vil betyde, at den ene transistor vil være ledende, når den anden er spærret.

I en statisk situation, 1 eller 0, vil det kun være lækstrømmen, $< 1 \mu$ A, der løber mellem forsyningsledningen og nul.

Under dynamiske forhold stiger strømforbruget. Årsagen hertil er, at udgangen er belastet med en spredningskapacitet, der også omfatter de kapaciteter, som de tilkoblede styreelektroder udgør. For at få udgangsspændingen til at skifte, må denne kapacitet op- og aflades. Det er derfor nødvendigt, at der løber strøm gennem én af MOS-transistorerne, med andre ord, energien tilføres kapaciteten af den ene transistor og fjernes af den anden. Det betyder, at effektforbruget stiger proportionalt med skitrefrekvensen.

Da indgangsimpedansen af en CMOS er høj, vil indgangen ikke belaste en udgang med et strømforbrug, og udgangsspændingen vil derfor ved logisk 1 og 0 svinge mellem forsyningsspændingen og nul. Da skifteniveauet ligger ved ca. 50% af forsyningsspændingen, skal støjsignaler have en størrelse på ca. 7 V ved 15 V forsyningsspænding for at virke generende.

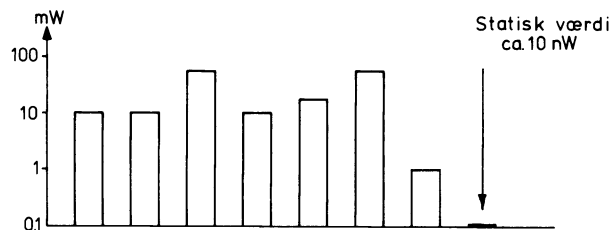
CMOS-kredsene har et statisk fan out på 1.000. Dette er dog mere en teoretisk værdi, da systemet skal kunne arbejde under dynamiske forhold. Her er det mere den før omtalte spredningskapacitet, der sætter begrænsningen.

Denne kapacitetsværdi er normalt ca. 5 pF. Med 1.000 indgange på en CMOS-udgang antager denne kapacitet en værdi på 5 nF. Resultatet bliver nedsat hastighed og forøget strømforbrug. Normalt regner man med et fan out på 50.

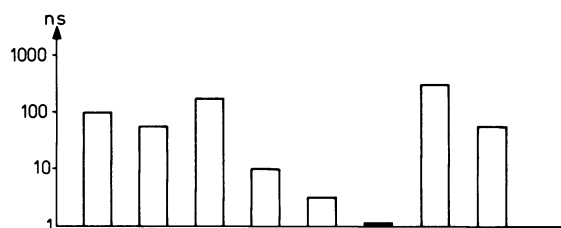
Normalt anvendes CMOS-teknikken (og MOS) til større integrerede systemer (LSI), dog kan der også fås NOR- og NAND-kredse, SSI.

3. SAMMENLIGNING

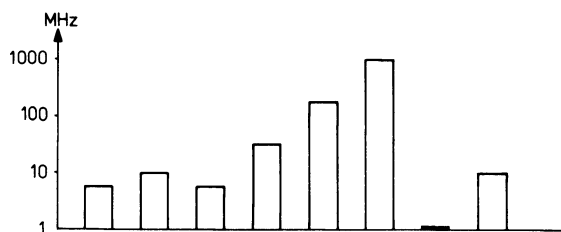
3.1 Effektforbrug pr. gate



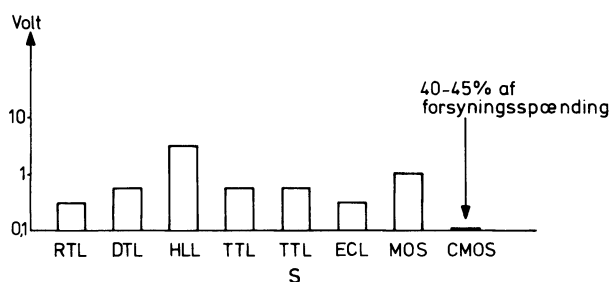
3.2 Propagation delay



3.3 Maks. arbejdsfrekvens for flip-flop



3.4 Støjmargin





DISPOSITION

1. Fejlsøgningsinstrumenter

1. FEJLSØGNINGSINSTRUMENTER

For at kunne give en hurtig og effektiv service på digitalt udstyr er det vigtigt at vælge det rette fejlsøgnings- og kontroludstyr.

I det følgende vil der være en oversigt over nogle af de mest almindelige instrumenter til fejlsøgning på logiske kredsløb.

1.1 Oscilloskop

Som til snart al anden service er oscilloskopet også anvendeligt til fejlsøgning på logiske kredse.

Ved impulser med lille duty-cycle, lille impulstid, eller særligt langsomme fænomener, kan det være vanskeligt at opnå et tilfredsstillende display på et oscilloskop med almindelige faciliteter, f.eks. OS1000A, D65 eller lignende.

I sådanne situationer vil et storage-oscilloskop med single-sweep kunne løse problemet.

Hvis der er behov for at se en mindre del af et impulstog, skal oscilloskopet være udstyret med delayed-sweep eller mixed-sweep.

1.2 TTL-trigger-probe

Ovenstående problem med at se en del af en længere sekvens på oscilloskopet kan løses ved hjælp af en TTL-trigger-probe.

Antag, at den del af sekvensen, der skal iagttages, begynder med en bestemt kombination af variable, f.eks. et binært tal fra en tæller.

TTL-trigger-probens indgange tilsluttes de punkter, hvor den ovennævnte kombination optræder og kodes i overensstemmelse med det digitale ord, der angiver begyndelsen af den sekvens, der skal undersøges.

Udgangen af TTL-trigger-proben tilsluttes oscilloskopets eksterne triggerindgang.

Idet de indstillede indgangsbetingelser er opfyldt, afleverer TTL-trigger-proben en triggerimpuls, og oscilloskopet starter et sweep, hvorved den ønskede del af sekvensen kan iagttages.

Efter at have lokaliseret det fejlbehæftede område skal den svigtende IC eller printfejl indkredses. Til dette kan f.eks. anvendes en logic clip.

1.3 Logic clip

En logic clip ligner en stor tøj-klemme, som på klemmefalderne er forsynet med 16 terminaler, der danner forbindelse med IC'ens ben, når klemmen sættes ned over dem.

I den øverste ende af klemmen sidder 16 lysdioder, således at man umiddelbart kan aflæse det logiske niveau på alle IC'ens ben og derved konstatere en eventuel fejlfunktion.

For at lette aflæsningen findes der til nogle fabrikater af logic clip små gennemsigtige IC-symboler til at lægge ned over lysdioderne. Herved lettes identifikationen af den pågældende IC's ind- og udgange betydeligt.

Logic clip kan anvendes både på 14- og 16-bens IC'er, idet klemmens logiknetværk selv afgør, hvor U_{CC} og stel er placeret på den undersøgte IC.



1.4 Logic probe

Et andet nyttigt værktøj til fejlfinding i logik er en logic probe. Med denne kan det logiske niveau på et ønsket punkt i et kredsløb konstateres ved, at den i proben anbragte lyskilde lyser op, 1, eller slukkes, 0. Fordelen ved proben er bl.a., at blikket ikke skal tages bort fra målestedet.

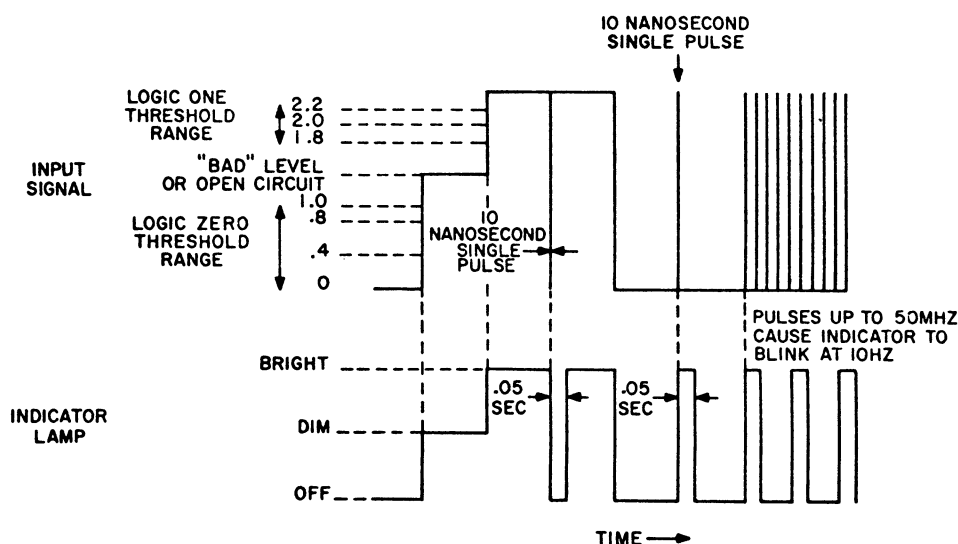
Ud over indikation af 1 og 0 kan en logic probe være udstyret med flere faciliteter. Dette er tilfældet med Hewlett packard logic probe, type 10525T.

For det første indikeres et udefineret niveau og en åben indgang ved halv lysstyrke i probens indikator.

For det andet bliver en kort impuls, ≥ 10 ns indikeret som et blik eller slukning, på 50 ms.

Det vil sige, at impulser, som det selv på et godt oscilloskop vil være vanskeligt at se, indikeres.

Probens funktionsdiagram er vist herunder.

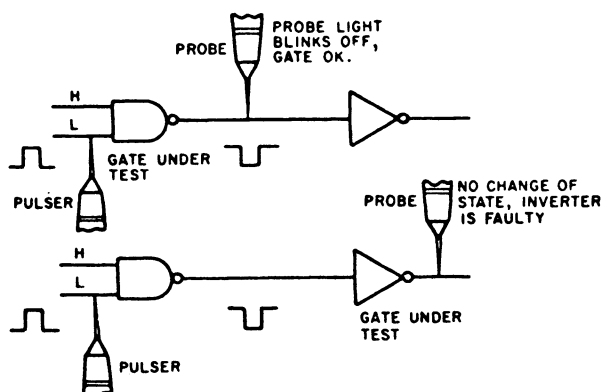




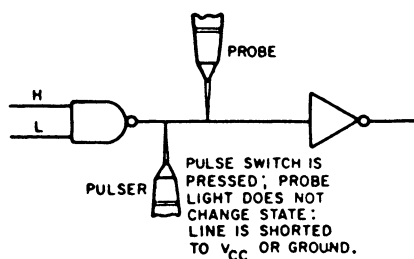
1.5 Logic-pulser

Ved fejlsøgningen kan det være en fordel at kunne stoppe en eventuel indbygget clock-impuls-generator og derefter styre kredsløbet i langsom takt.

Til denne styring kan anvendes en logic-pulser. Ud over funktionen som impulsgenerator har logic-pulser den særlige egenskab, at den kan pulse en intern forbindelse mellem gate-udgang og gate-indgang. Dette giver mulighed for at afprøve enkelte gates uden at tage dem ud af kredsløbet. Som indikator anvendes logic-proben.



Hvis man under fejlsøgning får mistanke om, at et punkt er kortsluttet til stel eller U_{CC} , kontrolleres dette som vist herunder.



Hvis der er en kortslutning, vil pulseren ikke kunne ændre det undersøgte punkts logiske niveau, hvorfor proben ikke aktiveres.

Når pulsens tast ikke påvirkes, er udgangsimpedansen større end $1 M\Omega$, hvorfor pulserne ikke vil påvirke et kredsløbs normale funktion før og efter affyringen af en impuls.

Idet pulseren tages, afgiver den først en negativ gående impuls på $3 \mu s$. Derefter følger en positiv impuls af samme længde, hvorefter outputtet bliver passivt.

Denne impulsform betyder, at hvis det pulsedede punkt var 1, bliver det kortvarigt 0 og omvendt.

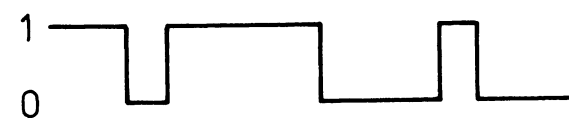
Punkt, der skal pulseres



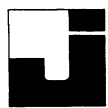
Pulser output



Punkt efter pulsering



↓ = Tastning af pulser



1.6 Voltmeter

I en oversigt over enkle service-instrumenter ville det være forkert ikke at medtage et almindeligt voltmeter.

Hvor det drejer sig om at kontrollere de forskellige niveauer inklusive forsyningsspændingen med god nøjagtighed, er et voltmeter uforligneligt.

Ved måling på gateudgange skal man være opmærksom på, at det logiske niveau skal være konstant. I modsat fald vil voltmeteret vise signalets middelværdi, hvilket kan give anledning til fejltolkninger.

1.7 Karnaughkort display

Det sidste instrument, der skal behandles her, er et såkaldt karnaughkort display. Med dette kan man få gengivet et karnaughkort, med ettaller og nuller på et oscilloskop, for et logisk kredsløb med indtil fire indgangsvariable.

Hjertet i opstillingen er en modul-16 tæller. A- og B-outputtet føres til en digital-analog konverter. Outputtet fra denne, der er en trappe med fire trin, tilføres oscilloskopets X-indgang. Tællerens C- og D-udgange konverteres ligeledes til en analogspænding og føres til oscilloskopets Y-indgang.

Lyspletten vil nu danne et mønster på 4 gange 4 punkter.

Fra faseskifteoscillatoren tilføres Y-outputtet en sinussvingning, hvorved punkterne bliver til lodrette streger, ettaller.

X-udgangen får tilført en 90° drejet sinus via en transistor, der kan drives ON eller OFF. Når begge sinus-output er til stede, tegnes der lodrette ellipser, nuller, på oscilloskopet.

De binære output fra modul-16 tælleren bliver omkodet til 2 gange 2-bit graykode for at passe til karnaughkortet.

Kortet får følgende udseende.

AB	00	01	11	10
CD				
00				
01				
11				
10				

A	0	1
C		
0		
1		

AB	00	01	11	10
C				
0				
1				

Ved hjælp af en omskifter kan kortet ændres til tre variable, ABC eller to variable, AC.

Ved undersøgelse af et gatekredsløb indstilles omskifteren efter antallet af variable.

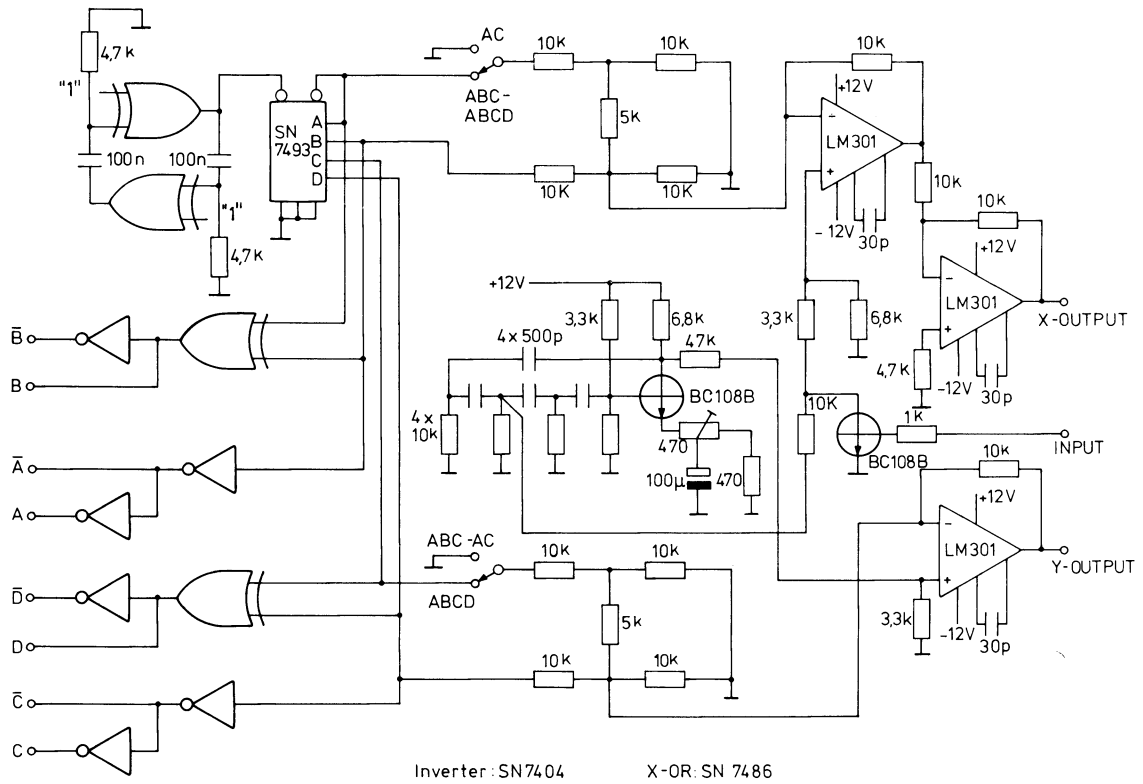
Derefter tilsluttes de gray-kodede udgange det undersøgte kredsløb. Dettets udgang føres til switch-transistorens base, input.

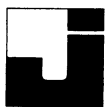
Det undersøgte kredsløbs output vil nu styre sinusspændingen til X-udgangen, således at logisk 1 vil kortslutte sinussen, og der vil tegnes et ettal på oscilloskopet, medens logisk 0 vil medføre, at der tilføres sinus til X-udgangen, og der vil tegnes et nul.

Kredsløbets funktion kan nu udlæses direkte i karnaughkortet på oscilloskopet.



Diagram af karnaughkort display





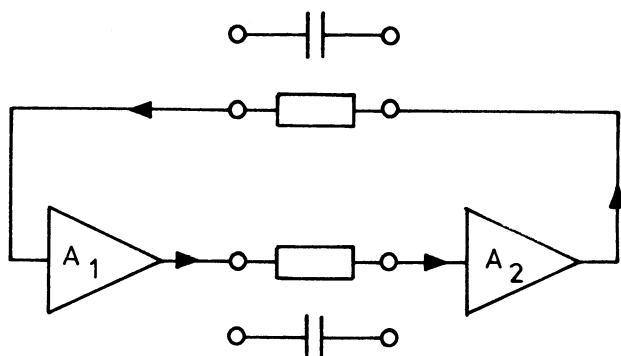
DISPOSITION

1. Multivibrator
2. Astabil multivibrator AMV
3. Monostabil multivibrator MMV
4. Bistabil multivibrator BMV
5. Schmitt-trigger ST

1. MULTIVIBRATOR

Et multivibrator kredsløb er et regenerativt kredsløb.

Grundkoblingen består af to switch-forstærker kredsløb, der er koblet på en sådan måde, at udgangssignalet fra det ene kredsløb ledes til indgangen på det andet og omvendt.



Der skelnes mellem fire forskellige multivibrationskredsløb:

1. Astabil multivibrator AMV
2. Monostabil multivibrator MMV
3. Schmitt-trigger kredsløb
4. Bistabil multivibrator BMV

Forskellen mellem de fire koblinger ligger udelukkende i den måde, hvorpå koblingen foretages mellem de to switch-trin A_1 og A_2 .

Koblingen kan være ren ohmsk eller kapacitiv.

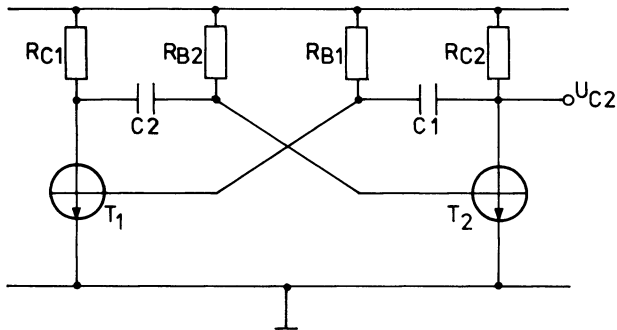
Det er endvidere kendetegnende for MV-kredsløbene, at den ene switch-kobling altid vil være ON, når den anden er OFF.

Tilføres en kortvarig styreimpuls udefra, foretager MV-kredsløbene selv omskiftningen fra én til den modsatte tilstand, regenerativ virkning.



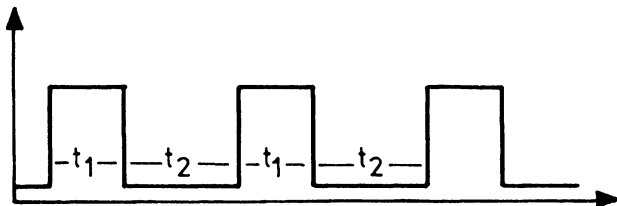
2. ASTABIL MULTIVIBRATOR AMV

2.1 Kredsløb



Den astabile multivibrator er opbygget som vist.

Kredsen har, som navnet siger, ingen stabil "stilling", hvorfor den oscillerer med en bestemt frekvens og med rektangulær kurveform som vist.



Tiderne t_1 og t_2 benævnes:

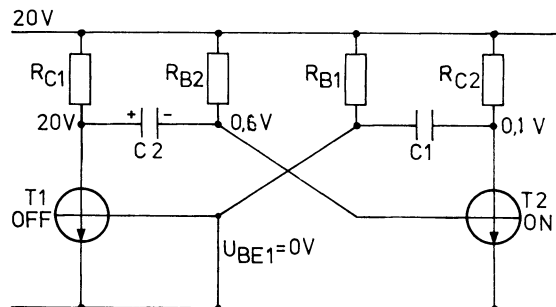
t_1 = Impulstiden (pulstid)

t_2 = Pausetiden

Periodetiden $T = t_1 + t_2$

Frekvensen $f = \frac{1}{T}$

2.2 Virkemåde



Tænker man sig, at basis T_1 først er kortsluttet til stel som vist, vil T_1 være OFF og $U_{C1} = 20 \text{ V}$.

Er tilstanden stationær, vil tilstedeværelsen af C_2 ingen virkning have.

T_2 's basis vil få strøm gennem R_{B1} og således være ON.

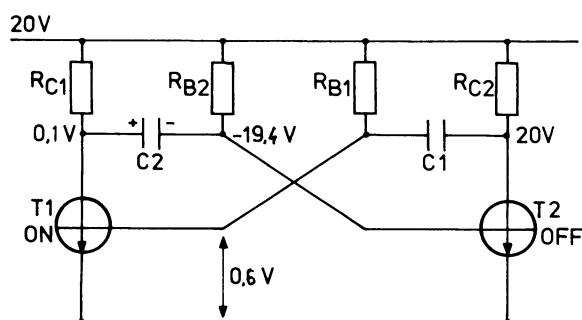
Da U_{BE2} ikke kan være større end mætningsspændingen, ca. $0,6 \text{ V}$, ligger der over C_2 $19,4 \text{ V}$ med den angivne polaritet.

Fjernes kortslutningen, vil strømmen gennem R_{B1} ikke længere gå direkte til stel, men derimod til T_1 's basis.

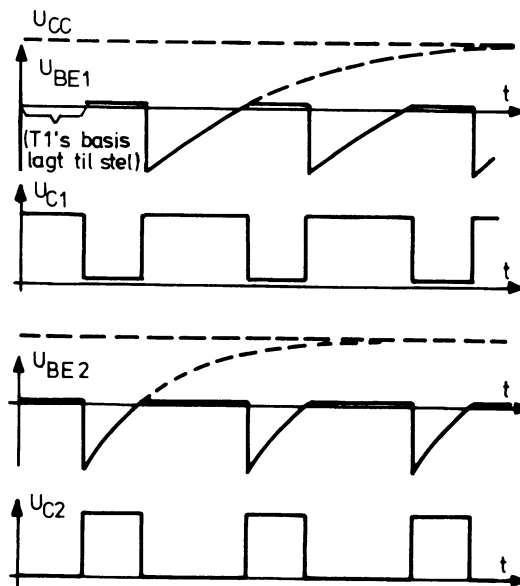


Denne basisstrøm vil straks styre T_1 ON og bevirke, at U_{C1} falder momentant til ca. 0,1 V.

Da højre side af C_2 ligger 19,4V lavere end venstre side, vil basisemitterspændingen, i samme øjeblik T_1 går ON, antage værdien ca. -19,3 V (-19,4 + 0,1) i forhold til stel, hvorved T_2 går OFF.



Forløbene af basis- og kollektor-spændingerne, U_{B1} , U_{B2} , U_{C1} og U_{C2} for de to transistorer T_2 og T_1 ser således ud:



T_2 's basisemitterspænding U_{BE2} kan ikke forblive -19,3 V, idet kondensatoren vil oplades imod +20 V.

U_{BE2} vil dog ikke kunne overskride mætningsspændingen 0,6 V, og i det øjeblik, denne værdi nås, går T_2 atter ON, og hele forløbet gentager sig.



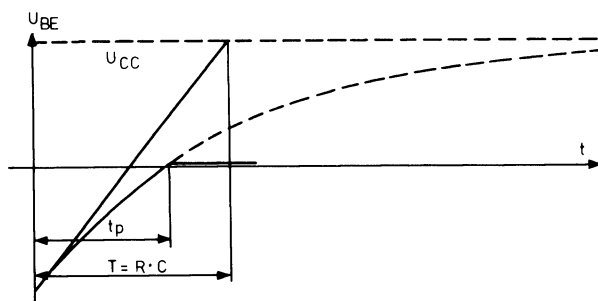
2.3 Impulsbredde og frekvens

Som tidligere nævnt er U_{BE} -kurverne kondensatoropladningskurver, idet den pågældende kondensator oplades fra ca. -20 V mod $+20\text{ V}$.

I det øjeblik spændingsniveauet er nået til mætningsværdien $U_{BEsat} = +0,6\text{ V}$, altså kun ca. "halvvejen", går transistoren ON.

Den tid, kondensatoren er om at lade op til halvdelen af "den tilsigtede spænding", er mindre end tidskonstanten $R \cdot C$.

Det erindres, at efter én tidskonstants forløb har spændingen nået 63,2%; ca. halvdelen nås altså på lidt kortere tid.



Impulstiden regnes til:

$$t_p = 0,7 \cdot R \cdot C$$

Summen af de to impulstider:

$$t_1 = 0,7 \cdot R_1 \cdot C_1 \text{ og}$$

$$t_2 = 0,7 \cdot R_2 \cdot C_2$$

giver den samlede periodetid T , og repetitionsfrekvensen findes da af:

$$f = \frac{1}{T},$$

fås:

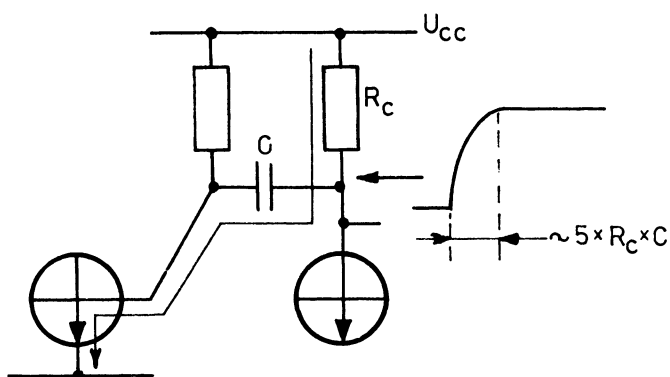
$$f = \frac{1}{0,7(R_1 \cdot C_1 + R_2 \cdot C_2)}$$

2.4 Forbedring af stigetid

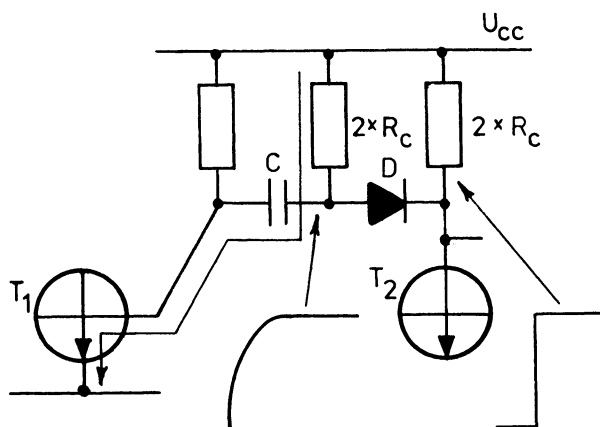
Hvis multivibratoren skal anvendes som clock-impuls generator for integrerede logiske kredsløb, stilles der krav til stige- og faldetiden, der skal være kortere end den styrede gates propagation delay.

Betragtes kollektorimpulsen på den astabile multivibrator, vil det ses, at stigetiden er temmelig lang.

Det skyldes, at når transistoren går OFF, skal overføringskondensatoren oplades gennem R_C .



For at forbedre dette forhold, kan R_C opdeles i to modstande af den dobbelte værdi og adskilles af en diode.



Idet T_2 går OFF, stiger kollektor-spændingen, hvorved dioden D afbrydes.

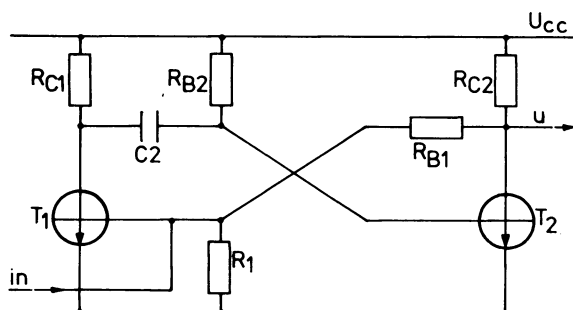
Stigetiden på kollektoren er nu kun bestemt af R_C og transistoren, idet C er afbrudt fra kollektoren, indtil T_2 igen går ON.



3. MONOSTABIL MULTIVIBRATOR

MMV

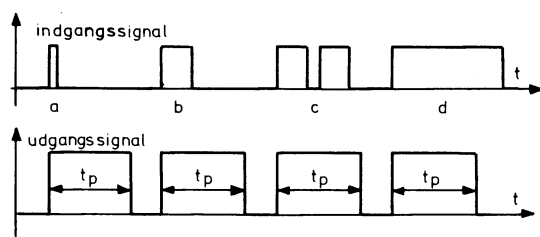
3.1 Kredsløb



Den monostabile multivibrator er opbygget som vist.

Kredsløbet har, som navnet siger, kun én stabil "stilling".

Multivibratorens funktion



Det ses, at impulsen (udgangssig-
let) starter samtidig med indgangs-
signalet, og uanset indgangssigna-
lets varighed får man et udgangs-
signal med en given pulstid a
og b .

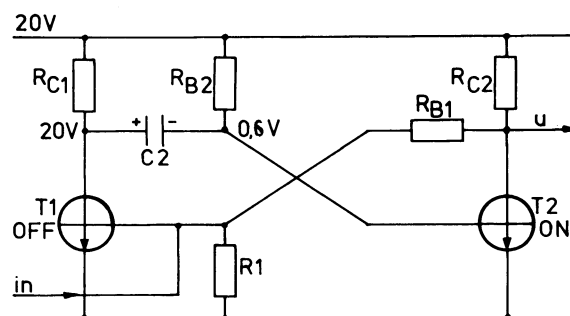
Hvis indgangen påtrykker et sig-
nal, inden udgangssignalets im-
puls er afsluttet, har denne sidste
indgangsimpuls ingen indflydelse
på udgangsimpulsens længde c .

3.2 Virkemåde

I det øjeblik multivibratoren til-
sluttes forsyningsspændingen, vil
begge transistorer have tendens
til at gå ON.

T_1 får basisstrøm gennem R_{B1} ,
som er tilsluttet T_2 's kollektor,
medens T_2 får basisstrøm fra R_{B2} ,
som er tilsluttet U_{CC} direkte.

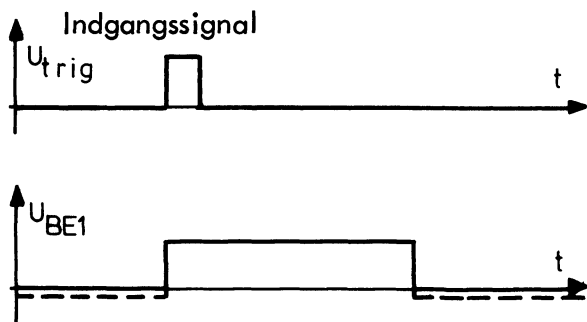
Men i det øjeblik T_2 går ON,
falder U_{CE2} til næsten nul, og
 T_1 vil dermed være OFF i station-
ær tilstand.



Hvis U_{CE2} ikke bliver tilstrække-
lig lav til, at T_1 vil gå OFF,
 $0,1-0,2$ V, kan man forbinde en
passende modstand R_1 mellem T_1 's
basis til stel eller forbinde R_1
til en lille negativ spænding.



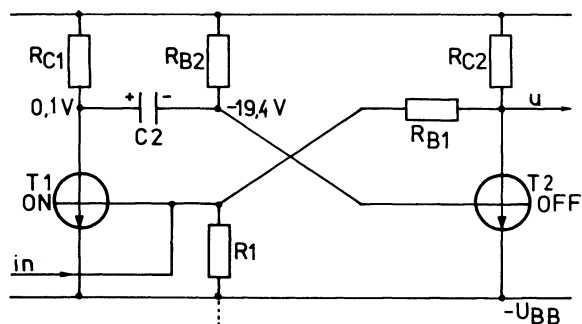
Giver man nu T_1 en positiv impuls ind på basis, vil den gå ON, og U_{CE} vil falde fra en værdi nær U_{CC} til næste nul.



Som følge af, at U_{CE1} pludselig bliver nul, og kondensatoren C_2 's højre side er ca. U_{CC} lavere end U_{CE1} , vil der ske samme fænomen som ved den astabile multivibrator: U_{BE} vil blive stærkt negativ.

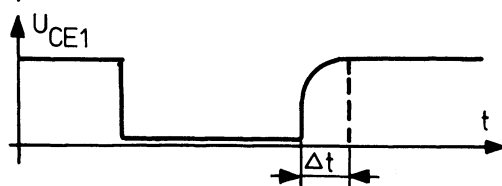
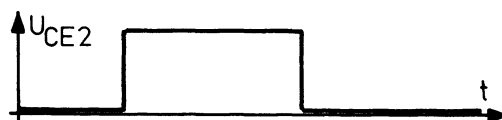
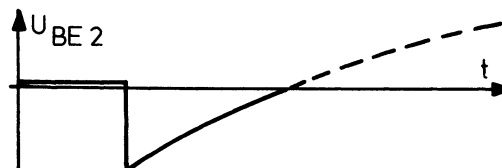
Kondensatoren vil blive opladet imod $+U_{CC}$, og først i det øjeblik U_{BE2} når mætningsspændingen ca. 0,6 V, går T_2 atter ON.

Så længe T_2 er OFF, får T_1 basisstrøm gennem R_{C2} og R_{B1} , dvs. at T_1 forbliver ON, efter indgangsimpulsen er forsvundet.

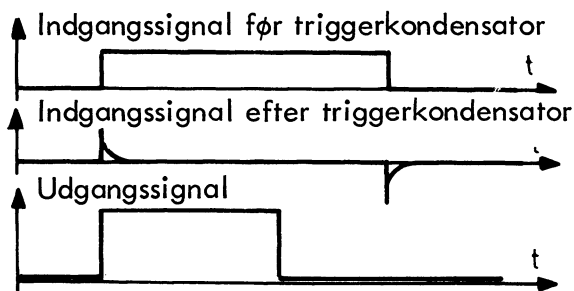


I det øjeblik, T_2 atter går ON, bliver U_{CE2} næsten nul, og da T_1 's basis er forbundet til T_2 's kollektor via R_{B1} , falder U_{BE1} tilsvarende.

T_1 går som følge heraf OFF, og hele forløbet kan gentages forfra.



For at udelukke en eventuel DC komponent i indgangssignalet kan man indskyde en passende kondensator, triggerkondensator C_T , i indgangssignalet's tilledning.



3.3 Impulsbredde

Som det fremgår af kurven for U_{BE2} , er impulstiden afhængig af de samme forhold som ved den astabile multivibrator, nemlig:

$$t_p = 0,7 \cdot R_{B2} \cdot C_2.$$



3.4 Impulsens kurveform

Det ses, at forkanten af kurven U_{CE1} er noget afrundet.

Dette skyldes det samme fænomen, som beskrevet under den astabile multivibrator.

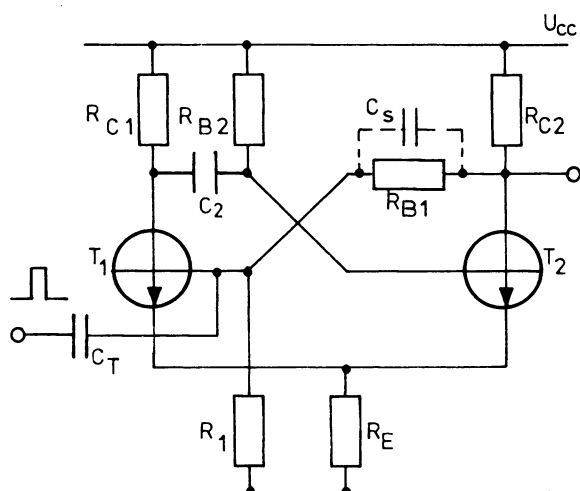
Også her drejer det sig om en kondensatoropladningskurve, hvis tidskonstant er bestemt af:

$$\tau = R_{C1} \cdot C_2$$

Derimod er udgangssignalet U_{CE2} praktisk taget rektangulært, idet der i denne gren af multivibratoren ikke findes noget RC led, som hindrer en momentan spændingsstigning.

Udgangssignalet stige- og faldetid er kun afhængig af, hvor hurtig transistoren er.

I stedet for at anvende en separat negativ spænding U_{BB} kan man benytte den viste kobling, hvor spændingen U_E til erstatning af U_{BB} fås ved hjælp af fælles emittermodstand R_E .



Det skal dog bemærkes, at brugen af emittermodstanden øger udgangsspændingen i hvilestilling.

3.5 Recovery time

Det skal bemærkes, at det tager en vis tid for multivibratoren at gå helt tilbage til udgangsstillingen.

I det øjeblik højre side af C_2 når fra ca. $-U_{CC}$ op på T_2 's mætningsspænding U_{BE2} på ca. 0,6 V, går T_2 ganske vist ON, hvad der svarer til stationære forhold, men det samme fænomen som ved den astabile multivibrator gør sig også gældende her: RC leddet bestående af R_{C1} og C_2 forårsager, at impulsen U_{CE1} får en afrundet forkant, og først efter en vis tid Δt når den sin fulde værdi.

Da det også her drejer sig om en kondensatoropladningskurve, når den stationære værdi teoretisk først efter uendelig lang tids forløb, men efter fem tidskonstanter forløb mangler spændingen kun ca. 1% i at være stationær, og man siger, at den i praksis har nået sin stationære værdi.

Først efter denne tid kan forløbet på ny startes, dersom impuls længden skal blive den beregnede $t_p = 0,7 \cdot R_{B2} \cdot C_2$, man har altså

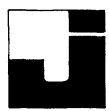
$$\Delta t = 5 \cdot R_{C1} \cdot C_2$$

3.6 Speed-up kondensator

I diagrammet under pkt. 3.4 er der endvidere forbundet en kondensator C_S parallelt over basismodstanden R_{B1} .

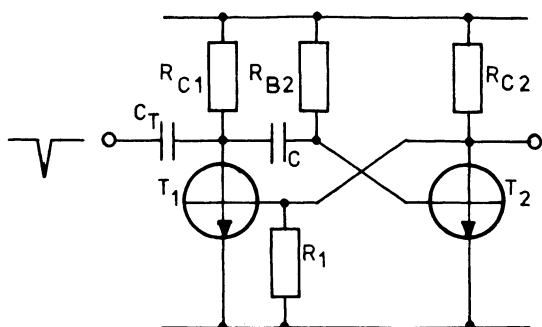
Denne kondensator kaldes en "speed-up kondensator" og bevirker, at omskiftningen på multivibratoren sker hurtigere.

Man opnår herved en bedre kurveform på udgangssignalet.

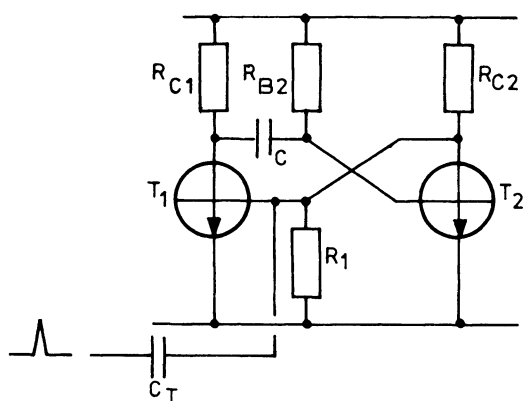


3.7 Trigning

Trigningen kan ske enten ved en negativ impuls på T_1 's kollektor

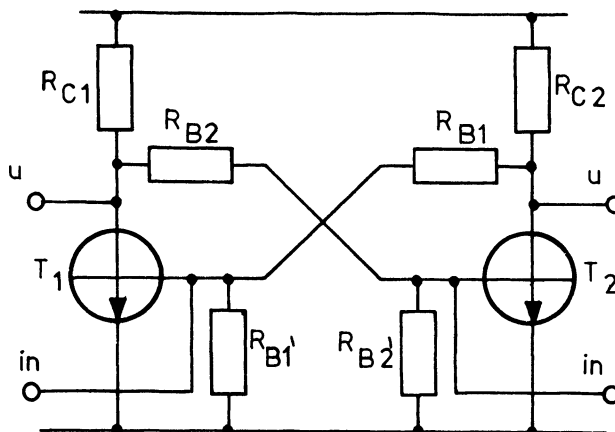


eller ved en positiv impuls på samme transistors basis



4. BISTABIL MULTIVIBRATOR BMV

4.1 Kredsløb



Den bistabile multivibrator har, som navnet antyder, to stabile tilstande, og således vil enten T_1 være ON, medens T_2 er OFF, eller også er T_2 ON, medens T_1 er OFF.

Opstillingen skal være symmetrisk for at opfylde betingelserne.

4.2 Virkemåde

Antag, at T_1 er OFF, og T_2 er ON.

Ved at tilføre den spærrede transistors basis en positiv spændingsimpuls vil T_1 skifte fra OFF til ON, hvorved T_2 vil skifte fra ON til OFF.

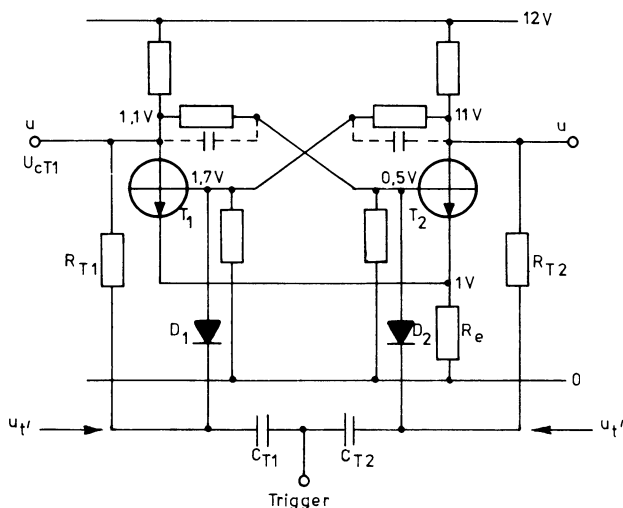
For at skifte tilbage i udgangstillingen skal enten T_1 's basis modtage en negativ impuls, hvorved T_1 bliver spærret og bevirker, at T_2 går ON, eller T_2 's basis skal modtage en positiv impuls, hvorved T_2 går ON og forårsager T_1 spærret.

Udgangsimpulsernes længde er afhængig af triggerimpulsens frekvens.



4.3 Triggerkredsløb

Ved hjælp af dioder er det muligt at lede triggerimpulsen fra en fælles triggerindgang til den transistor, der er ON.

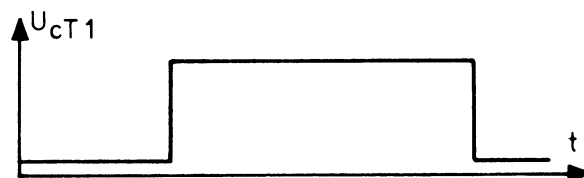
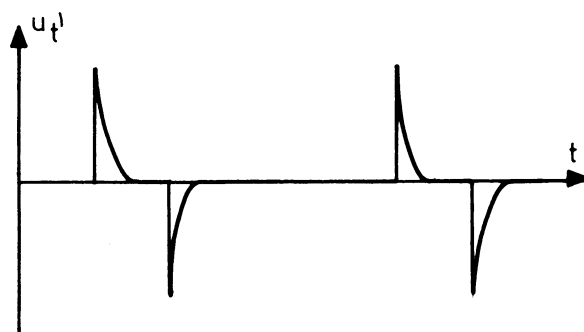


Som man vil bemærke, er der indføjet en fælles emittermodstand for at sikre en stabil OFF-tilstand selv ved høj drifttemperatur.

Antag, at T_1 er ON, og T_2 er OFF. Dioden D_1 vil da være ledende via R_{T1} , og D_2 spærret via R_{T2} .

En positiv triggerimpuls vil blive differentieret over C_{T1} og R_{T1} som vist.

Triggerimpuls



Den positive impuls u_T vil ikke kunne nå frem til baserne på grund af dioderne, men den negative vil via D_1 styre T_1 OFF, hvorved T_2 går ON.

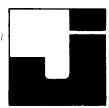
Det er nu D_1 , der er spærret og D_2 , der er ledende, hvorfor den følgende triggerimpuls vil nå frem til T_2 's base.

Som det fremgår af diagrammet, sker skiftet på bagkanten af den positive triggerimpuls.

Havde impulsen været negativ, var skiftet sket på forkanten.

4.4 Speed-up kondensatorer

Som vist, kan den bistabile multivibrator også forsynes med speed-up kondensatorer for at gøre skiftetiderne kortere.



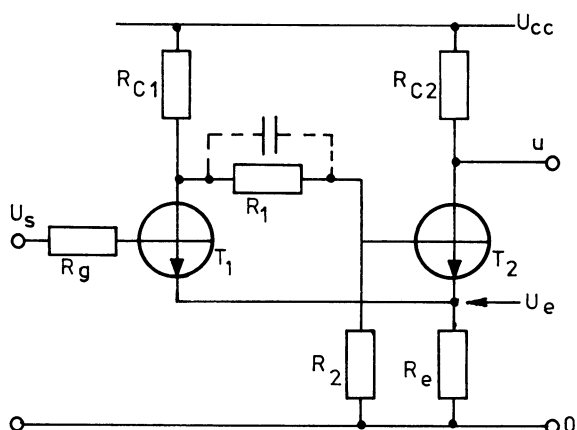
4.5 Anvendelser

Af impulsplanen kan ses, at for hver udgangsimpuls skal der tilføjes to triggerimpulser, dvs. at der er sket en frekvensdeling på 2:1.

Denne egenskab kan anvendes i binære tællere.

5. SCHMITT-TRIGGER ST

5.1 Kredsløb



Schmitt-triggeren er en bistabil multivibrator, der skifter tilstand, når styrespændingen overstiger en bestemt tærskelværdi.

Denne tilstand vedvarer, indtil styrespændingen er faldet til en anden tærskelværdi, hvor Schmitt-triggeren skifter tilbage til den oprindelige tilstand.

5.2 Virkemåde

Betragtes Schmitt-triggeren ved styrespændingen $U_s = 0$ V, vil T_1 være OFF og T_2 ledende.

Hvis T_2 er helt ON, kaldes trinnet en mættet Schmitt-trigger.

Hvis T_2 er ledende i sit aktive område, kaldes trinnet en umættet Schmitt-trigger.

Forøges U_s , vil T_1 på et eller andet tidspunkt begynde at trække strøm, hvilket bevirker en faldende U_{c1} .

Dette medfører også, at U_{b2} falder, men da T_2 's basisstrøm via R_1 er større end nødvendigt for at holde T_2 ON, sker der i første omgang intet med I_{c2} .

Ved en vis U_s vil U_{c1} og dermed U_{b2} dog være faldet til en sådan værdi, at T_2 ikke længere kan holdes ON, hvilket medfører faldende I_{c2} .

På grund af forstærkningen i T_1 vil I_{c2} aftage hurtigere end I_{c1} , hvorfor U_e vil falde og dermed fjerne sig fra U_s .

Dette vil bevirke større U_{be1} , større I_{c1} , mindre U_{be2} , mindre I_{c2} osv., og opstillingen skifter nu hurtigt fra en tilstand til en anden.

Styrespændingen U_s , som forårsagede et skift for T_2 fra ON til OFF, behøver ikke nødvendigvis at have en sådan størrelse, at T_1 er i mætning.

Ved at ændre U_s tilbage mod 0 V vil det samme gentage sig i omvendt rækkefølge, blot skal man være opmærksom på, at skiftet sker ved et lavere niveau.

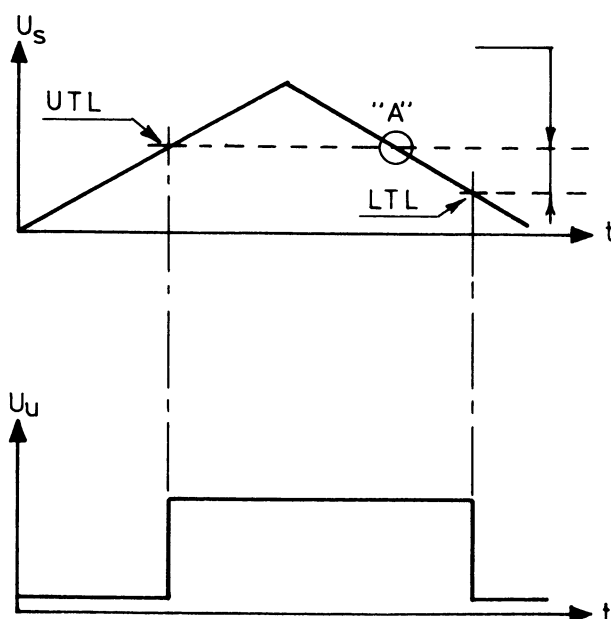


5.3 Hysteresese

Niveauet, ved hvilket T_1 går ON og T_2 OFF, benævnes upper trigger level eller blot UTL, og niveauet, hvor T_1 går OFF og T_2 ON, benævnes lower trigger level, LTL.

Forskellen mellem disse to niveauer benævnes Schmitt-triggers hysteresese.

Hysteresens størrelse er afhængig af emittermodstandens størrelse og R_{C1} samt basisspændingsdelen R_{b1} og R_{b2} .



5.4 UTL

For en umættet Schmitt-trigger er UTL givet ved:

$$UTL = U_{CC} \cdot \frac{R_2}{R_{C1} + R_1 + R_2};$$

For en mættet Schmitt-trigger er UTL givet ved:

$$UTL = \frac{R_E \cdot U_{CC}}{R_E + R_{C2}} + 0,6$$

5.5 LTL

Hvis U_s har passeret UTL for opadgående, hvorved T_2 er gået OFF og er nået punktet "A" på vej ned igen, vil emitterspændingen nu være den samme som ved UTL, men da T_1 stadig trækker kollektorstrøm, vil U_{bT2} være lavere end ved UTL, hvorfor U_s skal sænkes yderligere, før T_2 går ON, og tilbageskiftet sker.

$$LTL = U_{CC} \cdot \frac{R_E // (R_1 + R_2)}{R_{C1} + R_E // (R_1 + R_2)} + 0,6$$

5.6 Speed-up kondensator

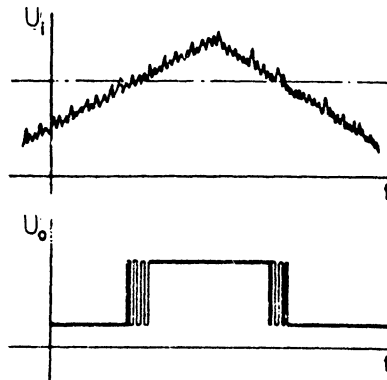
For at opnå kortere skiftetider kan R_1 shuntes med en speed-up kondensator.



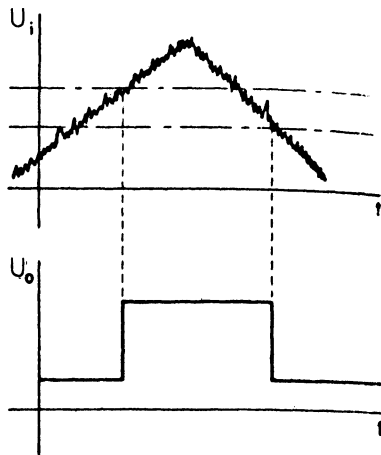
5.7 Anvendelser

Schmitt-triggeren kan anvendes som niveaudetektor, for eksempel til fjernelse af støj.

Udgangssignal med 0 hysteres



Udgangssignal med hysteres



Som impulsformer anvendes Schmitt-triggeren til at gendanne impulser, der er blevet forvrænget eller til for eksempel at omdanne en sinussvingning til en firkant.



DISPOSITION

1. UJT
2. Relaxationsoscillator

1. UJT

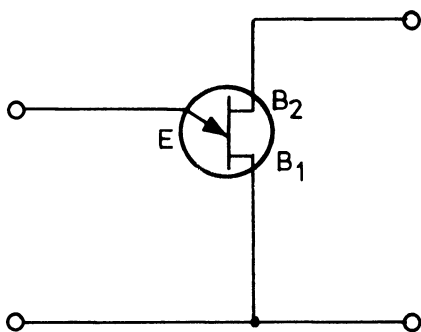
1.1 Unijunction-transistor

En UJT har ikke som adskillige andre halvledere nogen ækvivalent inden for rørgruppen.

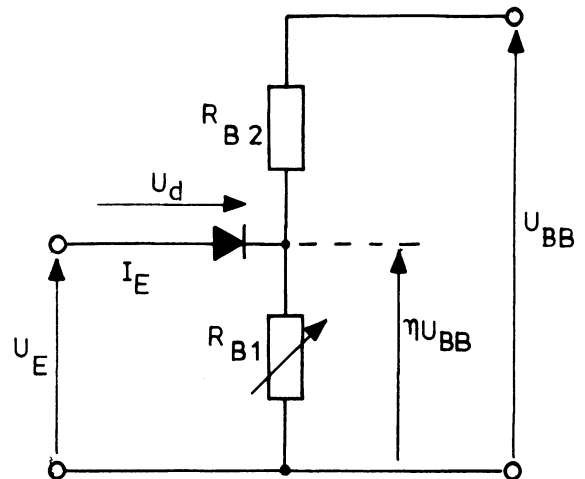
Dens data og egenskaber gør den velegnet i oscillator-, timing-, trigger- og bistabile kredsløb, hvor en UJT ofte kan erstatte to almindelige transistorer.

En UJT er en 3-terminals halvleder, hvis egenskab i det væsentligste består i, at den har negativ modstandskarakteristik mellem emitter og basis 1, når en positiv forspænding tilsluttes mellem basis 1 og basis 2.

1.2 Symbol



1.3 Ækvivalentdiagram



1.4 Virkemåde

Basis 1 er normalt jordet, og en positiv spænding U_{BB} er tilsluttet basis 2.

Når der ikke løber nogen emitterstrøm, vil de to indre basismodstande, tilsammen 5 til 10 kohm, udgøre en simpel spændingsdeler, og emitterspændingen vil være en vis del (η) af U_{BB} . η = græsk eta.

Hvis U_E er mindre end ηU_{BB} , vil emitterdioden være forspændt i spærreretningen, og der vil kun være tale om en yderst ringe emitterlækstrøm.

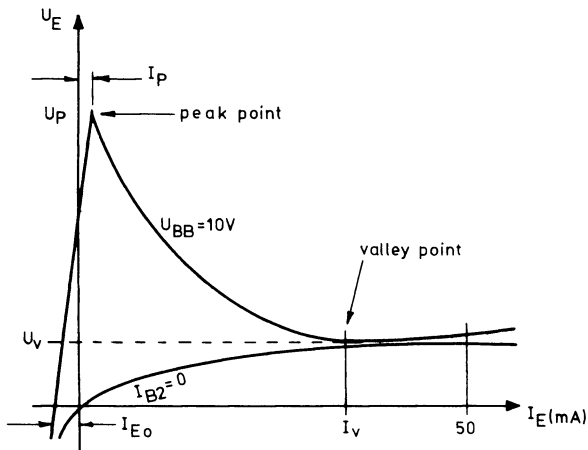
Er U_E derimod større end ηU_{BB} , vil dioden lukke op, og der vil kunne løbe emitterstrøm, som imidlertid bevirker, at R_{B1} bliver mindre, hvorved I_E stiger yderligere, mens emitterspændingen U_E falder.

Når stigende strøm bevirker faldende spænding, fås en negativ modstandskarakteristik.



1.5 Emitterkarakteristik for en UJT

OFF-område Negativt modstandsområde Mætningsområde



Området til venstre for I_p kaldes OFF-området, og mellem I_p og I_v findes det negative modstandsområde og til højre for I_v det område, hvori transistoren siges at være mættet.

1.6 U_p

Emitterspændingen U_p , ved hvilken UJT'en trigges, er bestemt af følgende:

$$U_p = \eta U_{BB} + U_D$$

Diodespændingen U_D er ved 25°C typisk 0,4 volt og η er konstant for en UJT, men forskellig selv inden for samme typenummer.

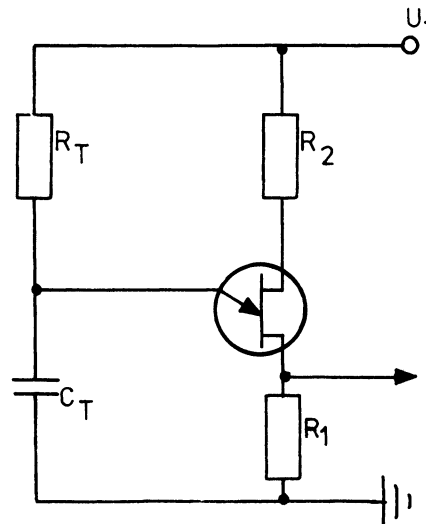
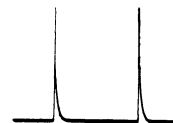
For 2N2646 opgives η til at ligge mellem 0,56 og 0,75, dvs. for en batterispænding U_{BB} på 24 volt, vil U_p ligge mellem 13,85 og 18,4 volt.

Da η ikke ændrer sig med hverken temperatur eller ælde, vil trigger-spændingen U_p være særdeles veldefineret, hvorfor en UJT er selvskrevet til anvendelse i præcise "timere" og som indgangstriggere for styrede ensrettere.

2. RELAXATIONSOSCILLATOR

2.1 Kredsløb

Den mest anvendte UJT-kobling er oscillatoropstillingen.

 U_E  U_{B1} 

Den finder hovedsagelig anvendelse i tidskredse, impulsgenerators, savtandgenerators og som triggerkredse for SCR'er.

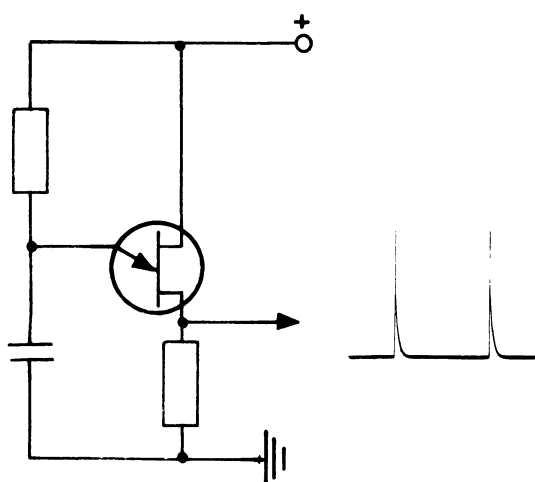


2.2 Virkemåde

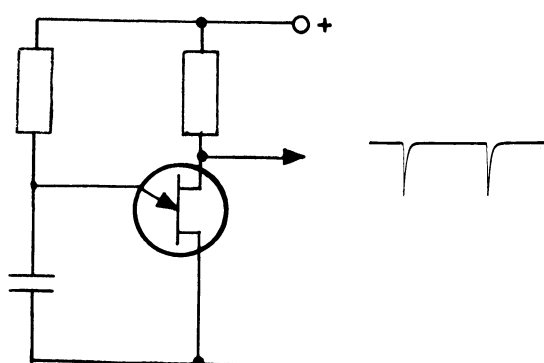
Når U_1 tilsluttes, vil kondensatoren C_T lade sig op gennem R_T , og når U_E er kommet op på trigger-spændingen U_p , vil emitterdioden blive ledende, og den dynamiske modstand mellem emitter og basis 1 vil falde til en lav værdi, hvorved C_T aflades, indtil U_E er faldet til ca. 2 volt, hvorved emitterdioden lukker. Herefter vil C_T påny blive opladet osv.

Hver gang U_E når op på trigger-spændingen, opstår der en strømimpuls i både emitter, basis 1 og basis 2 kredsene. Opstillingen kan derfor anvendes som en impulsgenerator for såvel negative som positive impulser.

Positive impulser



Negative impulser

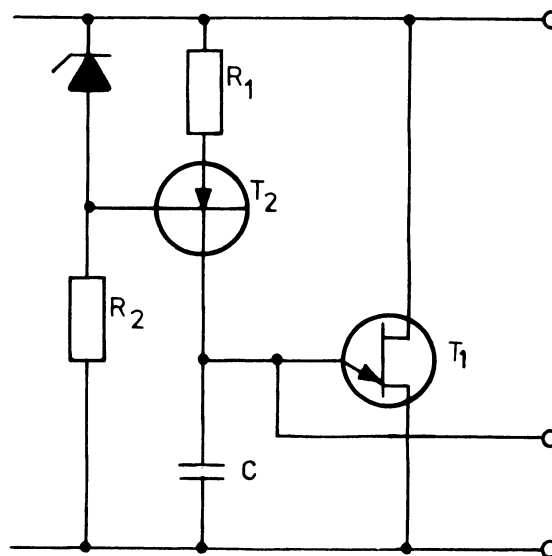


2.3 Stabilitet

Oscillatorens frekvensstabilitet er særdeles god, bedre end 1% inden for temperaturintervallet -20 til $+100^\circ\text{C}$, og ved konstant omgivelsetemperatur er stabiliteten bedre end 0,01%, dvs. at hvis en oscillator svinger med en frekvens på 10 kHz, vil den være bedre end ± 1 Hz.

2.4 Savtandgenerator

Emitterspændingens kurveform kan ændres, så kredsløbet kan anvendes som savtandgenerator ved at udskifte R_T med en konstantstrømgenerator.



Strømmen, som T_2 afgiver, bestemmes af R_1 .

Strømmens størrelse skal have en værdi, der er mindre end I_V .

Hvis strømmen er større end I_V , vil T_1 konstant være mættet.



DISPOSITION

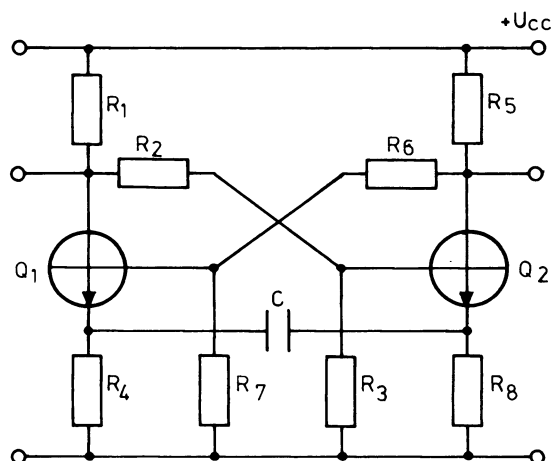
1. Virkemåde

1. VIRKEMÅDE

Den emitterkoblede AMV kaldes også "Current-mode AMV", idet transistorerne ikke går i mætning.

Dette betyder, at omskiftningen fra den ene stilling til den anden sker hurtigere end ved den almindelige kollektorkoblede AMV.

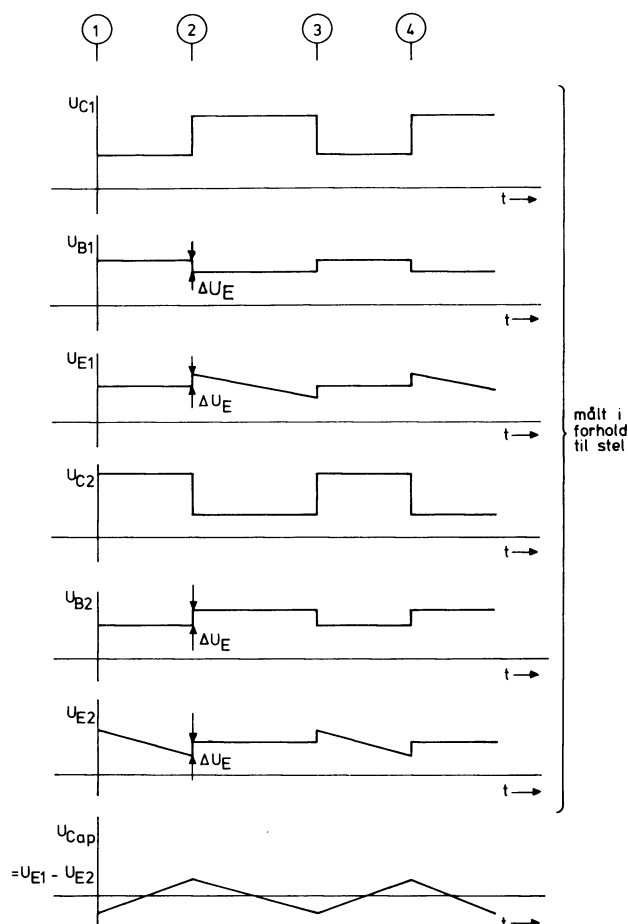
1.1 Diagram



1.2 Virkemåde

I den emitterkoblede AMV virker kondensatoren C som kortslutning under omskiftning fra en stilling til den anden.

Umiddelbart før og efter omskiftningen er summen af emitterstrømmene konstant, se spændingskurverne.



Tidspunkt ① og ③

Ved omskiftning fra Q_1 : OFF \rightarrow ON og Q_2 : ON \rightarrow OFF falder U_{C1} og U_{B2} , herved stiger U_{C2} og U_{B1} .

Når U_{B1} stiger i positiv retning, følger U_{E1} med, da C under omskiftningen virker som kortslutning, stiger U_{E2} tilsvarende.

U_{E2} er herved mere positiv end U_{B2} , Q_2 er OFF.



U_{E2} begynder at falde mod 0 med tidskonstanten $\tau = R_8 \cdot C$.

Tidskonstanten er normalt så stor, at U_{E2} falder lineært med tiden.

U_{B2} fastholdes under ladningen af C på en værdi bestemt af U_{C1} , R_2 og R_3 .

Tidspunkt ② og ④

På det tidspunkt er U_{E2} faldet til en værdi under U_{B2} , hvor Q_2 begynder at trække strøm.

Q_2 begynder at gå fra OFF \rightarrow ON.

U_{C2} og U_{B1} falder, som følge heraf begynder Q_1 at gå fra ON \rightarrow OFF.

U_{C1} og U_{B2} stiger, som følge heraf stiger U_{E2} .

Da kondensatoren C virker som kortslutning under omskiftningen, stiger U_{E1} tilsvarende.

U_{E1} er herved mere positiv end U_{B1} , Q_1 er OFF.

U_{E1} begynder at falde mod 0 med afladningstidskonstanten $\tau = R_4 \cdot C$.

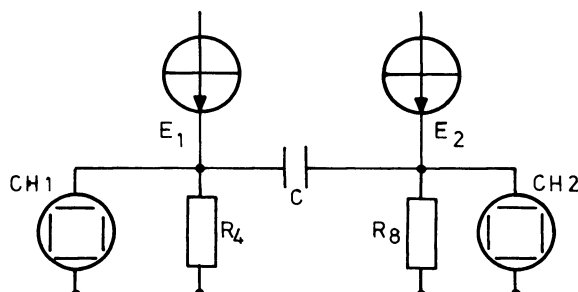
Tidskonstanten er normalt så stor, at U_{E1} falder lineært med tiden.

U_{B1} fastholdes under ladningen af C på en værdi bestemt af U_{C2} , R_6 og R_7 .

På et tidspunkt ① + ③ er U_{E1} faldet til en værdi under U_{B1} , således at Q_1 begynder at trække strøm, Q_1 begynder at gå fra OFF \rightarrow ON og Q_2 fra ON \rightarrow OFF, osv.

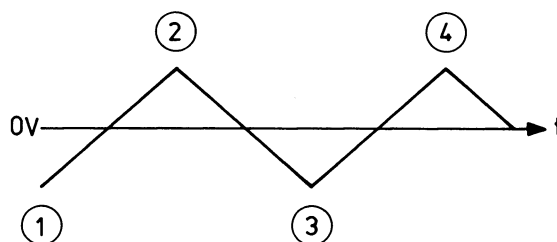
1.3 Spændingen over C

Måles spændingen over C med et dobbeltstråleoscilloskop, hvor CH_2 kan subtraheres fra CH_1 , vil man se:



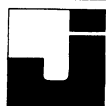
I tidspunktet ① og ③ er U_{E2} mere positiv end U_{E1} , $CH_1 - CH_2$ vil vise en negativ værdi.

Spændingen U_{E2} falder, U_{E1} fastholdes på en konstant spænding, $CH_1 - CH_2$ viser en spænding, der stiger i positiv retning.



I tidspunktet ② og ④ er U_{E1} mere positiv end U_{E2} , $CH_1 - CH_2$ vil vise en positiv værdi.

Spændingen U_{E1} falder, U_{E2} fastholdes på en konstant spænding, $CH_1 - CH_2$ viser en spænding, der stiger i negativ retning.



1.4 Frekvensbestemmende komponenter

Hvis multivibratoren er symmetrisk opbygget, dvs. at:

$$R_1 = R_5$$

$$R_2 = R_6$$

$$R_3 = R_7$$

$$R_4 = R_8$$

så afleverer multivibratoren en tidssymmetrisk firkantspænding på kollektorerne.

Gøres C større, bliver periodetiden større, og dermed bliver repetitionsfrekvensen mindre.

Ændres en af emittermodstandene, bliver udgangsspændingen tidsasymmetrisk. Bliver den ene eller begge emittermodstande større, falder repetitionsfrekvensen, gøres emittermodstandene mindre, stiger repetitionsfrekvensen.

Repetitionsfrekvensen kan også ændres ved at ændre basisspændingen til den ene eller begge transistorer. Hvis basisspændingsdeleren ændres til en højere basisspænding, falder repetitionsfrekvensen.



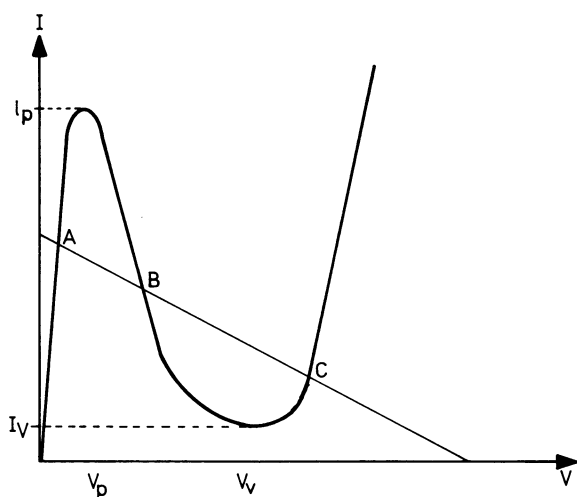
DISPOSITION

1. Bistabil multivibrator
2. Astabil multivibrator
3. Monostabil multivibrator

1. BISTABIL MULTIVIBRATOR

1.1 Arbejdslinie

Tunneldioden er en speciel halvleder, der kun er udstyret med to terminaler og har en strøm-spændingskarakteristik som vist.



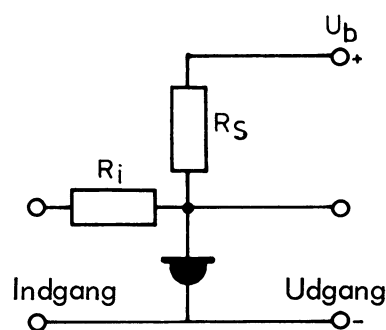
Af karakteristikken ses, at tunneldioden har en negativ modstand over en del af spændingsområdet, idet en forøgelse af spændingen medfører en formindskelse af strømmen og omvendt.

Forsynes tunneldioden fra en spændingskilde gennem en modstand, kan man i lighed med rør- og transistor-koblinger indlægge en arbejdslinie i karakteristikfeltet.

Vælges forsyningsspændingen relativt høj i forbindelse med en stor modstand, kan man opnå, at arbejdslinien skærer karakteristikken i hele tre punkter, det ene punkt, A, ligger ved en meget lav spænding, det andet punkt, B, på den del af karakteristikken, hvor modstanden er negativ, og det tredje punkt, C, ved en forholdsvis høj spænding.

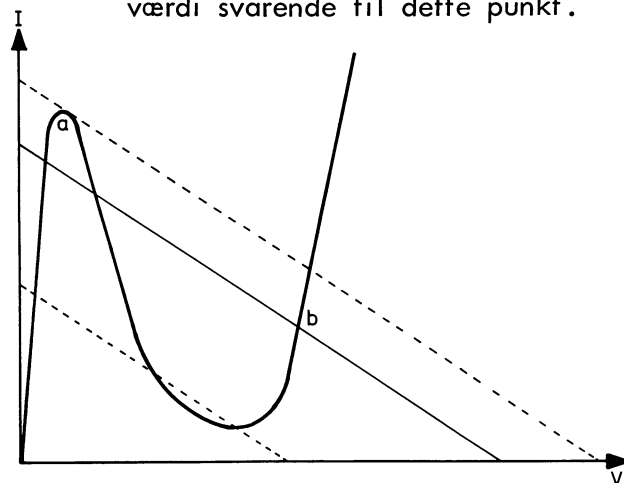
Der er således tilsyneladende mulighed for tre forskellige arbejds-punkter, men det viser sig, at punktet B i en opstilling som denne, hvor arbejdslinien skærer karakteristikken i tre punkter, altid svarer til en ustabil tilstand. Der er således i virkeligheden kun to mulige arbejds-punkter, nemlig A og C.

1.2 BMV med positiv og negativ trigning



Når der ikke forekommer noget indgangssignal, er arbejdslinien den fuldt optrukne linie, der skærer karakteristikken i punkterne a og b.

Antages det, at arbejdspunktet er a, og tilføres der en positiv impuls på indgangen således, at spændingen over tunneldioden overstiger V_p , vil arbejdslinien kun skære karakteristikken på den opadstigende del, og spændingen vokser da pludselig til en værdi svarende til dette punkt.





Når impulsen ophører, vil arbejds-punktet bevæge sig ned til den oprindelige arbejdslinies skærings-punkt b med karakteristikkens højre del, der repræsenterer en høj spænding sammenlignet med begyndelsesspændingen, punkt a.

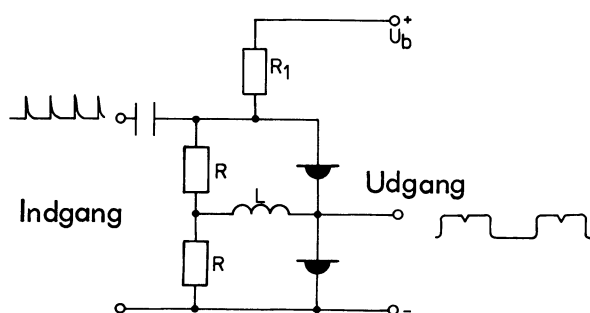
Noget tilsvarende sker, hvis man herefter tilføjer en negativ impuls på indgangen. Så snart spændingen over tunneldioden bliver mindre end V_V , vil det eneste stabile punkt, hvori arbejdslinien skærer karakteristikken, ligge på den venstre opadstigende del, og spændingen over dioden antager derfor pludselig lav værdi.

Når impulsen ophører, flyttes arbejds-punktet til punkt a igen.

Det indses, at koblingen set ude fra fungerer ganske analogt med den klassiske bistabile multivibrator, idet en positiv impuls på indgangen kan bringe den til at skifte tilstand, medens en påfølgende negativ impuls får den til at skifte tilbage igen.

1.3 BMV med positiv trigning

Et bistabilt tunneldiodekredsløb, der skifter tilstand udelukkende under påvirkning af positive impulser på indgangen, kan udføres med to tunneldioder.



Her er forsyningsspændingen U_b valgt til en så lav værdi, at kun en af de to tunneldioder kan have et arbejds-punkt svarende til den højre opadstigende gren af karakteristikken, høj spænding.

Antages det, at begyndelsestilstanden er således, at spændingen er høj over den øverste og lav over den nederste diode, vil strømmen i drosselspolen gå fra venstre mod højre, og den nederste tunneldiode vil derfor bære den største strøm.

Tilføres nu på indgangen en positiv impuls af en passende højde, vil begge dioderne bringes over i det højre karakteristikområde. Når impulsen er forbi, må en af dioderne igen antage den lave spændingsværdi, denne gang bliver det den øverste, hvilket indses ved følgende ræsonnement.

Da strømmen gennem den øverste diode er den mindste, vil denne, når impulsen er forbi, nå først ned til værdien I_V , hvorefter spændingen straks falder til en værdi svarende til den venstre karakteristikdel, medens den nederste diode bliver den højre.

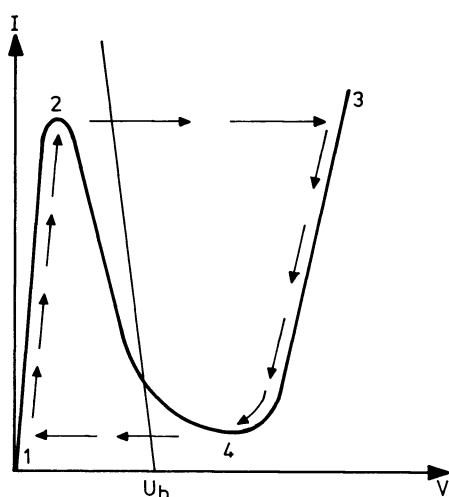
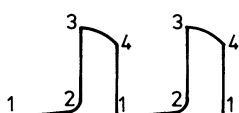
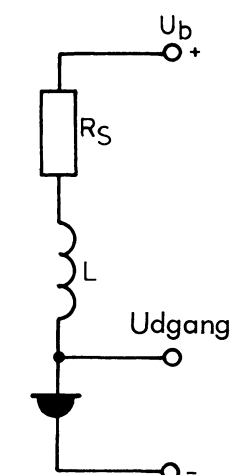
Efter denne skiften mellem de to dioder er spændingen over drosselspolen L vendt, og efter en kort tid fører den øverste diode den største strøm. Tilføres en ny positiv impuls, indses ved det samme ræsonnement som før, at tilstanden vil skifte tilbage til den oprindelige.



2. ASTABIL MULTIVIBRATOR

2.1 Virkemåde

De indtegnede pile og tal i karakteristikkfeltet viser arbejdsmåden.



Betragtes først punkt 1, ses det, at spændingen over tunneldioden er meget lav således, at næsten hele forsyningsspændingen ligger over drosselspolen L . Strømmen vil derfor vokse, indtil den når punkt 2. Så snart strømmen passerer denne værdi, flytter arbejdspunktet sig til punkt 3, idet strømmen nu vil aftage og denne gang følge den højre karakteristikkgren, indtil punkt 4 nås. Her kan strømmen ikke aftage yderligere, og arbejdspunktet flytter derfor tilbage til punkt 1, hvorefter forløbet gentager sig.

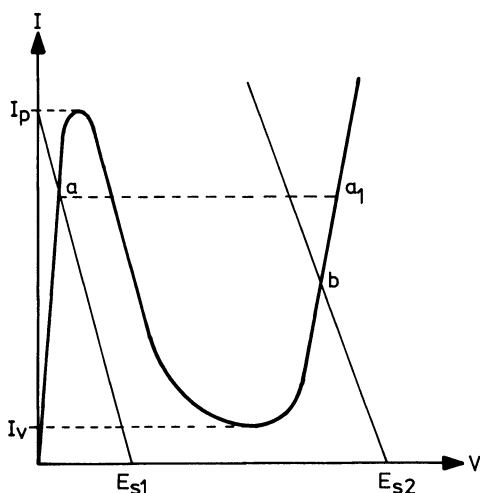
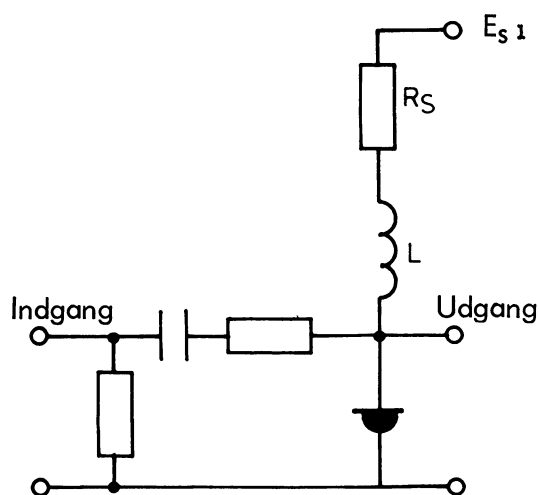
Det ses, at kurveformen bliver asymmetrisk og ikke helt firkantet, hvilket skyldes tunneldiodens noget skæve og ulineære karakteristika. Frekvensen er omvendt proportional med selvinduktationen i L og afhænger i øvrigt af U_b og tunneldiodens data.



3. MONOSTABIL MULTIVIBRATOR

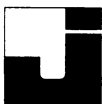
3.1 Virkemåde

Arbejdslinien for drosselspolens ohmske modstand R_S er indlagt i karakteristikkfeltet udgående fra batterispændingen E_{S1} , og det ses, at arbejdspunktet bliver punktet a , der ligger på den venstre stabile gren af karakteristikken.



Tilføres indgangen en kortvarig positiv impuls af en sådan størrelse, at tunneldiodestrømmen overstiger I_p , vil arbejdspunktet flyttes over på den højre gren af karakteristikken, og efter impulsens ophør vil arbejdspunktet være punktet a , idet strømmen gennem drosselspolen ikke kan ændre sig pludselig. Spændingen over tunneldioden er nu større end batterispændingen, og strømmen vil derfor aftage, indtil den når størrelsen I_v , hvor arbejdspunktet pludselig flyttes tilbage til karakteristikkens venstre del igen. Herved vil spændingen over drosselspolen L skifte polaritet igen og strømmen vokse, indtil arbejdspunktet a er nået.

Det ses, at en kort positiv impuls på indgangen vil udløse en impuls på udgangen af en bestemt varighed, der er bestemt af selvinduktionen L således, at virkemåden i det ydre er ganske analog med de velkendte monostabile multivibratorer, opbygget med elektronrør eller transistorer.



DISPOSITION

1. Schmitt-trigger
2. Monostabil multivibrator
3. Astabil multivibrator

1. SCHMITT-TRIGGER

1.1 Skiftetid

De forskellige logiske kredse er relative hurtige, dette kan ses ud fra, at de kan anvendes til tællere op til flere MHz.

Derfor er skiftetiden relativ lille:

Lille stigetid, rise time.
Lille faldetid, fall time.

1.2 Propagation delay

Ved logiske kredse benyttes udtrykket propagation delay for den tidsforsinkelse, der sker fra indgang til udgang med forkant og bagkant af en impuls.

t_{PHL} er propagation delay
High til Low

t_{PLH} er propagation delay
Low til High

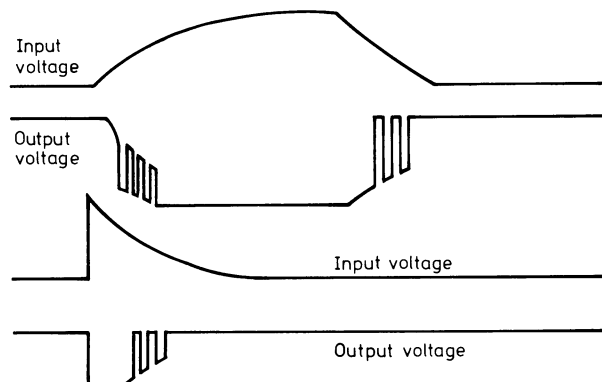
1.3 Selvsving

Tilføres en gate, NAND, en spænding med lang stigetid eller faldetid, vil gaten være for længe i det forbudte område.

I det forbudte område virker gaten som en lineær forstærker med tilbagekobling.

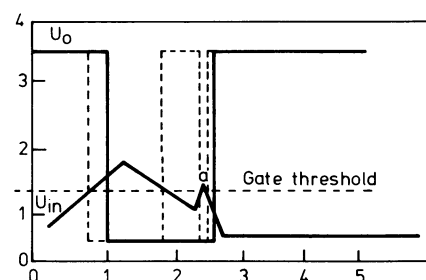
Denne tilbagekobling bevirker ustabilitet og 180° fasedrejning mellem ind- og udgang.

Er tiden gennem det forbudte område længere end eller lig med summen af propagation delays, $t_{PHL} + t_{PLH}$, gaten begynde at oscillere.



1.4 Støj

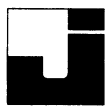
Imedens indgangsspændingen stiger igennem det forbudte område, kan en DC støj eller AC støj give uønsket trigning, se tegning, og impuls-pausetiden ændres.



1.5 Krav til Schmitt-triggeren

Hvis en Schmitt-trigger skal fjerne disse ulemper, kan der opstilles følgende krav til den:

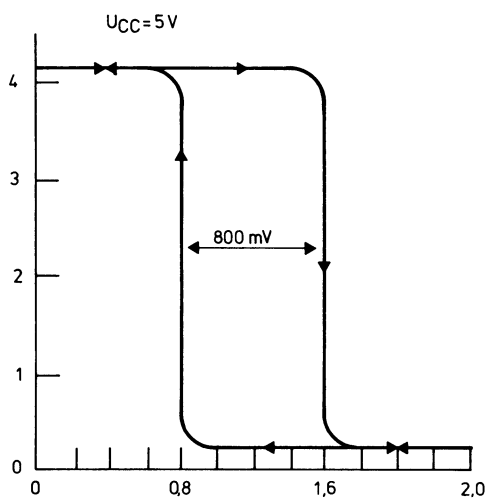
1. Skifter fra logisk 0 til logisk 1 ved et bestemt niveau.
2. Tilsvarende fra logisk 1 til logisk 0.
3. Holde samme impuls-pausetid, selv om forsyningsspændingen og temperaturen ændrer sig.



1.6 Integreret ST

Texas Instrument SN54/7413 er en dobbelt 4-input Schmitt-trigger. Den kan bruges sammen med TTL- og DTL-kredse.

I tegningen er hysteresen tegnet som $V_O = f(V_{in})$.



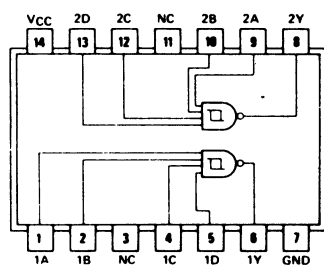
1.7 Sockelforbindelse og symbol for SN7413

13

**DUAL 4-INPUT
POSITIVE-NAND
SCHMITT TRIGGERS**

positive logic:

$$Y = \overline{ABCD}$$



SN5413/SN7413(J, N, W)

The Signetics 8T14 Triple Line Receiver was designed primarily for data communication systems where digital information must be recovered with a high degree of accuracy, even in the presence of noise.

However, as shown in Figure 1, the Line Receiver inputs having hysteresis together with the additional logic functions available make the 8T14 a powerful multipurpose device. For a thorough discussion of the 8T14's electrical characteristics please refer to the applications memo covering the 8T13 Line Driver and the 8T14 Line Receiver.

8T14 TRIPLE LINE RECEIVER

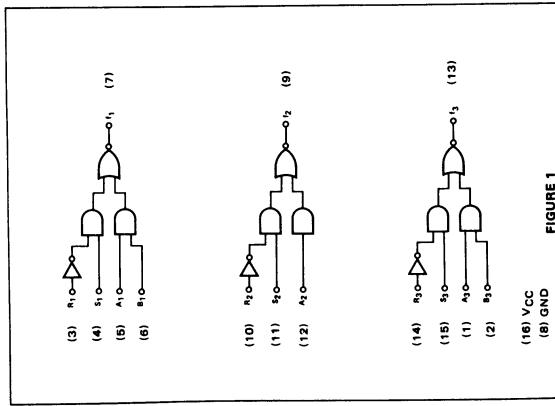


FIGURE 1

The built-in hysteresis of the line receiver makes it ideal for use as a Schmitt trigger. For example, signals with slow transition times can be reshaped with the 8T14 to be suitable for use with high speed logic as illustrated in Figure 2. By taking advantage of the additional logic inputs, the circuit could also be used as a controlled Schmitt trigger. Typical rise and fall times of the 8T14 are less than 10ns with minimum capacitive loading.

SCHMITT TRIGGER

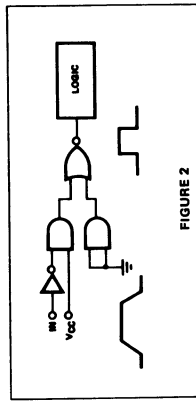


FIGURE 2

A special case of a Schmitt trigger application is sine-to-square wave conversion. The circuit shown in Figure 3 was found to be a very effective and convenient means of driving the frequency divider chain of a digital clock.

SINE-TO-SQUARE WAVE CONVERTER

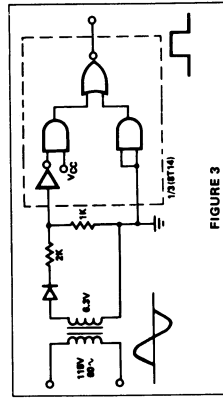


FIGURE 3

The Schmitt trigger characteristics of the 8T14 can also be used to advantage in a monostable multivibrator, or one-shot as illustrated in Figure 4.

ONE-SHOT

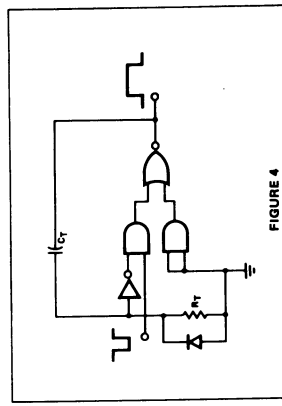


FIGURE 4

With resistor values less than 5K, the output pulse width is $\approx 0.9 R_T C_T$. Above 5K, R_T begins to approach the input impedance of the 8T14 and the equation is no longer valid. Figure 5 is a graph of pulse width versus timing capacitance for the circuit shown in Figure 4.

OUTPUT PULSE WIDTH VS. TIMING CAPACITANCE

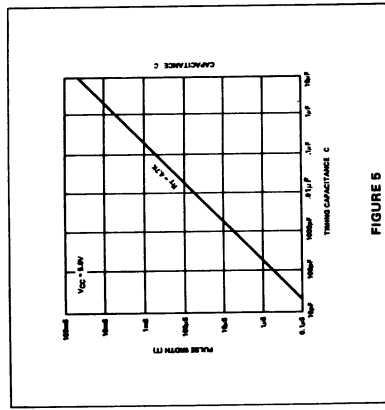


FIGURE 5

To increase pulse width, capacitor multiplication with PNP transistors can be used as indicated in Figure 6. The effective capacitance becomes approximately $\beta X C_T$. Using a 10K resistor and 47μF capacitor, pulse widths of 50 seconds were obtained.

ONE SHOT WITH BETA MULTIPLIER

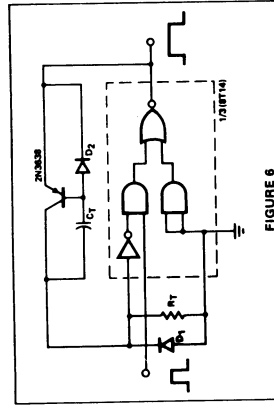


FIGURE 6

Without diode D_2 , capacitor C_T does not discharge rapidly below 1.5 volts and does not allow the one-shot to retrigger. The diode provides a low impedance path back through the saturated output transistor and significantly increases the duty cycle.

SIGNETICS 8T14 AS A SCHMITT TRIGGER ■ 8T14

When the input pulse width is larger than the required output pulse, the input can be differentiated by a small series capacitor. Using a 22pF capacitor, output pulse widths as short as 50ns can be obtained.

By providing an additional stage of inversion, the 8T14 can be used as a gated oscillator as shown in Figure 7. Using one of the remaining receivers in the package for the inverter the circuit was found to oscillate at:

$$f_{osc} \approx \frac{1}{0.7 RC}$$

OSCILLATOR

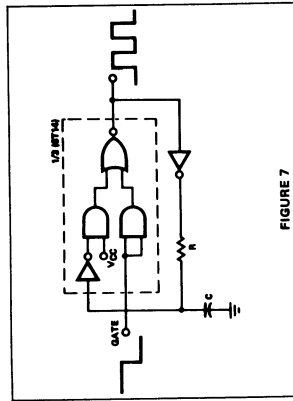


FIGURE 7

Figure 8 is a graph of oscillator frequency versus capacitance for two values of resistance. With the addition of a Hex Inverter such as Signetics 8890 three separate oscillators with buffered outputs could be built with only two packages.

OSCILLATOR FREQUENCY VS. CAPACITANCE

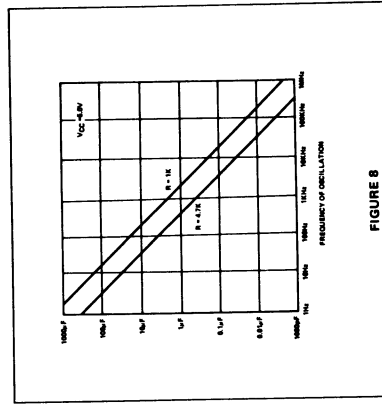


FIGURE 8



2. MONOSTABIL MULTIVIBRATOR

Hvor man skal bruge en forskellig impuls-pausetid, kan man benytte en monostabil multivibrator, f.eks. til neddeling eller til ophold efter en funktion, indtil den skal gentages.

2.1 MMV med NAND-gate

En monostabil multivibrator kan opbygges af:

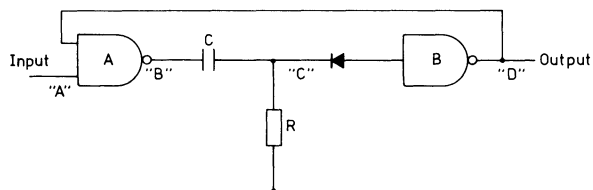
Diskrete komponenter

NAND-gate

NOR-gate

eller som en enhed i TTL-serien.

I tegningen er den opbygget af NAND-gate.



Stabil stilling:

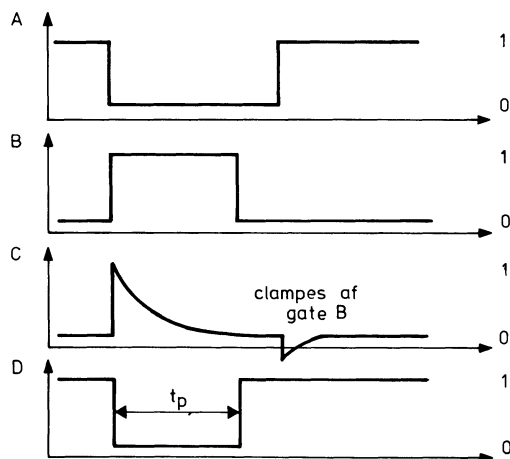
Gate B's indgang er lagt til logisk 0 gennem dioden og modstanden, derfor er output logisk 1.

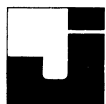
Er input high, bliver gate A's udgang low, og kondensatoren er ikke ladet op.

Ustabil stilling:

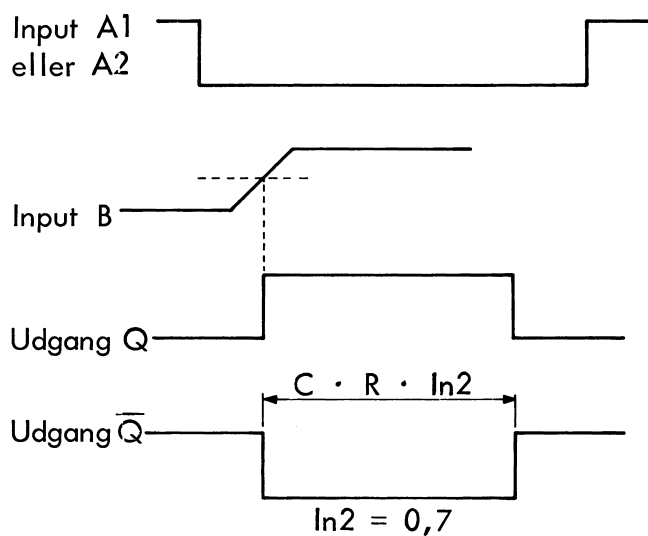
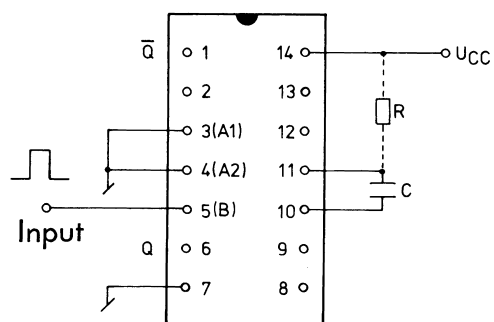
Når input går negativ, bliver gate A's udgang high, og kondensatoren lades op. Dioden bliver derved forspændt i spærreretningen, og gate B skifter.

Denne stilling holdes lige så længe, som kondensatoren er om at lade op.

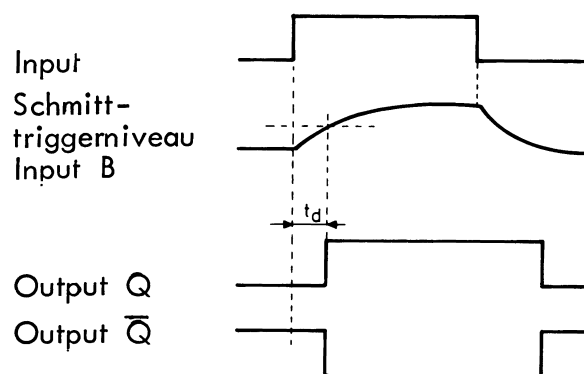
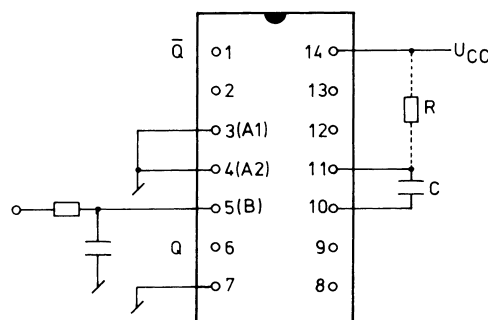




2.2 MMV, Texas SN74121



2.3 MMV, Texas SN74121 med tidsforsinkelse





2.4 Datablad Texas SN74121

description

These multivibrators feature dual negative-transition-triggered inputs and a single positive-transition-triggered input which can be used as an inhibit input. Complementary output pulses are provided.

Pulse triggering occurs at a particular voltage level and is not directly related to the transition time of the input pulse. Schmitt-trigger input circuitry (TTL hysteresis) for the B input allows jitter-free triggering from inputs with transition rates as slow as 1 volt/second, providing the circuit with an excellent noise immunity of typically 1.2 volts. A high immunity to V_{CC} noise of typically 1.5 volts is also provided by internal latching circuitry.

Once fired, the outputs are independent of further transitions of the inputs and are a function only of the timing components. Input pulses may be of any duration relative to the output pulse. Output pulse length may be varied from 40 nanoseconds to 28 seconds by choosing appropriate timing components. With no external timing components (i.e., R_{int} connected to V_{CC} , C_{ext} and R_{ext}/C_{ext} open), an output pulse of typically 30 or 35 nanoseconds is achieved which may be used as a d-c triggered reset signal. Output rise and fall times are TTL compatible and independent of pulse length.

Pulse width stability is achieved through internal compensation and is virtually independent of V_{CC} and temperature. In most applications, pulse stability will only be limited by the accuracy of external timing components.

Jitter-free operation is maintained over the full temperature and V_{CC} ranges for more than six decades of timing capacitance (10 pF to 10 μ F) and more than one decade of timing resistance (2 k Ω to 30 k Ω for the SN54121/SN54L121 and 2 k Ω to 40 k Ω for the SN74121/SN74L121). Throughout these ranges, pulse width is defined by the relationship $t_{w(out)} = C_T R_T \ln 2 \approx 0.7 C_T R_T$. In circuits where pulse cutoff is not critical, timing capacitance up to 1000 μ F and timing resistance as low as 1.4 k Ω may be used. Also, the range of jitter-free output pulse widths is extended if V_{CC} is held to 5 volts and free-air temperature is 25°C. Duty cycles as high as 90% are achieved when using maximum recommended R_T . Higher duty cycles are available if a certain amount of pulse-width jitter is allowed.

recommended operating conditions

	54 FAMILY 74 FAMILY	SN54121 SN74121			SN54L121 SN74L121			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	54 Family 74 Family	4.5 4.75	5	5.5	4.5 4.75	5	5.5	V
High-level output current, I_{OH}				-400			-200	μ A
Low-level output current, I_{OL}				16			8	mA
Rate of rise or fall of input pulse, dv/dt	Schmitt input, B	1			1			V/s
	Logic inputs, A1, A2	1			1			V/ μ s
Input pulse width, $t_{w(in)}$		50			100			ns
External timing resistance, R_{ext}	54 Family	1.4		30	1.4		30	k Ω
	74 Family	1.4		40	1.4		40	
External timing capacitance, C_{ext}		0		1000	0		1000	μ F
Duty cycle	$R_T = 2$ k Ω			67			67	%
	$R_T = \text{MAX } R_{ext}$			90			90	
Operating free-air temperature, T_A	54 Family	-55		125	-55		125	°C
	74 Family	0		70	0		70	

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54121 SN74121			SN54L121 SN74L121			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{T+} Positive-going threshold voltage at A input	$V_{CC} = \text{MIN}$		1.4	2		1.4	2	V
V_{T-} Negative-going threshold voltage at A input	$V_{CC} = \text{MIN}$		0.8	1.4		0.8	1.4	V
V_{T+} Positive-going threshold voltage at B input	$V_{CC} = \text{MIN}$		1.55	2		1.55	2	V
V_{T-} Negative-going threshold voltage at B input	$V_{CC} = \text{MIN}$		0.8	1.35		0.8	1.35	V
V_I Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -12$ mA			-1.5			-1.5	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $I_{OH} = \text{MAX}$		2.4	3.4		2.4	3.4	V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $I_{OL} = \text{MAX}$		0.2	0.4		0.2	0.4	V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 5.5$ V			1			1	mA
I_{IH} High-level input current	$V_{CC} = \text{MAX}$, $V_I = 2.4$ V			40			20	μ A
	B			80			40	
I_{IL} Low-level input current	$V_{CC} = \text{MAX}$, $V_I = 0.4$ V			-1.6			-0.8	mA
	A1 or A2 B			-3.2			-1.6	
I_{OS} Short-circuit output current*	$V_{CC} = \text{MAX}$	54 Family	-20	-55	-10	-27		mA
		74 Family	-18	-55	-9	-27		
I_{CC} Supply current	$V_{CC} = \text{MAX}$			13		7	12	mA
				23		9	20	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡All typical values are at $V_{CC} = 5$ V, $T_A = 25^\circ\text{C}$.

*Not more than one output should be shorted at a time.

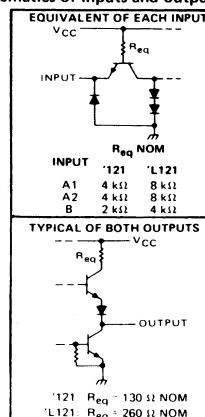
*The input clamp voltage specification is effective for Series 54/74 parts date-coded 7332 or higher.

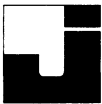
switching characteristics, $V_{CC} = 5$ V, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	'121			'L121			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH} Propagation delay time, low-to-high-level Q output from either A input	$C_T = 80$ pF, R_{int} to V_{CC}	45	70		140			ns
t_{PLH} Propagation delay time, low-to-high-level Q output from B input		35	55		110			ns
t_{PHL} Propagation delay time, high-to-low-level Q output from either A input		50	80		160			ns
t_{PHL} Propagation delay time, high-to-low-level Q output from B input		40	65		130			ns
$t_{w(out)}$ Pulse width obtained using internal timing resistor	$C_L = 15$ pF, $R_L = 400$ Ω for '121, $R_L = 800$ Ω for 'L121, See Note 1	70	110	150	70	225	260	ns
$t_{w(out)}$ Pulse width obtained with zero timing capacitance	$C_T = 80$ pF, R_{int} to V_{CC}	30	50		35	70		ns
$t_{w(out)}$ Pulse width obtained using external timing resistor	$C_T = 0$, R_{int} to V_{CC}							ms
	$C_T = 100$ pF, $R_T = 10$ k Ω	600	700	800	600	700	850	
	$C_T = 1$ μ F, $R_T = 10$ k Ω	6	7	8	6	7	8	

NOTE 1: Load circuit and voltage waveforms are shown on page 148.

schematics of inputs and outputs





TYPICAL CHARACTERISTICS§

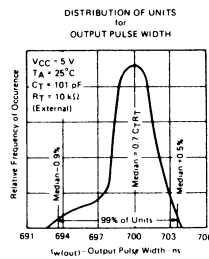


FIGURE 1

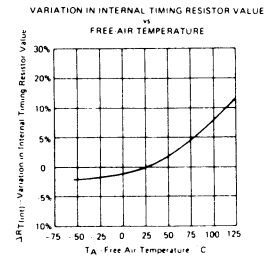


FIGURE 2

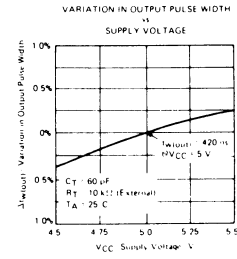


FIGURE 3

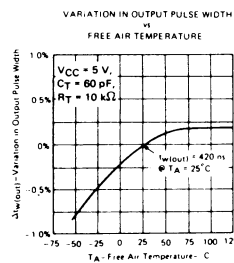


FIGURE 4

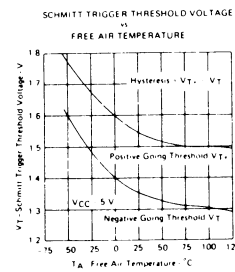


FIGURE 5

§ Data for temperatures below 0°C and above 70°C are applicable for SN54121 and SN54L121 only.

TYPICAL CHARACTERISTICS½ (continued)

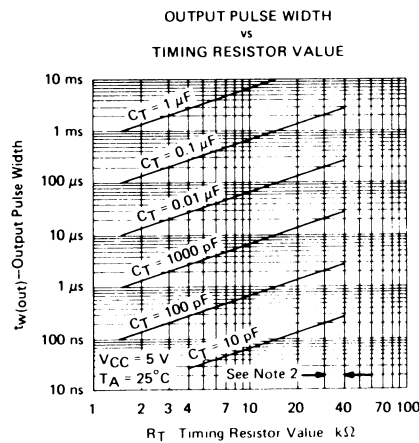


FIGURE 6

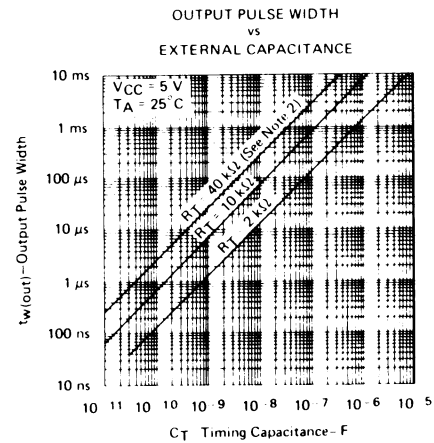


FIGURE 7

§ Data for temperatures below 0°C and above 70°C are applicable for SN54121 and SN54L121 only.

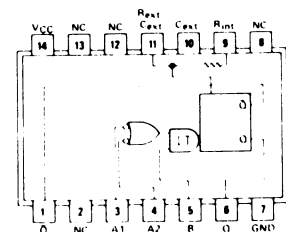
NOTE 2: These values of resistance exceed the maximum recommended for use over the full temperature range of the SN54121 and SN54L121.

MONOSTABLE MULTIVIBRATORS

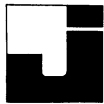
121

FUNCTION TABLE

INPUTS			OUTPUTS	
A1	A2	B	Q	Q̄
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H	⌋	⌋
↓	H	H	⌋	⌋
↓	↓	H	⌋	⌋
L	X	↑	⌋	⌋
X	L	↑	⌋	⌋



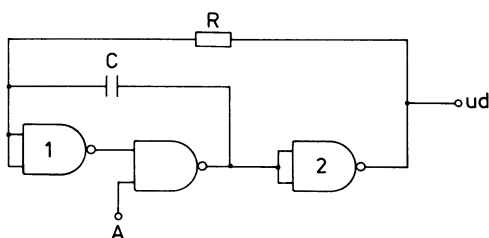
SN54121/SN74121(J, N, W)
 SN54L121/SN74L121(J, N, T)
 *121 ... $R_{int} = 2 \text{ k}\Omega$ NOM
 *L121 ... $R_{int} = 4 \text{ k}\Omega$ NOM
 NC: No internal connection



3. ASTABIL MULTIVIBRATOR

3.1 AMV med NAND-gates

Diagrammet herunder viser en impulsgenerator med NAND-gates.



Funktionen bygger på en stadig ompoling af kondensatoren ved hjælp af gate 2.

Skiftene finder sted, når spændingen på indgangen af gate 1 passerer de logiske niveauer for 1 og 0. Frekvensen er bestemt af RC tidskonstanten og er ca.:

$$f = \frac{1}{2 \cdot R \cdot C}$$

På indgang A kan generatoren stoppes med et logisk 0.

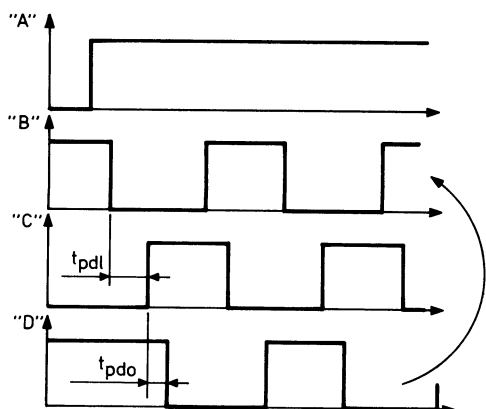
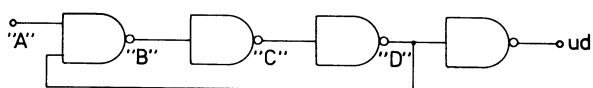
3.2 Clock-impulsgenerator med SN7400

Impulstiden er bestemt af gatens propagationtime.

For SN7400:

$$t_{pdo} = 7 \text{ ns fra 1 til 0}$$

$$t_{pdl} = 11 \text{ ns fra 0 til 1}$$

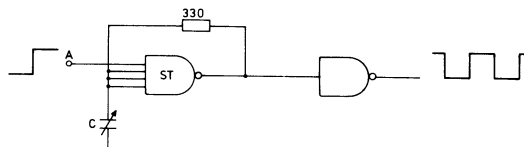


3.3 AMV med Schmitt-trigger

En astabil multivibrator kan opbygges meget simpelt med en integreret Schmitt-trigger.

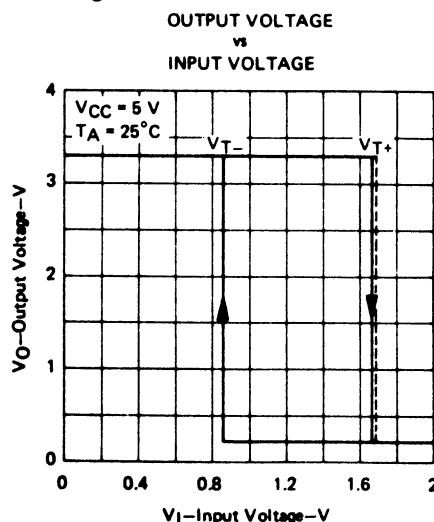
Eksempel:

a. Texas SN7413



Når A lægges på logisk 1, ændres udgangen på ST til logisk 0.

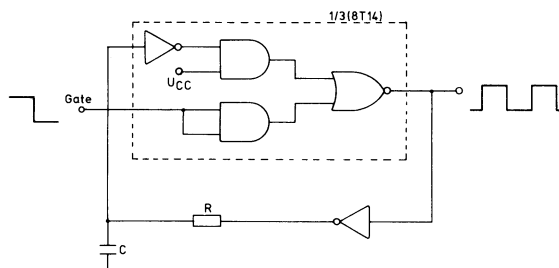
Kondensatoren C aflades mod 0 V, når spændingen over C er ca. 0,8 V, skifter ST til logisk 1.



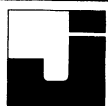
Kondensatoren C oplades mod udgangsspændingen på ST, når spændingen over C er ca. 1,6 V, skifter ST til logisk 0, osv.

Opstillingen kan arbejde fra 0,1 Hz til 10 MHz.

b. Signetics 8T14



$$f_{osc} \approx \frac{1}{0,7RC}$$



DISPOSITION

1. Komparator

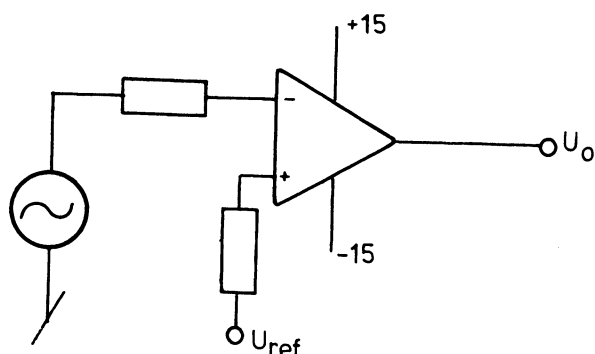
1. KOMPARATOR

1.1 Niveaudetektor

En komparator er en enhed, der angiver en DC spænding, så længe indgangssignalet er over eller under en bestemt værdi.

En komparator kaldes ofte en niveaudetektor.

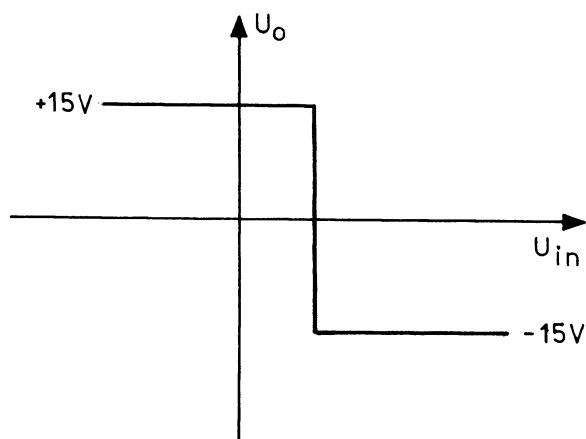
1.2 Operationsforstærker som komparator



Da operationsforstærkeren har en meget stor forstærkning, vil den enten være i mætning til den ene eller den anden side.

Så længe spændingen på -terminalen er mere negativ end U_{ref} , vil udgangen være i positiv mætning.

Bliver spændingen på -terminalen mere positiv end U_{ref} , går udgangen i negativ mætning.

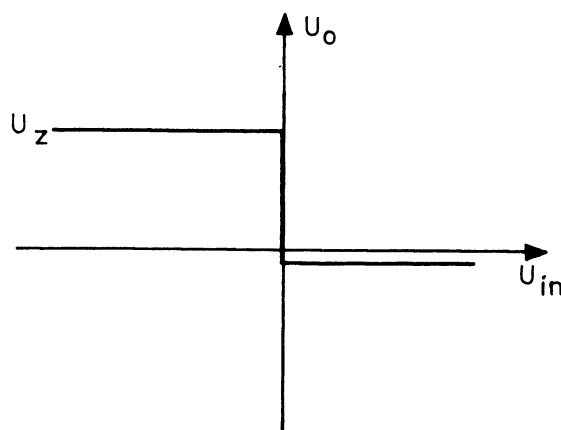
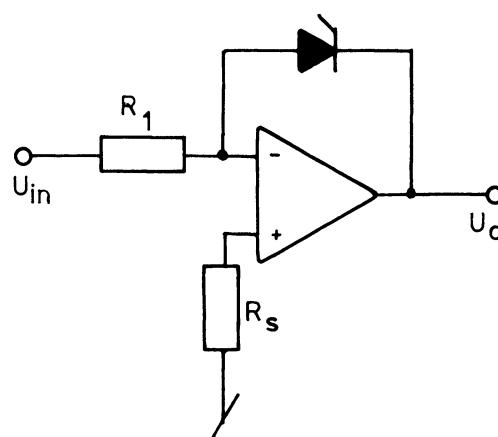


Komparatoren er uden hysteres og er derfor følsom overfor støjimpulser; den er desuden følsom overfor temperaturændringer.

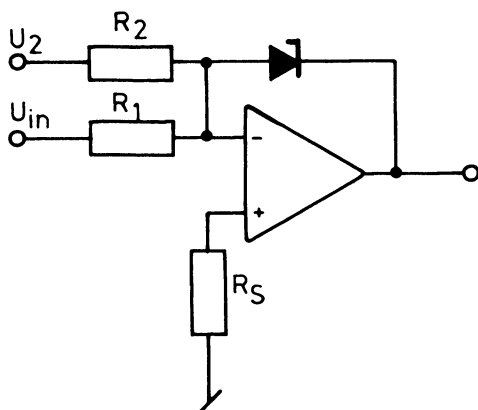
1.3 Komparator med bedre skiftetider

Ændres komparatoren, så operationsforstærkeren ikke går i mætning, vil den skifte meget hurtigere.

En zenerdiode mellem udgangen og -indgangen vil bevirke, at udgangsspændingen kun kan svinge mellem zenerspændingen og spændingen over en ledende diode.

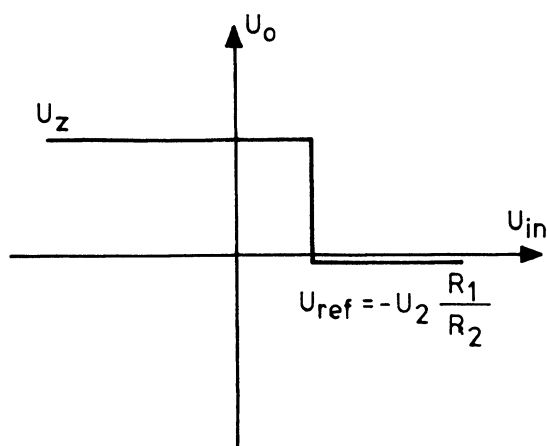


Skal der kompareres med en spænding forskellig fra nul, må der indføres en referencespænding ved hjælp af U_2 .



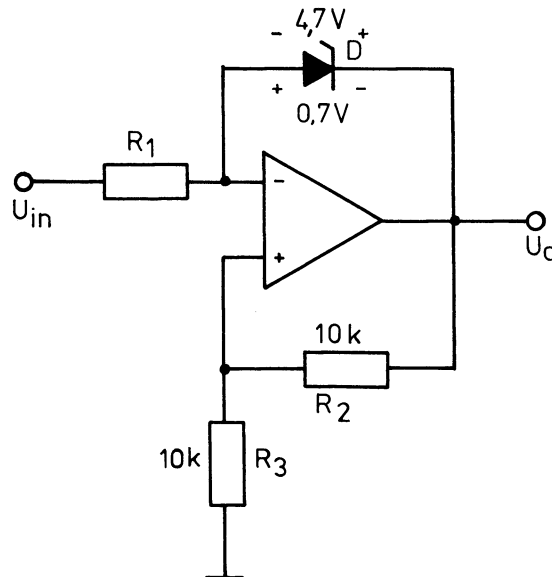
U_2 skal have modsat polaritet af referencespændingen, og størrelsen bestemmes af forholdet mellem R_1 og R_2 .

$$-U_2 = U_{\text{ref}} \frac{R_2}{R_1}$$



1.4 Komparator med hysteres

For at få hysteres på en komparator skal der dannes en positiv tilbagekobling. Denne medkobling dannes ved hjælp af R_2 og R_3 .



Udgangsspændingen på komparatoren i forhold til stel kan findes som :

$$U_o = U_{R_2} + U_{R_3}$$

$$I_{R_2} = \frac{U_o}{R_2 + R_3}$$

da $U_{R_2} = U_D$ fås

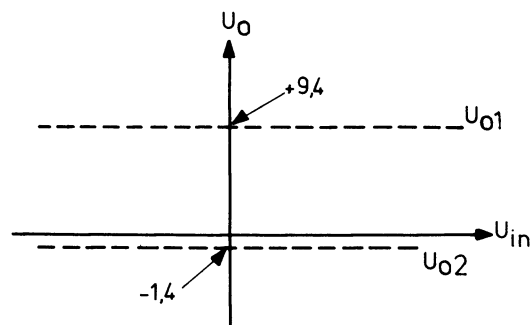
$$U_D = I_{R_2} \cdot R_2 = \frac{U_o \cdot R_2}{R_2 + R_3}, \text{ heraf}$$

$$U_o = U_D \cdot \frac{R_2 + R_3}{R_2}$$

Da U_D kan antage to værdier, henholdsvis $U_{D+} = +4,7$ og $U_{D-} = -0,7$, fås to værdier for U_o .

$$U_{o1} = +9,4 \text{ V}$$

$$U_{o2} = -1,4 \text{ V}$$



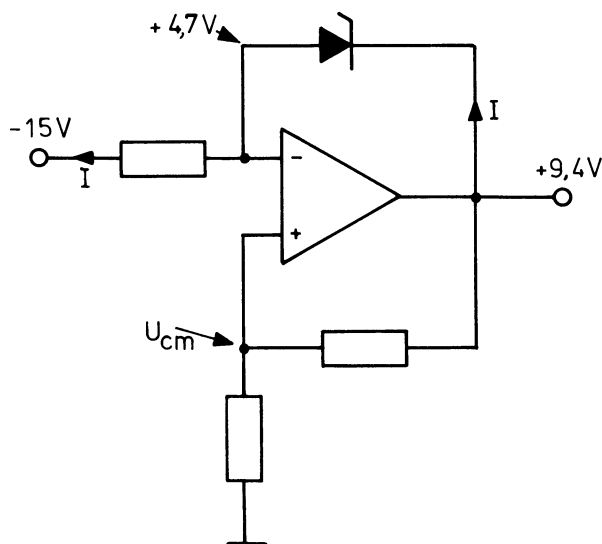
Da U_o antager to forskellige værdier, er common mode spændingen på + og - terminalerne:

$$U_{cm} = U_o \cdot \frac{R_3}{R_2 + R_3}$$

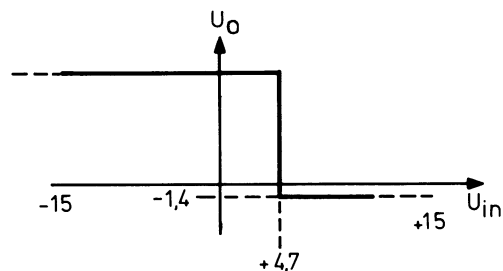
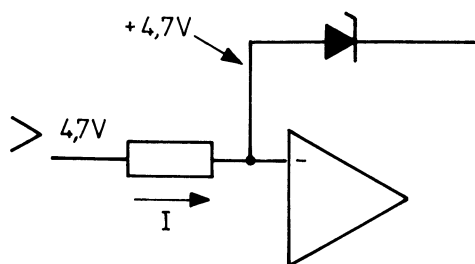
$$\text{da } U_o = U_D \cdot \frac{R_2 + R_3}{R_2} \text{ fås}$$

$$U_{cm} = U_D \cdot \frac{R_3}{R_2}$$

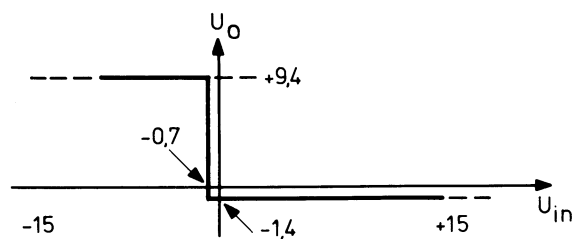
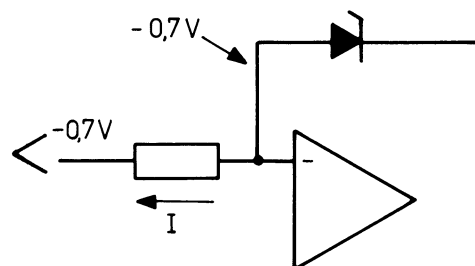
Hvis U_{in} er -15 V , er $U_o = +9,4 \text{ V}$, idet indgangsspændingen er mere negativ end U_{cm} .



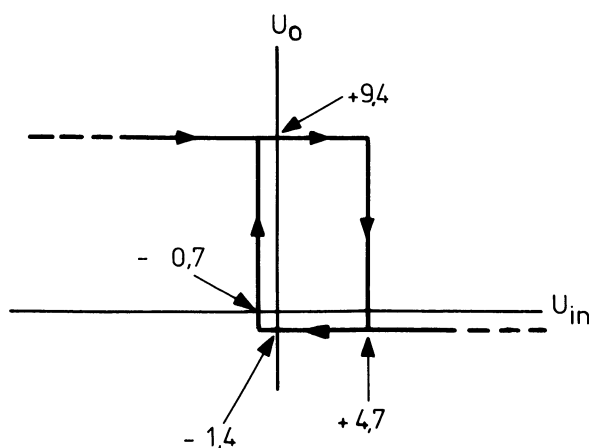
Hvis U_{in} ændres i positiv retning, skifter udgangsspændingen fra $9,4 \text{ V}$ til $-1,4 \text{ V}$, når $U_{in} > +4,7 \text{ V}$, idet strømretningen i R_3 skifter.

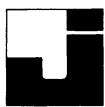


Hvis U_{in} ændres i negativ retning fra $+15 \text{ V}$, skifter udgangsspændingen til $+9,4 \text{ V}$, når indgangsspændingen er mere negativ end $-0,7 \text{ V}$.



Ovenstående kan sammenfattes i en karakteristik, der kaldes komparatorens hysteresekurve.





De $+4,7\text{ V}$ kaldes "upper trigger level", UTL, tilsvarende kaldes de $-1,4\text{ V}$ for "lower trigger level" LTL.

$$UTL = U_{D+} \cdot \frac{R_3}{R_2}$$

$$LTL = U_{D-} \cdot \frac{R_3}{R_2}$$

Forskellen mellem de to niveauer kaldes komparatorens hysterespænding.

$$U_H = UTL - LTL$$

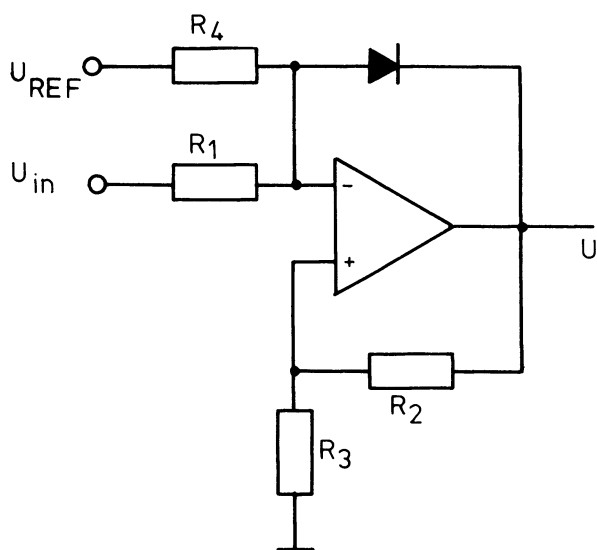
$$U_H = (U_{D+} - U_{D-}) \cdot \frac{R_3}{R_2}$$

I eksemplet bliver beregningen

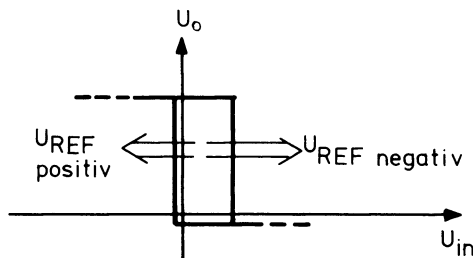
$$U_H = (4,7 - (-0,7)) \cdot \frac{10\text{ k}}{10\text{ k}}$$

$$U_H = 5,4\text{ V}$$

Hysteresekurven kan flyttes ved at tilføre en referencespænding.

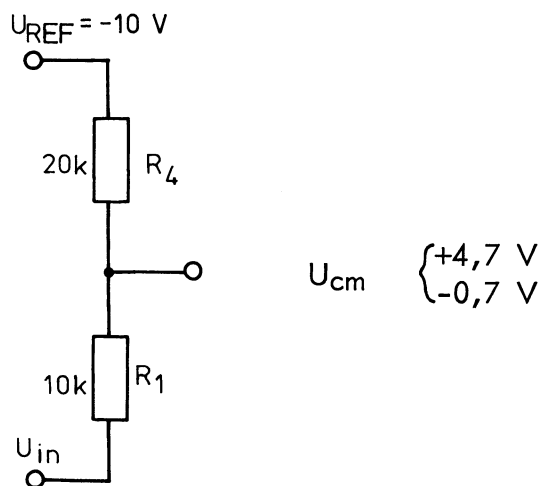


Hysteresekurven rykker i negativ retning, hvis U_{REF} er positiv, tilsvarende rykker hysteresekurven i positiv retning, hvis U_{REF} er negativ.



I det efterfølgende er reference-spændingen valgt til -10 V .

Udgangsspændingen vil skifte, når punktet mellem R_1 og R_4 har en spænding større end U_{cm} .



Hvis U_{in} går i positiv retning fra -15 V , skifter U_o fra $9,4\text{ V}$ til $-1,4\text{ V}$, når spændingen bestemt af R_1 , og R_4 er lig med $U_{cm} = +4,7\text{ V}$.

Spændingen over R_4 kan findes som :

$$U_{R_4} = U_{cm} - U_{REF}$$

$$U_{R_4} = 14,7\text{ V}$$



Spændingen over R_1 kan findes som :

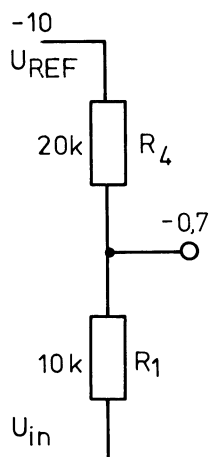
$$U_{R_1} = \frac{U_{R_4}}{R_4} \cdot R_1$$

$$U_{R_1} = \frac{14,7 \cdot 10 \text{ k}}{20 \text{ k}} = 7,35 \text{ V}$$

$$U_{in} = U_{cm} + U_{R_1}$$

$$U_{in} = (7,35 + 4,7) \text{ V} \sim 12 \text{ V}$$

Hvis U_{in} går i negativ retning fra +15 V skifter U_o fra -1,4 V til +9,4 V, når spændingen bestemt af R_1 , og R_4 er lig med $U_{cm} = -0,7 \text{ V}$.



Spændingen over R_1 kan findes ved :

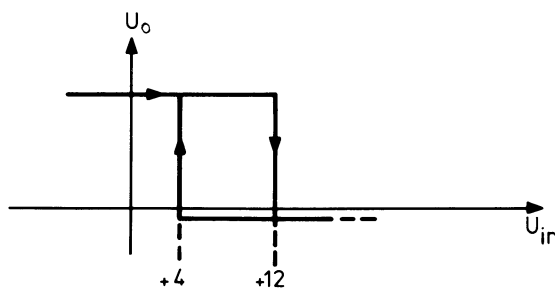
$$\frac{U_{R_4}}{R_4} = \frac{U_{R_1}}{R_1}$$

$$U_{R_1} = 9,3 \cdot \frac{R_1}{R_4} = 4,65 \text{ V}$$

$$U_{in} = U_{R_1} + U_{cm}$$

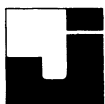
$$U_{in} = 4,65 - 0,7 \sim 4 \text{ V}$$

Hysteresekurven ser nu således ud, bemærk at den er flyttet i positiv retning, og at U_H er ændret.



U_H kan findes som :

$$U_H = (U_{D+} - U_{D-}) \frac{R_3}{R_2} \cdot \left[1 + \frac{R_1}{R_4} \right]$$



DISPOSITION

1. Det binære talsystem
2. Konvertering af hele tal
3. Konvertering af brøker
4. Tallet 2 opløftet i n'te og -n'te potens
5. Octale talsystem
6. Hexadecimale talsystem

1. DET BINÆRE TALSYSTEM

Normalt anvender vi titalssystemet, hvor vi tæller i potenser af 10. Oprindelsen til titalssystemet, hvori der tælles i potenser af 10, kommer måske fra, at man talte ved hjælp af fingrene.

Da man startede med at udvikle elektroniske regnemaskiner, forsøgte man at bruge titalssystemet, men da hvert tal skal angives ved et defineret spændingsniveau, gik man hurtigt over til talsystemet, der kun har to værdier, nemlig 0 og 1, som i elektriske kredsløb kan repræsenteres af henholdsvis ingen spænding og spænding eller omvendt.

1.1 Titalssystemet

Det er imidlertid vigtigt at studere titalssystemet for at forstå talsystemet, da det er opbygget på samme måde.

Når vi skriver et nummer som 5738, kan vi opdele det som vist.

Tusinde	Hundreder	Tiere	Enere
5	7	3	8

Med andre ord menes:

$$(5 \cdot 1000) + (7 \cdot 100) + (3 \cdot 10) + (8 \cdot 1)$$

femtusindesyvhundredeogtrettiootte

Hvert ciphers position repræsenterer en potens af 10, 10 er grundtal eller radix i decimalsystemet.

1.2 Det binære system

Det binære talsystem har grundtallet eller radix 2.

Dette betyder, at hver cifferposition repræsenterer en potens af 2.

Som følge af dette behøver vi kun to talsymboler nemlig 0 og 1, idet det næste højere tal i systemet, 2, flytter til næste kolonne i talsystemet.

F.eks.: 1001 (binært) betyder:
(udtales: et-nul-nul-et)

8'ere	4'ere	2'ere	1'ere
1	0	0	1

eller:

$$(1 \cdot 8) + (0 \cdot 4) + (0 \cdot 2) + (1 \cdot 1) = 9_{10} \text{ indeks}$$

Der kan skrives meget store tal i det binære system, forudsat at man bruger nok binære cifre.

Disse binære digits kaldes normalt bits.

Digit = finger, tå (latin)

Hvis man skriver 1001 binært, skrives det 1001_2 for at markere, at der arbejdes i det binære system og ikke i decimalsystemet. Markeringen kaldes indeks og er lig med talsystemets radix.

For hver bit man rykker mod venstre i et binært tal, stiger værdien til det dobbelte eller som potens af 2.



2. KONVERTERING AF HELE TAL

2.1 Subtraktionsmetode

Ved subtraktion undersøger man, om kendte potenser af 2 indeholdes i tallet

Eksempel:

	783									
$2^9 \rightarrow$	- 512	→	1	1	0	0	0	0	1	1
	<u>271</u>									
$2^8 \rightarrow$	- 256									
	<u>15</u>									
$2^7 \rightarrow$	128									
	<u>15</u>									
$2^6 \rightarrow$	64									
	<u>15</u>									
$2^5 \rightarrow$	32									
	<u>15</u>									
$2^4 \rightarrow$	16									
	<u>15</u>									
$2^3 \rightarrow$	- 8									
	<u>7</u>									
$2^2 \rightarrow$	- 4									
	<u>3</u>									
$2^1 \rightarrow$	- 2									
	<u>1</u>									
$2^0 \rightarrow$	- 1									
	<u>0</u>									

2.2 Divisionsmetode

Når man starter på denne metode, skrives decimaltallet, og der tegnes en vertikal linie til højre for decimaltallet. Divider derefter decimaltallet med 2 og skriv "resten" (0 eller 1) til højre for linien.

Eksempel:

Første trin

29		1
14		

29 divideret med 2 er 14 - rest 1.

Fortsæt denne proces, indtil $1:2 = 0$ med rest 1.

Det binære tal, der svarer til decimaltallet, findes ved at læse de binære digits fra bunden og opad.

29		1 (LSB - least significant bit)
14		0
7		1
3		1
1		1 (MSB - most significant bit)
0		

$29_{10} = 11101_2$



2.3 Additionsmetode - konvertering fra binær til decimal

Decimalværdierne for 1'erne i
det binære tal adderes.

Eksempel:

$$\begin{array}{r}
 1011 \\
 \downarrow \quad \downarrow \quad \downarrow \\
 2 \\
 8 \\

 \end{array}
 \qquad
 \begin{array}{r}
 1 \\
 + 2 \\
 + 8 \\
 \hline
 11
 \end{array}$$

Denne metode er forholdsvis nem,
når det binære tal har få bits,
men vanskelig når det binære tal
er stort.

2.4 Omvendt divisionsmetode

Omsætningen fra binær til deci-
mal kan også udføres med den
omvendte divisionsmetode.

$$\begin{array}{cccccccccc}
 1 & & 1 & & 1 & & 0 & & 0 & & 1 & & 0 & & 0 & & 0 \\
 \downarrow & + & & + & & & & & & + & & & & & & & \\
 1 \cdot 2 = 2 & & & & & & & & & & & & & & & & \\
 & \bar{3} \cdot 2 = 6 & & & & & & & & & & & & & & & \\
 & & \bar{7} \cdot 2 = 14 & \cdot 2 = 28 & \cdot 2 = 56 & & & & & & & & & & & & \\
 & & & & & \underline{57} \rightarrow 114 \rightarrow 228 \rightarrow 456 & & & & & & & & & & &
 \end{array}$$

Den mest betydende bit ganges
med 2 og lægges sammen med
bit'en nærmest til højre.

Summen ganges med 2, som der-
efter lægges til bit'en nærmest
til højre.

Summen ganges med 2
osv.

Når LSB er behandlet, er værdi-
en i decimalsystemet fundet.

3. KONVERTERING AF BRØKER

Når man skriver en decimalbrøk, som f.eks. 0,45, mener man:

$$\frac{4}{10} + \frac{5}{100}$$

I det binære talsystem vil 0.111 betyde:

$$\frac{1}{2} + \frac{1}{4} + \frac{1}{8} = 0,875.$$

3.1 Multiplikationsmetode

Når en decimalbrøk skal konverteres til en binær brøk, bruges en multiplikationsmetode, "gange 2" metoden.

Metoden bygger på, at en decimalbrøk, der indeholder 0,5, bliver større end eller lig med 1, hvis den ganges med 2.

Ligeledes vil en decimalbrøk, der indeholder 0,25, blive større end eller lig med 1, hvis den 2 gange multipliceres med 2.

Decimalbrøken ganges med 2, hvis den indeholder 0,5, bliver facit større end lig med 1. Efter binærpunktet kan der skrives 1 i binærbrøken. Samtidig fratrækkes der 1 i facit, dette svarer til, at der bliver trukket 0,5 fra den oprindelige decimalbrøk.

Eksempel

$$\begin{array}{r} 0,75 \cdot 2 = 1,50 \\ -1 \\ \hline 0,50 \end{array}$$

Resten ganges igen med 2.

Hvis den oprindelige decimalbrøk indeholder 0,25, bliver facit større end lig med 1.

$$0,50 \cdot 2 = 1,00$$

Der kan skrives et 1-tal i 2. bit fra binærpunktet.

Fra facit trækkes der nu 1 fra

$$\begin{array}{r} 1,00 \\ -1,00 \\ \hline 0,00 \end{array}$$

Hvis resultatet er lig med 0, er konverteringen færdig.

$$0,75_{10} = 0,11_2$$

Hvis resultatet er større end 0, fortsættes konverteringen, til den ønskede nøjagtighed haves.

Eksempel:

$$0,875 \cdot 2 = 0,75 \cdot 2 = 0,5 \cdot 2 = 0,0$$

0,1 1 1



Eksempel:

Konverter 0,33 til binær brøk
med 5 bits

$$0,33 \cdot 2 = 0,66 \cdot 2 = 0,32 \cdot 2 = 0,64 \cdot 2 = 0,28 \cdot 2 = 0,56$$

0,0 1 0 1 0

Ovenstående kan sammenfattes i:

Decimalbrøken ganges med 2.

Hvis produktet er større end 1,
føres 1 ned som 1 i den binære
brøk.

Er produktet mindre end 1, føres
0 ned som 0 i den binære brøk.

Dette fortsættes, indtil man har
den nøjagtighed der ønskes, eller
til tallet er gået op.

3.2 Binær brøk til decimalsystem

Ved omsætning fra binær brøk til
decimalsystemet konverteres der
fra den binære brøk til ægte brøk.

Dette gøres ved at finde værdien
af LSB og anvende denne som
nævner i en ægte brøk.

Derefter findes den binære værdi
af tallet efter binærpunktet, den-
ne værdi anvendes som tæller i
brøken.

Eksempel :

$$0,111 + \text{LSB} = 1 \cdot 2^{-3} = 1/8$$

$$\text{Decimalværdi} = 7$$

$$0,111 = \frac{7}{8}.$$

4. TALLET 2 OPLØFTET I n'te

OG -n'te POTENS

2^n	n	2^{-n}
1	0	1.0
2	1	0.5
4	2	0.25
8	3	0.125
16	4	0.062 5
32	5	0.031 25
64	6	0.015 625
128	7	0.007 812 5
256	8	0.003 906 25
512	9	0.001 953 125
1 024	10	0.000 976 562 5
2 048	11	0.000 488 281 25
4 096	12	0.000 244 140 625
8 192	13	0.000 122 070 312 5
16 384	14	0.000 061 035 156 25
32 768	15	0.000 030 517 578 125
65 536	16	0.000 015 258 789 062 5
131 072	17	0.000 007 629 394 531 25
262 144	18	0.000 003 814 697 265 625
524 288	19	0.000 001 907 348 632 812 5
1 048 576	20	0.000 000 953 674 316 406 25
2 097 152	21	0.000 000 476 837 158 203 125
4 194 304	22	0.000 000 238 418 579 101 562 5
8 388 608	23	0.000 000 119 209 289 550 781 25
16 777 216	24	0.000 000 059 604 644 775 390 625
33 554 432	25	0.000 000 029 802 322 387 695 312 5
67 108 864	26	0.000 000 014 901 161 193 847 656 25
134 217 728	27	0.000 000 007 450 580 596 923 828 125
268 435 456	28	0.000 000 003 725 290 298 461 914 062 5
536 870 912	29	0.000 000 001 862 645 149 230 957 031 25
1 073 741 824	30	0.000 000 000 931 322 574 615 478 515 625
2 147 483 648	31	0.000 000000 465 661 287 307 739 257 812 5
4 294 967 296	32	0.000 000 000 232 830 643 653 869 628 906 25
8 589 934 592	33	0.000 000 000 116 415 321 826 934 814 453 125
17 179 869 184	34	0.000 000 000 058 207 660 913 467 407 226 562 5
34 359 738 368	35	0.000 000 000 029 103 830 456 733 703 613 281 25
68 719 476 736	36	0.000 000 000 014 551 915 228 366 851 806 640 625
137 438 953 472	37	0.000 000 000 007 275 957 614 183 425 903 320 312 5
274 877 906 944	38	0.000 000 000 003 637 978 807 091 712 951 660 156 25
549 755 813 888	39	0.000 000 000 001 818 989 403 545 856 475 830 078 125



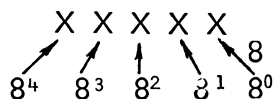
5. OCTALE TALSYSTEM

Octalsystemet er et talsystem, hvis grundtal er 8.

5.1 Den octale talrække

Octal	Decimal
0	0
1	1
2	2
3	3
4	4
5	5
6	6
7	7
10	8
11	9
12	10

Positionsverdierne i octalsystemet er:



Eksempel:

Værdien af 123_8 i talsystemet er:

$$\begin{aligned}
 &3 \cdot 8^0 = 3 \\
 &+ 2 \cdot 8^1 = 16 \\
 &+ 1 \cdot 8^2 = 64 \\
 &123_8 = 83_{10}
 \end{aligned}$$

5.2 Konvertering octal \leftrightarrow decimal

Der kan konverteres fra decimal-systemet til octalsystemet og modsat som i konvertering fra binær til decimal.

Eksempel:

1. Konverter 83_{10} til octalsystem ved hjælp af divisionsmetode

$$\begin{aligned}
 83 : 8 &= 10 \text{ rest } 3 \\
 10 : 8 &= 1 \text{ rest } 2 \\
 1 : 8 &= 0 \text{ rest } 1
 \end{aligned}$$

$$83_{10} = 123_8$$

2. Konverter 123_8 til decimal-system ved hjælp af multiplikationsmetode

$$\begin{aligned}
 &1 \quad 2 \quad 3 \\
 &\swarrow \\
 &1 \cdot 8 = 8 \\
 &\quad 10 \cdot 8 = 80 \\
 &\quad \quad 83
 \end{aligned}$$

$$123_8 = 83_{10}$$

5.3 Konvertering binært til octal

Det binære tal deles i grupper på 3 bits fra LSB. Værdien af hver gruppe aflæses.

Eksempel:

$$\begin{aligned}
 &1 \ 1 \ 1 \ 0 \ 0 \ 1 \ 1 \ 0 \ 1_2 \\
 &1 \ 1 \ 1 \ 0 \ 0 \ 1 \ 1 \ 0 \ 1 \\
 &7 \quad 1 \quad 5 \\
 &1 \ 1 \ 1 \ 0 \ 0 \ 1 \ 1 \ 0 \ 1_2 = 715_8
 \end{aligned}$$

5.4 Konvertering octal til binært

Hvert ciffer i octaltallet skrives i binært talsystem med 3 bits.

Eksempel:

$$\begin{aligned}
 &561_8 \\
 &\overbrace{101}^5 \ \overbrace{110}^6 \ \overbrace{001}^1 \\
 &561_8 = 101110001_2
 \end{aligned}$$

6. HEXADECIMALE TALSYSTEM

I det hexadecimale talsystem er grundtallet 16.

Dette betyder, at der skal anvendes 16 forskellige symboler til at repræsentere mængderne fra 0 til 15.

Mængderne fra 0 til 9 angives med samme symboler som i decimalsystemet. Mængderne fra 10 til 15 angives med alfabetets første bogstav, fra A til F.

6.1 Den hexadecimale talrække

Hexadecimal	Decimal
0	0
1	1
2	2
3	3
4	4
5	5
6	6
7	7
8	8
9	9
A	10
B	11
C	12
D	13
E	14
F	15
10	16
11	17
12	18

Positionsværdierne i det hexadecimale talsystem er:

$$\begin{array}{cccc}
 X & X & X & X \\
 \uparrow & \uparrow & \uparrow & \uparrow \\
 16^3 & 16^2 & 16^1 & 16^0
 \end{array}$$

Eksempel:

Værdien af $13F_{16}$ i talsystemet er:

$$\begin{aligned}
 F \cdot 16^0 &= 15 \\
 + 3 \cdot 16^1 &= 48 \\
 + 1 \cdot 16^2 &= 256 \\
 \hline
 13F_{16} &= 319_{10}
 \end{aligned}$$

6.2 Konvertering hexadecimal \leftrightarrow decimal

Der kan konverteres fra decimalsystemet til det hexadecimale system og modsat som i konvertering i binær \leftrightarrow decimal.

Eksempel:

1. Konverter 319_{10} til hexadecimalt ved hjælp af divisionsmetode

$$\begin{aligned}
 319 : 16 &= 19 \text{ rest } 15 = F \\
 19 : 16 &= 1 \text{ rest } 3 \\
 1 : 16 &= 0 \text{ rest } 1
 \end{aligned}$$

$$319_{10} = 13F_{16}$$

2. Konverter FFF_{16} til decimalsystemet ved hjælp af multiplikationsmetode

$$\begin{array}{r}
 F \quad \quad F \quad \quad F \\
 \quad \quad + \\
 F \cdot 16 = 240 \\
 \hline
 255 \cdot 16 = 4080 \\
 \hline
 4095
 \end{array}$$

$$FFF_{16} = 4095_{10}$$

6.3 Konvertering binært til hexadecimale

Det binære tal deles i grupper på 4 bits fra LSB. Værdien af hver gruppe aflæses.

Eksempel:

$$\begin{array}{cccccccc}
 1 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 1 & 1_2 \\
 1 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 1 & 1 \\
 3 & \quad C & \quad F & & & & & & &
 \end{array}$$

$$1111001111_2 = 3CF_{16}$$

6.4 Konvertering hexadecimal til binært

Hvert ciffer i octaltallet skrives i det binære talsystem med 4 bits.

Eksempel:

$$\begin{array}{ccc}
 1 & 7 & 17 \\
 \underbrace{\quad} & \underbrace{\quad} & \underbrace{\quad} \\
 0001 & 0111 & 1010 \\
 17A_{16} & = & 101111010_2
 \end{array}$$



DISPOSITION

1. Binær addition
2. Binær subtraktion
3. Negative binære tal
4. Komplementsystemer
5. Binær multiplikation og division
6. BCD-addition og -subtraktion

1. BINÆR ADDITION

1.1 Regneregler

De grundlæggende regler for addition af binære tal er de samme som for alle andre systemer. Da hver bit i et binært tal repræsenterer en potens af 2, vil der fremkomme en mente, carry, hvis summen af de to tal er større end eller lig med 2. Dette sætter os i stand til at formulere meget enkle regler i binær addition.

1.2 Additionstabel

$$0 + 0 = 0$$

$$0 + 1 = 1$$

$$1 + 0 = 1$$

$$1 + 1 = 0, \text{ carry } 1 \text{ til næste højere bit.}$$

1.3 Eksempel

32'ere	16'ere	8'ere	4'ere	2'ere	1'ere	
1	0	1	1	0	1	→ 45
		1	0	1	0	→ 10
1	1	0	1	1	1	→ 55

$$101101 \rightarrow 45$$

$$1100 \rightarrow 12$$

$$111001 \rightarrow 57$$



2. BINÆR SUBTRAKTION

2.1 Regneregler

Ved binær subtraktion er reglerne også meget simple, vi må dog huske på, at når vi subtraherer i titalsystemet og trækker et større tal fra et mindre, må vi låne i næste mere betydende række.

2.2 Subtraktionstabel:

$0 - 0 = 0$
 $0 - 1 = 1$ (og 1 til låns, borrow)
 $1 - 0 = 1$
 $1 - 1 = 0$

2.3 Eksempler

7 - 5 i binær er $111 - 101$

$$\begin{array}{r} 111 \\ - 101 \\ \hline 10 \end{array} = 2$$

6 - 3 i binær er $110 - 11$

$$\begin{array}{r} 1010 \\ - 11 \\ \hline 11 \end{array} = 3$$

3. NEGATIVE BINÆRE TAL

Normalt når vi skriver, f.eks. 27, antager vi automatisk, at det er et positivt tal, hvis vi ved, at det er negativt, så skriver vi -27. En digital computer skal også vide, om et tal er positivt eller negativt, men den har kun 2 symboler nemlig 0 og 1, som vi kan bruge. Derfor tilføjer man en ekstra digit, sign bit, foran det binære tal for at indikere fortegnet.

0 foran betyder, at tallet er positivt.

1 foran betyder, at tallet er negativt.

Der findes tre systemer til at angive negative tal:

Signed magnitude

1's komplement

2's komplement

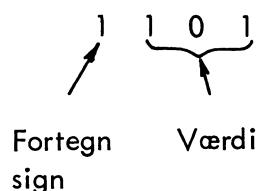
Alle tre systemer har deres fordele og ulemper og anvendes alle i computere.

3.1 Signed magnitude

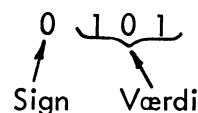
Signed betyder (for)tegn og magnitude betyder størrelse eller absolut værdi.

Begrebet dækker opbygningen af det negative tal, idet den første bit angiver fortegnet, og resten af bit'ene angiver størrelsen af tallet.

I dette system vil -5 blive skrevet som



+5 skrives



Det ses, at værdi-angivelsen er ens ved positive tal og negative tal i signed magnitude, og at sign bit'en viser, om tallet er positivt eller negativt.



3.2 1's komplement

I 1's komplement skrives positive værdier som i signed magnitude.

Ved negative værdier er alle bits i værdiangivelsen inverterede i forhold til signed magnitude systemet, sign bit'en er "1" som i signed magnitude.

Eksempel:

-9

1	1	0	0	1	(signed magnitude)
1	0	1	1	0	(1's kom- plement)
Sign	Værdi				

Ved addition af to positive værdier i 1's komplement gennemføres additionen som en almindelig binær addition.

Eksempel:

$$\begin{array}{r} 7 \quad 0 \ 0 \ 1 \ 1 \ 1 \\ + 5 \quad 0 \ 0 \ 1 \ 0 \ 1 \\ \hline 12 \quad 0 \ 1 \ 1 \ 0 \ 0 \end{array}$$

Ved subtraktion af to positive værdier ændres regneoperationen til addition, samtidig med at subtrahendens fortegn ændres.

Eksempel:

Regneoperation

7 - (+5) = 7 + (-5)

Fortegn

Sign bit

$$\begin{array}{r} +7 \quad 0 \ 1 \ 1 \ 1 \leftarrow +7 \\ + -5 \quad 1 \ 0 \ 1 \ 0 \leftarrow -5 \\ \hline 2 \quad 0 \ 0 \ 0 \ 1 \\ \text{EAC} \quad 1 \\ \hline 0 \ 0 \ 1 \ 0 \leftarrow +2 \end{array}$$

Bemærk, at alle bits i +7 og -5 adderes også sign bit'en. En eventuel carry fra additionen af MSB sign bit'en skal adderes LSB i summen, dette kaldes "endaround carry", EAC. Den endelige sum viser, at sign bit = 0 og værdien 010, altså resultatet er +2.

En subtraktion mellem to positive værdier kan også give en negativ værdi.

Eksempel:

$$5 - (+7) = -2$$

Når subtraktionen udføres i 1's komplement, ændres regneoperationen til addition, og subtrahendens fortegn ændres.

$$5 - (+7) = 5 + (-7) = -2$$

$$\begin{array}{r} +5 \quad 0 \ 1 \ 0 \ 1 \leftarrow +5 \\ + -7 \quad 1 \ 0 \ 0 \ 0 \leftarrow -7 \\ \hline -2 \quad 1 \ 1 \ 0 \ 1 \leftarrow -2 \end{array}$$

Hvis summen 1101 ønskes opgivet i signed magnitude, skal alle bits i værdien inverteres, og sign bit'en bibeholdes.

$$1101 \rightarrow 1010$$

$$1010 = -2$$

En addition af to negative tal udføres som en normal binær addition, blot skal man huske, at sign bits også skal adderes.

Eksempel:

$$(-7) + (-5) = -12$$

$$\begin{array}{r} -7 \quad 1 \ 1 \ 0 \ 0 \ 0 \leftarrow -7 \\ + -5 \quad 1 \ 1 \ 0 \ 1 \ 0 \leftarrow -5 \\ \hline -12 \quad 1 \ 0 \ 0 \ 1 \ 0 \\ \hline 1 \ 0 \ 0 \ 1 \ 1 \leftarrow -12 \end{array}$$

Hvis summen 10011 ønskes opgivet i signed magnitude, skal alle bits i værdien inverteres.

$$10011 \rightarrow 11100$$

$$11100 = -12$$



3.3 2's komplement

Det er let men langsomt, på grund af det ekstra step, EAC, for en computer at anvende 1' komplementsystem.

Et 2' komplementsystem anvendes ofte på grund af den større regnehastighed. Der skal også her anvendes sign bit.

Negative tal bliver konverteret til 2' komplementværdien ved at subtrahere tallets positive værdi fra 2^{N+1} , hvor N er antallet af bit i det største tal, der arbejdes med.

Er det største antal bit 3, skal tallet subtraheres fra $2^{3+1} = 2^4 = 10000$. Hvis der anvendes 5 bitnumre, skal tallet subtraheres fra $2^6 = 100000$.

-5 konverteres til 2' komplementværdi ved at subtrahere 0101 fra $2^4 = 10000$

$$\begin{array}{r} 10000 \\ 0101 \\ \hline 1011 \\ \checkmark \end{array}$$

Sign bit

1011 er 2' komplementen til -5.

En anden metode til at finde 2' komplementen på er at finde 1' komplement og dertil addere 1.

Signed magnitude -5 1101

1's komplement til -5 1010

$$\begin{array}{r} +1 \quad 1 \\ \hline 1011 \end{array}$$

1011 er 2' komplementen til -5.

Positive værdier er ens i signed magnitude og 2's komplement.

En addition af to positive værdier foregår derfor som almindelig binær addition.

Subtraktion af to positive værdier udføres ved, at regneoperationen ændres til addition, samtidig med at subtrahendens fortegn ændres.

Eksempel :

$$7 - (+5) = 2$$

$$7 - (+5) = 7 + (-5)$$

Den negative værdi, -5, findes til

$$\begin{array}{l} -5 \rightarrow 1101 \text{ Signed magnitude} \\ -5 \rightarrow 1010 \text{ 1's komplement} \\ \quad \quad \quad +1 \\ -5 \rightarrow 1011 \text{ 2's komplement} \end{array}$$

$$\begin{array}{r} 1011 \leftarrow +7 \\ +1011 \leftarrow -5 \\ \hline 0010 \leftarrow +2 \end{array}$$

Carry bortkastes

Bemærk, at værdierne og sign bits adderes, en eventuel carry fra additionen af sign bits bortkastes.

Subtraktion af to positive værdier kan også give et negativt resultat.

Eksempel :

$$(+5) - (+7) = -2$$

Regneoperationen ændres til addition, og subtrahendens fortegn ændres.

$$(+5) - (+7) = (+5) + (-7)$$

Den negative værdi -7 findes til :

$$\begin{array}{l} -7 \rightarrow 1111 \text{ Signed magnitude} \\ -7 \rightarrow 1000 \text{ 1' komplement} \\ \quad \quad \quad +1 \\ -7 \rightarrow 1001 \text{ 2' komplement} \end{array}$$

$$\begin{array}{r} 0101 \leftarrow +5 \\ +1001 \leftarrow -7 \\ \hline 1110 \leftarrow -2 \end{array}$$



Hvis resultatet ønskes opgivet i signed magnitude, komplementeres værdien i 2's komplementen.

$$\begin{array}{r} -2 \rightarrow 1110 \text{ 2's komplement} \\ 1001 \end{array}$$

$$\begin{array}{r} +1 \\ -2 \rightarrow 1010 \text{ Signed magnitude} \end{array}$$

Ved addition af to negative tal i 2's komplement adderes de to komplementtal.

Eksempel:

$$(-5) + (-7) = -12$$

2's komplement til -5 og -7 findes til

$$-5 \rightarrow 10101 \text{ Signed magnitude}$$

$$-5 \rightarrow 11010 \text{ 1's komplement}$$

$$\begin{array}{r} +1 \\ -5 \rightarrow 11011 \text{ 2's komplement} \end{array}$$

$$-7 \rightarrow 10111 \text{ Signed magnitude}$$

$$-7 \rightarrow 11000 \text{ 1's komplement}$$

$$\begin{array}{r} +1 \\ -7 \rightarrow 11001 \text{ 2's komplement} \end{array}$$

$$\begin{array}{r} \textcircled{1} 11011 \leftarrow -5 \\ + 11001 \leftarrow -7 \\ \hline 10100 \leftarrow -12 \end{array}$$

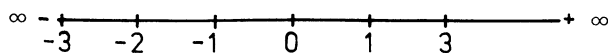
Hvis resultatet ønskes opgivet i signed magnitude, komplementeres værdien i 2's komplement

$$\begin{array}{r} -12 \rightarrow 10100 \text{ 2's komplement} \\ 11011 \end{array}$$

$$\begin{array}{r} +1 \\ -12 \rightarrow 11100 \text{ Signed magnitude} \end{array}$$

3.4 Sammenligning mellem signed magnitude og komplementsystemer

I det almindelige ti-talsystem kan alle tal vises på en tallinie.



Tallene er beliggende på en ret linie, de positive går imod $+\infty$ og de negative mod $-\infty$. Dette betyder, at de to dele af tallinien aldrig når sammen.

I en computer kan der kun behandles tal af en endelig størrelse. Dette betyder, at tallinien får et andet udseende.

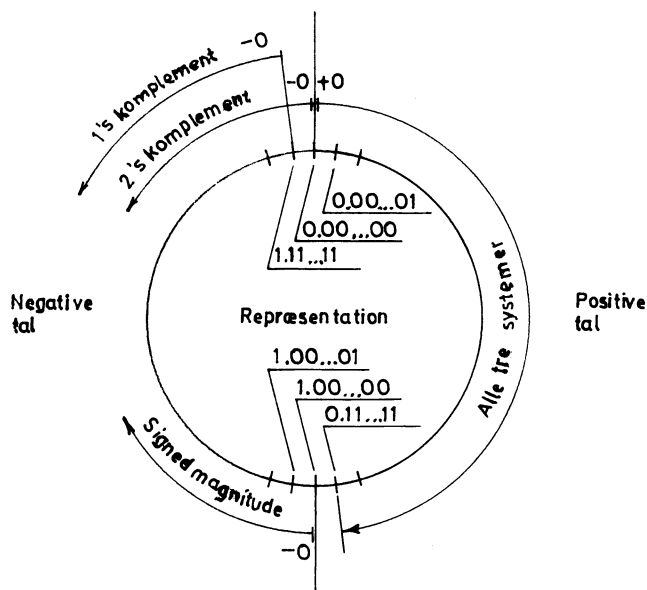
Eksempel:

Hvis +1 adderes til det største positive tal, der kan behandles i maskinen, fås:

$$\begin{array}{r} + 0.11\dots11 \\ + 0.00\dots01 \\ \hline 1.00\dots00 \end{array}$$

1.00...00 i signed magnitude er lig med -0, samtidig er 1.00...00 det største negative tal i komplementsystemerne.

De to komplementsystemer og signed magnitudesystemet kan vises på en cirkel.



På cirklen er de tre systemer afsat forskelligt.

Positive tal er afsat ens.

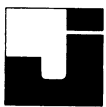
For negative tal er nulpunktet og "vokse"-retningen forskellig.



Læg mærke til, at signed magnitude har to nulpunkter et $+0 = 0.00.00$ og et $-0 = 1.00..00$.

1's komplement har også et $+0$ og et -0 ved henholdsvis $0.00..00$ og $1.11..00$.

2's komplement har kun et nulpunkt, $0.00.00$.



På cirklen ses sammenhængen mellem de negative værdier.

Hvis man har værdien 1.0011 = -12 i 1's komplement og ønsker værdien konverteret til signed magnitude, komplementeres værdien 1.0011 → 1.1100.

1.1100 = -12 i signed magnitude.

Hvis man vil konvertere en 2's komplement værdi til signed magnitude, kan det gøres på to måder.

Eksempel :

Konverter 1.1010 = -6 i 2' komplement til signed magnitude.

Metode 1

1.1010 2' komplement
1.0101 inverter 2' komplement
+1 add. 1
1.0110

1.0110 = -6 i signed magnitude

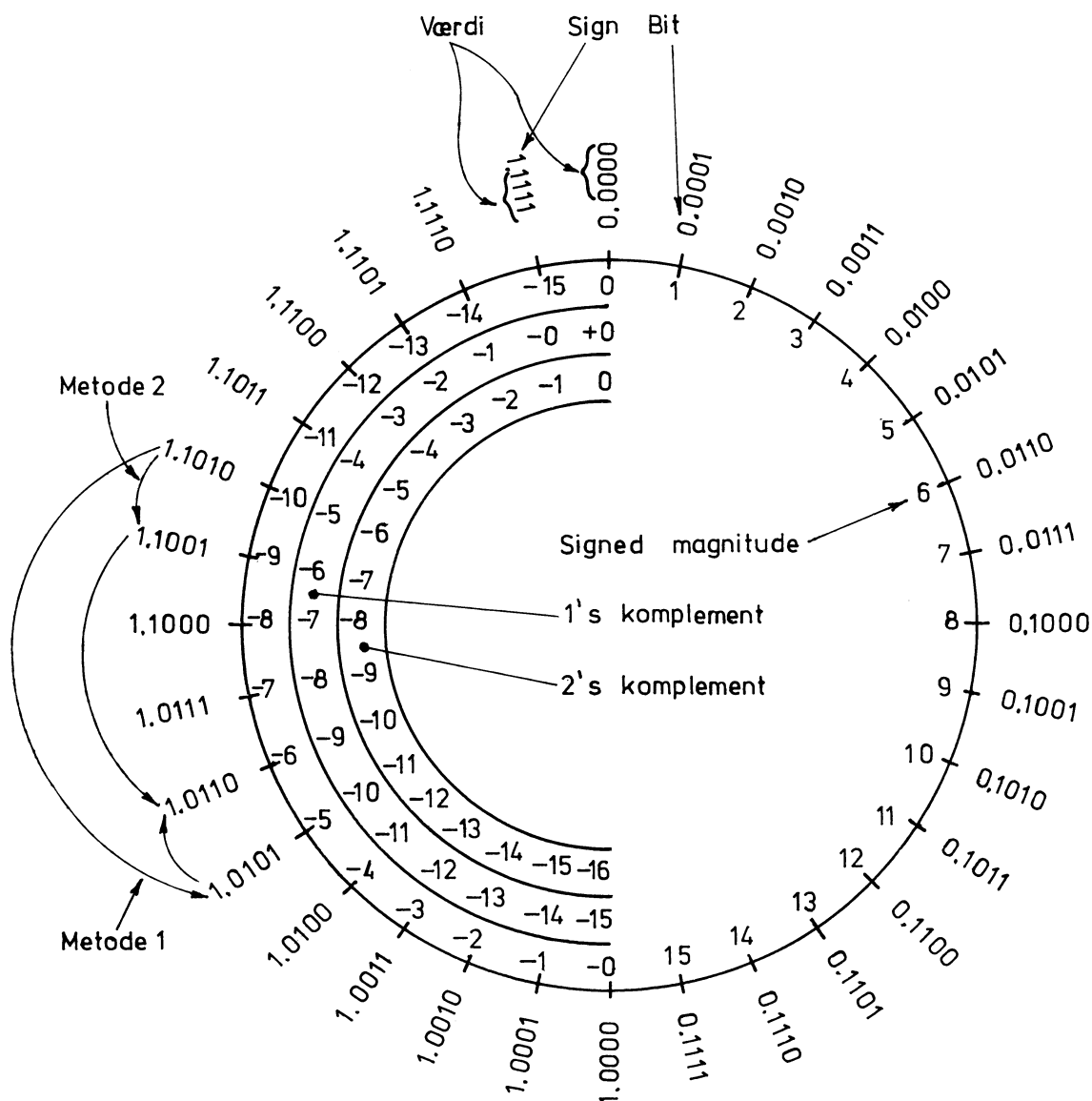
Metode 2

1.1010 2' komplement
-1 subtraher 1
1.1001 differens

1.0110 inverter differens

1.0110 = -6 i signed magnitude

De to metoder er afbildet på nedenstående cirkel.







Eksempel: $16_{10} = 10000_2$.

For at give korrekt BCD skal $6_{10} = 0110_2$ adderes

$$\begin{array}{r} 10000 \\ 0110 \\ \hline 10110 \end{array}$$

Mente

25 + 17 udregnes således

$$\begin{array}{r} 0010 \\ 0001 \\ \hline 0100 \\ \vdots \\ 0100 \end{array} \quad \begin{array}{r} 0101 \\ 0111 \\ \hline 1100 \\ 0110 \\ \hline 0010 \end{array}$$

4 2

Ukorrekt BCD

6.2 BCD-subtraktion

BCD-subtraktion kan foregå ved hjælp af 9' komplement eller 1's komplementsystemet.

9' komplementsystemet er opbygget, så det direkte kan anvendes i decimaltalsystemet.

92 - 42 regnes således:

9' komplement til 4 og 2 findes
5 er 9' komplement til 4 og
7 er 9' komplement til 2,

derefter adderes 57 til 92

$$\begin{array}{r} 92 \\ 57 \\ \hline 149 \\ 1 \\ \hline 50 \end{array}$$

9' komplementsystemet i decimaltalsystemet svarer til 1' komplement i det binære talsystem, og derfor skal der også foretages et EAC-trin.

Dersom der ikke er mente på mest betydende ciffer, er summen 9' komplementen til resultatet, der er negativt.

Eksempel: 53 - 97

9' komplement til 97 er 02.

Summen af 53 og 02 findes

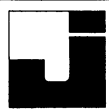
$$\begin{array}{r} 53 \\ 02 \\ \hline 55 \end{array}$$

Da der ingen EAC er, bliver resultatet negativt og lig med 9' komplement til summen.

Resultatet bliver -44.

I det digitale kredsløb skal der anvendes en dekoder til at finde 9' komplementen. Sandhedstabelen for dekoderen ser således ud:

	Sand værdi	9' komplement	
0	0000	1001	9
1	0001	1000	8
2	0010	0111	7
3	0011	0110	6
4	0100	0101	5
5	0101	0100	4
6	0110	0011	3
7	0111	0010	2
8	1000	0001	1
9	1001	0000	0



45 - 23 udregnet i BCD 9' komplementssystemet vil se således ud:

45	0100	0101
9' komplement til 23	0111	0110
Sum	1100	1011
Korrektion > 9	0110	0110
EAC	①0010	①0001
		1
	0010	0010
Resultat	2	2

23 -45 vil se således ud:

23	0010	0011
9' komplement til 45	0101	0100
Sum	0111	0111

Ingen EAC

Resultatet er negativt

og 9' komplement til sum 0010 0010

Resultat - 2 2



DISPOSITION

1. Vægtede koder
2. Uvægtede koder

1. VÆGTEDE KODER

1.1 Binær kode

Den binære kode er en direkte oversættelse af det decimale tal til binært tal, så f.eks. 23 oversættes til 10111. Det er den mest almindelige kode i digitale systemer, fordi den er systematisk og nem at oversætte.

Med en binær kode på n -bit, forkortelse for binary information, kan 2^n kombinationer repræsenteres. Det kan vises ved at opstille en kombinationstabel eller sandhedstabel.

For en 3-bitkode ser tabellen således ud:

Decimal	Binær
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

Det ses, at 3-bitkoden repræsenterer $2^3 = 8$ kombinationer.

Den binære kode er vægtet på den måde, at mindst betydende bit, LSB, har værdien $2^0 = 1$, næste bit har værdien $2^1 = 2$, næste bit $2^2 = 4$ osv., således at de første 8 bit for værdierne128 64 32 16 8 4 2 1

1.2 BCD-koder

Efter den binære kode er BCD-koden, BCD = Binary Code Decimal code, den mest almindelige kode. Behovet for en kode for hvert af de 10 decimale cifre, 0 til 9, opstår ofte, og den mest populære er den almindelige binære oversættelse af det decimale ciffer, som vist herunder.

Decimal	NBCD 8-4-2-1
0	0 0 0 0
1	0 0 0 1
2	0 0 1 0
3	0 0 1 1
4	0 1 0 0
5	0 1 0 1
6	0 1 1 0
7	0 1 1 1
8	1 0 0 0
9	1 0 0 1
	1 0 1 0
	1 0 1 1
	1 1 0 0
	1 1 0 1
	1 1 1 0
	1 1 1 1

Fordi 10 cifre er involveret, må antallet af binære bit være stort nok til at give mindst 10 forskellige kombinationer af de binære tegn.

Da $2^3 = 8$ og $2^4 = 16$, ses det altså, at 4 bit er nødvendige. NBCD-koden benytter sig af de første 10 kombinationer af de 16 mulige.

Der findes 17 forskellige vægtede BCD-koder, hvoraf 2421-koden nok er den almindeligste ud over NBCD.

De 17 koder er vægtet således:

2421	4321	5221	5421	6321	7421
3321	4421	5311	6221	6421	8421
4321	5211	5321	6311	7321	

Koden for forskellige vægtede BCD-koder vises her.

	8421	2421	5421	5311
0	0000	0000	0000	0000
1	0001	0001	0001	0001
2	0010	0010	0010	0011
3	0011	0011	0011	0100
4	0100	0100	0100	0101
5	0101	1011	1000	1000
6	0110	1100	1001	1001
7	0111	1101	1010	1011
8	1000	1110	1011	1100
9	1001	1111	1100	1101

1.3 Fejldetekterende kode

Nogle koder er opbygget på en sådan måde, at man med et detektorkredsløb kan konstatere, om der er sket en fejl i informationen i form af et ekstra bit.

Som eksempel på disse koder kan nævnes Bi-quinary-koden, hvor værdierne for bit'en er:

50 43210

Koden er opbygget på den måde, at der hele tiden skal være to bit, der er 1, medens resten skal være 0.

	50	43210
0	01	00001
1	01	00010
2	01	00100
3	01	01000
4	01	10000
5	10	00001
6	10	00010
7	10	00100
8	10	01000
9	10	10000

En anden kode, der både er fejl-detekterende og fejlkorrigerende, er Hamming-koden.

Ud over de vægtede bit er der tre parity bit, hvormed man kan finde den bit, der har forkert værdi.

Koden ser således ud:

	7	6	5	4	3	2	1	Pos. nr.
	X_7	X_6	X_5	P_4	X_3	P_2	P_1	
0	0	0	0	0	0	0	0	
1	1	1	0	0	1	0	1	
2	0	1	0	0	1	0	1	
3	1	1	0	0	0	0	1	
4	0	0	1	1	0	0	1	
5	1	0	1	0	0	1	0	
6	0	1	1	0	0	1	1	
7	1	1	1	1	0	0	0	
8	0	0	0	0	1	1	1	
9	1	0	0	1	1	0	0	

P_1 , P_2 og P_4 er patity bit, der anvendes til at finde, hvor en eventuel fejlbit er opstået.

De vægtede bit er X_7 , X_6 , X_5 og X_3 .

Værdierne er $X_7 = 1$
 $X_6 = 2$
 $X_5 = 4$
 $X_3 = 8$

For at konstatere, om der er fejl i koden, foretages tre paritets-check for ulige paritet, dvs. ved ulige antal bits angiver checken et 1, ved lige antal angiver checken et 0.

Check 1 P_1 , X_3 , X_5 , X_7

Check 2 P_2 , X_3 , X_6 , X_7

Check 3 P_4 , X_5 , X_6 , X_7

Ved at stille checkresultaterne efter hinanden i følgende rækkefølge får man direkte den binære værdi for det positionsnummer, hvor bit'et skal inverteres, for at koden er korrekt.



Eksempel : 0111011

Check 1: P_1, X_3, X_5, X_7 1010 0Check 2: P_2, X_3, X_6, X_7 1010 0Check 3: P_4, X_5, X_6, X_7 1110 1

Dette indikerer, at der er fejl i bit nr. 100 (4), hvilket vil sige, at den korrekte kode ser således ud:

0110011,

hvilket er koden for 6.

2. UVÆGTEDE KODER

2.1 XS-3 (Excess 3)

Excess 3-koden er en BCD-kode, der er uvægtet. Koden har specielle fordele, når der skal dannes 9' komplement til tallet.

Koden er opbygget på den måde, at der er lagt 3 til decimaltallet, hvorefter det er konverteret til binær værdi.

Eksempel : 3 bliver $3 + 3 \rightarrow 0110$, der angiver 3 i XS-3-koden.

Hele koden ser således ud:

0	0011
1	0100
2	0101
3	0110
4	0111
5	1000
6	1001
7	1010
8	1011
9	1100

Ser man på koden, ses det, at 9' komplementen dannes ved blot at invertere bit'ene.

2.2 Gray-koden

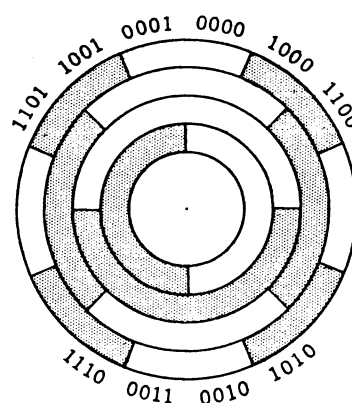
En kode, der anvendes meget inden for mekanisk-elektroniske målinger, er gray-koden.

Koden har den fordel, at kun et bit ad gangen kan ændre værdi.

Gray-koden ser således ud:

0	0000
1	0001
2	0011
3	0010
4	0110
5	0111
6	0101
7	0100
8	1100
9	1101
10	1111
11	1110
12	1010
13	1011
14	1001
15	1000

Gray-koden kan anvendes til at angive positionen af en aksel ved hjælp af en skive kodet i gray-kode.



De mørke områder på skiven repræsenterer logisk "1", de lyse logisk "0".

Skiven kan aftastes med lys eller med børster, i det sidste tilfælde er de mørke områder fremstillet i et ledende materiale.

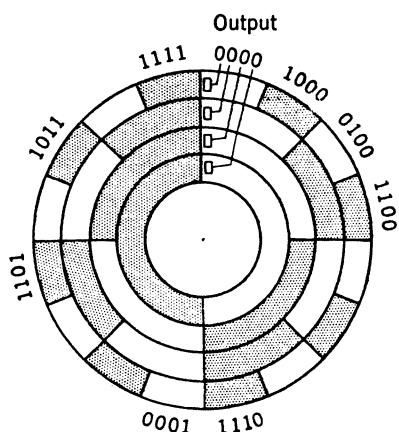
En gray-kodet skive har en fordel frem for en binær kodet skive, idet kun en bit skifter ad gangen.



Uanset, hvor præcist aftastnings-systemet er justeret, vil der være små skævheder.

Ved overgangen fra f.eks. 6 til 7 i gray-koden vil der kun være mulighed for at udlæse 0101 = 6 eller 0100 = 7.

Ved en skive kodet i binær-kode er der mulighed for at udlæse falske koder.



Ved overgangen fra f.eks. 3 til 4 i binær-koden kan der udlæses: 0000, 0011, 0100 og 0111 afhængig af, hvordan aftastnings-systemet er justeret.

Koden 0000 og 0111 er falske koder, idet de angiver, at skiven har en anden position end den reelle.



DISPOSITION

1. Logik
2. Logiske enheder

1. LOGIK

1.1 Logiske begreber

Når man i almindelighed hører udtrykkene logik eller logisk, forbinder man dermed begrebet om, at det er naturligt, at et vist resultat er opnået ud fra visse forudgående betingelser eller hændelser.

Det er sådanne betingelser og hændelsesforløb, man inden for teknikken søger at systematisere i diagrammer og kredsløb, hvor man ved hjælp af symboler angiver, hvilke betingelser der skal være til stede for opnåelse af det ønskede resultat.

Udtrykt på anden måde kan man sige, at man stiller spørgsmål om forskellige betingelser og skal derved få et svar tilbage, som enten skal være "JA" eller "NEJ".

Sådanne svar kan i teknikken fås på flere forskellige måder, såvel inden for elektronik og elektroteknik, som inden for pneumatik og hydraulik.

Inden for elektronik og elektroteknik omsættes disse "JA"- eller "NEJ"-svar til spændinger, der som regel er spændinger af en forud fastlagt størrelse.

Svaret (signalet) "JA" er fuld spænding, der almindeligvis betegnes 1, medens "NEJ" er ingen spænding eller en lav spænding, som betegnes 0.

1.2 Gate

De logiske enheder, der skal behandle de spørgsmål og betingelser, der stilles, kan opdeles i 3 grundenheder:

AND - GATE
OR - GATE
NOT - GATE (Inverter)

Ud fra disse 3 grundenheder kan der sammensættes andre enheder:

NAND-gate
(NAND = NOT AND,
dansk: OG-IKKE)

NOR-gate = NOT OR,
dansk: ELLER-IKKE).

Endvidere kan der i den logiske teknik være brug for hukommelse-enheder, dvs. enheder, der husker en information, selv om denne er kortvarig, samt tids-enheder der kun beholder eller forsinker en information i en forudbestemt tid og enheder, der afgiver informationer i bestemte tidsintervaller.

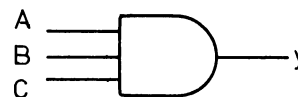
Til konstruktion og analyse af logiske kredsløb benytter man ofte en særlig regningsart, der betegnes Booles Algebra.

2. LOGISKE ENHEDER

2.1 AND -gate

Når en funktion skal finde sted, kræves det ofte, at flere betingelser skal være opfyldt samtidig.

Symbolet for en AND-gate er:



Betydningen af dette symbol er, at betingelserne A AND B AND C skal svare "ja" (1-signal) på samme tid, for at udgangen Y kan give svaret "ja" (1-signal).



Sagt på en anden måde, hvis blot en af indgangsbetingelserne ikke er til stede, skal udgangen Y svare "nej" (0-signal).

Dette kan opstilles i en sandhedstabel eller et kombinationsskema, hvor man kan overskue samtlige muligheder for kombinationer af indgangsbetingelserne.

C	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Den viste sandhedstabel gælder for en 3-input AND-gate.

Hvis det samme skal udtrykkes i Booles Algebra, skrives:

$$A \cdot B \cdot C = Y$$

der læses:

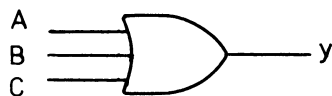
A AND B AND C

En AND-gate har altid to eller flere indgange.

2.2 OR-gate

Når flere betingelser hver for sig skal udløse en funktion, benyttes der en OR-gate.

Symbolet for en OR-gate er:



Betydningen af dette symbol er, at når blot en eller flere af indgangene er "ja" (1-signal), så svarer udgangen Y "ja" (1-signal).

Kun når ingen af indgangsbetingelserne er til stede, svarer udgangen Y "nej" (0-signal).

Sandhedstabellen for en OR-gate ser således ud:

C	B	A	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Det samme kan udtrykkes ved Booles Algebra, der skrives:

$$A + B + C = Y,$$

som læses:

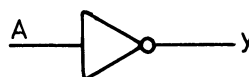
A OR B OR C

En OR-gate har altid to eller flere indgange.

2.3 Inverter

Såfremt der skal anvendes en betingelse, som er det modsatte af den, der er til rådighed, anvendes en inverter.

Symbolet for en inverter er:



Dette er i logikken let at udføre, da de svar, man kan forvente, kun er "ja" (1-signal) eller "nej" (0-signal).



Sandhedstabellen for en INV er:

A	Y
0	1
1	0

Det booleske udtryk for en INV er:

$$\bar{A} = Y,$$

der læses:

A negeret, A inverteret eller not A.

På en inverter findes der kun én indgang.

2.4 NAND-gate

En AND-gate efterfulgt af en INV kaldes en NAND-gate, der er forkortelsen af NOT AND.

Symbolet for en NAND-gate ser således ud:



En NAND-gate svarer "nej" (0-signal), når AND funktionen er opfyldt.

Det betyder, at alle indgange skal svare "ja" (1-signal) samtidig, for at udgangen svarer "nej" (0-signal).

Sandhedstabellen for en NAND-gate ser således ud:

C	B	A	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Det samme udtrykt i Booles Algebra skrives:

$$\overline{A \cdot B \cdot C} = Y$$

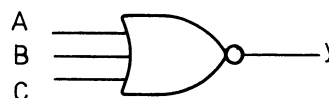
der læses:

A AND B AND C negeret.

2.5 NOR-gate

En OR-gate efterfulgt af en INV kaldes en NOR-gate, der er forkortelsen af NOT OR.

Symbolet for en NOR-gate er:



Dette symbol siger "nej" (0-signal), når blot en eller flere indgange svarer "ja" (1-signal) samtidig.

Sandhedstabellen for en NOR-gate er:

C	B	A	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Det samme udtrykt i Booles Algebra skrives:

$$\overline{A + B + C} = Y,$$

der læses:

A OR B OR C negeret.



DISPOSITION

1. Logikformer

1. LOGIKFORMER

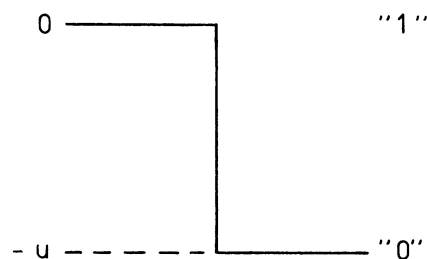
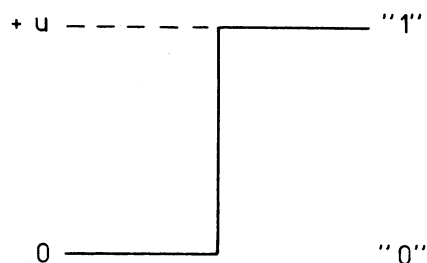
1.1 Gate-symboler

Gate-symboler fortæller intet om, hvilke spændinger der skal påtrykkes indgangene for at få opfyldt en funktion.

1.2 Positiv logik

I positiv logik er den mest positive spænding logisk "1" og den mest negative spænding logisk "0".

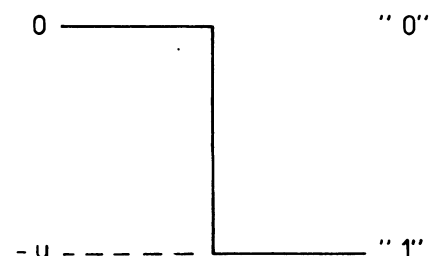
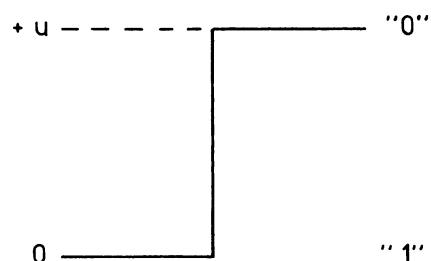
Spænding Logisk værdi



1.3 Negativ logik

I negativ logik er den mest negative spænding logisk "1", og den mest positive spænding er logisk "0".

Spænding Logisk værdi



1.4 Elektrisk kredsløb

Det elektriske kredsløb kender intet til den logiske værdi, men reagerer kun på spændinger.

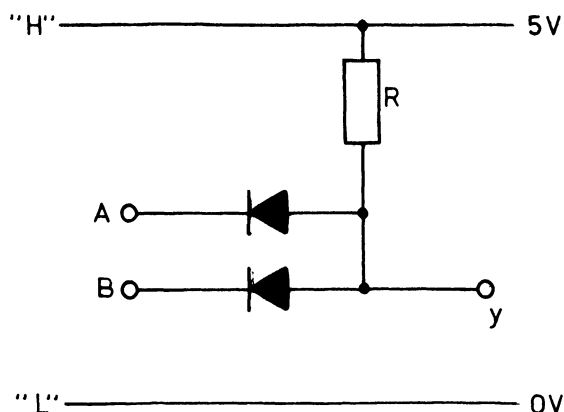
Kredsløbets logiske funktion afhænger derfor af, hvilken logikform der vælges.

Til analyse af et elektrisk kredsløb kan en niveautabel anvendes; den ligner en sandhedstabel i opbygningen, men fortæller kun om spændingsniveauer og ikke om logiske værdier.

Ved kendskab til logikformen kan tabellen ændres til en sandhedstabel.



I niveautabellen anvendes "H" for den mest positive spænding og "L" for den mest negative spænding.



Det viste kredsløb har følgende niveautabel:

B	A	Y
L	L	L
L	H	L
H	L	L
H	H	H

I positiv logik bliver sandhedstabelen således:

"L" svarer til "0"
"H" svarer til "1"

B	A	Y
0	0	0
0	1	0
1	0	0
1	1	1

Som det ses, virker det viste kredsløb som en AND-gate i positiv logik.

I negativ logik bliver sandhedstabelen således:

"L" svarer til "1"

"H" svarer til "0"

B	A	Y
1	1	1
1	0	1
0	1	1
0	0	0

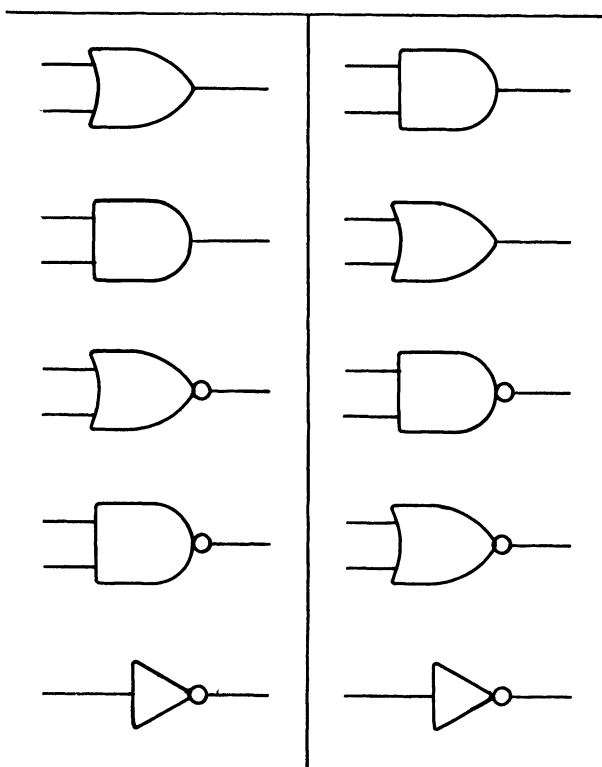
Dvs. det samme kredsløb virker som OR-gate i negativ logik.

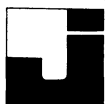
Ethvert logisk kredsløb kan både anvendes til positiv og til negativ logik.

Tabellen viser, hvilken logisk funktion et kredsløb har i henholdsvis positiv og negativ logik.

Positiv logik

Negativ logik





DISPOSITION

1. Boole's algebra
2. Booleske love
3. De Morgans love
4. Sandhedstabel
5. Impulsplan
6. Normalform
7. Karnaughkort
8. Quine-Mc Cluskey's reduktionsmetode
9. Boolesk udtryk på kredsløb

1. BOOLE'S ALGEBRA

Den booleske algebra har fået navn efter George Boole, som introducerede algebraen i 1847. Imidlertid stammer anvendelserne af binære funktioner fra 1938, efter at Shannon havde vist nytten af algebraen.

Den booleske algebra bygger på, at de variable kun kan antage to tilstande eller to værdier. Derfor er boolesk algebra velegnet til at beskrive digitale kredsløb, som arbejder i den ene eller den anden af de to tilstande.

Ved hjælp af den booleske algebra er det muligt at beskrive logiske kredsløb helt entydigt og ved hjælp af algebraens regneregler, eventuelt foretage en reduktion, og derved opnå et simpere kredsløb.

1.1 Regnetegn

Som nævnt i afsnittet om gates indgår der nogle regnetegn i boolesk algebra, disse er:

- + betegner OR, eller
- betegner AND, og
- = lighedstegn

Ud over disse findes der et inversionstegn, som markeres ved en streg over det, der skal invertteres, og det betegnes ved NOT, ikke, eller komplement.

F.eks. læses \bar{A} som: A komplement eller ikke A.

1.2 Definitionsmæssige regler

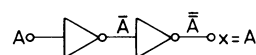
1. $\bar{0} = 1$ INVERTER
2. $\bar{1} = 0$ INVERTER
3. $1 \cdot 1 = 1$ AND-gate
4. $1 \cdot 0 = 0$ AND-gate
5. $0 \cdot 0 = 0$
6. $1 + 1 = 1$ OR-gate
7. $1 + 0 = 1$ OR-gate
8. $0 + 0 = 0$

2. BOOLESKE LOVE

I det følgende vil nogle af de grundlæggende love blive belyst ved hjælp af gates.

2.1 Invert identiteter

$$\S 1. \bar{\bar{A}} = A$$



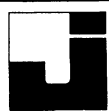
Hvis A er 0, er udgangen 0, hvis A er 1, er udgangen 1.

2.2 OR-identiteter

$$\S 2. 0 + A = A$$



Udgangen vil antage samme logiske værdi som A.



$$\S 3. 1 + A = 1$$



Udgangen vil antage værdien 1 uanset A.

$$\S 4. A + \bar{A} = 1$$



En af indgangene vil have værdien 1, uanset A's tilstand. Udgangen er da konstant 1.

$$\S 5. A + A = A$$



Begge indgange vil samtidig antage A's værdi, hvorfor udgangen vil få værdien A.

2.3 AND-identiteter

$$\S 6. 1 \cdot A = A$$



Når $A = 0$, er udgangen 0, ved $A = 1$ er udgangen 1.

$$\S 7. 0 \cdot A = 0$$



Når blot én indgang på en AND-gate er 0, er udgangen 0.

$$\S 8. A \cdot \bar{A} = 0$$



Uanset A's tilstand vil en af indgangene have værdien 0, hvorfor udgangen altid er 0.

$$\S 9. A \cdot A = A$$



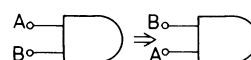
Når $A = 1$, er begge indgange 1, hvorfor udgangen får værdien 1. Ved $A = 0$, er begge indgange 0, og udgangen har værdien 0.

2.4 Den kommutative lov

Den kommutative lov udtrykker den frihed, der ligger i faktorerens og leddenes orden.

$$\S 10. A + B = B + A$$

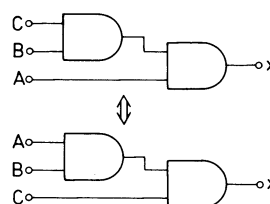
$$\S 11. A \cdot B = B \cdot A$$



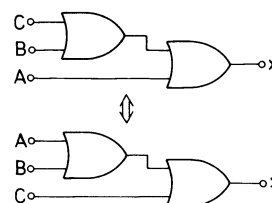
2.5 Den associative lov

Den associative lov angiver, hvorledes der kan sættes parenteser.

$$\S 12. A \cdot (B \cdot C) = (A \cdot B) \cdot C = A \cdot B \cdot C$$



$$\S 13. A + (B + C) = (A + B) + C$$

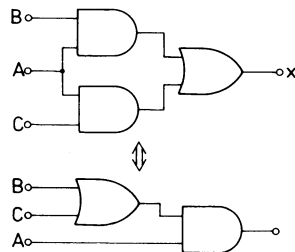




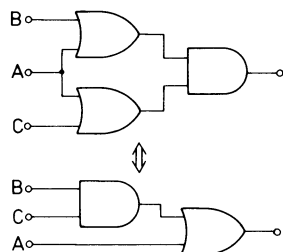
2.6 Den distributive lov

Den distributive lov angiver, hvorledes det er muligt at sætte en fælles variabel uden for en parentes.

$$\S 14. A \cdot B + A \cdot C = A \cdot (B + C)$$

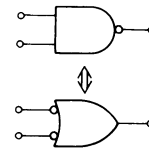


$$\S 15. (A + B) \cdot (A + C) = A + (BC)$$



3.1 De Morgans lov for AND

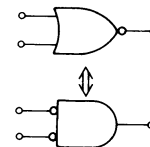
$$\S 16. \overline{A \cdot B} = \bar{A} + \bar{B}$$



A	B	\bar{A}	\bar{B}	$\overline{A \cdot B}$	$\bar{A} + \bar{B}$
0	0	1	1	1	1
0	1	1	0	1	1
1	0	0	1	1	1
1	1	0	0	0	0

3.2 De Morgans lov for OR

$$\S 17. \overline{A + B} = \bar{A} \cdot \bar{B}$$

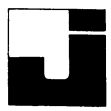


A	B	\bar{A}	\bar{B}	$\overline{A + B}$	$\bar{A} \cdot \bar{B}$
0	0	1	1	1	1
0	1	1	0	0	0
1	0	0	1	0	0
1	1	0	0	0	0

3. DE MORGANS LOVE

De Morgans love hører til de mest anvendte love i boole's algebra. Ved at anvende dem, er det let at manipulere med boole's algebraiske udtryk og reducere dem til de mest anvendelige elektroniske kredsløb.

Før denne anvendelse forklares, er det nødvendigt at forstå de Morgans love.



3.3 Anvendelse af de Morgans lov

Reglerne for transformation med de Morgan er, at alt skal ændres.

1. AND ændres til OR, og OR ændres til AND.
2. De logiske værdier af de variable ændres, A til \bar{A} og \bar{A} til A.
3. Den logiske værdi af hele udtrykket ændres, (udtryk) ændres til $\overline{(\text{udtryk})}$, og $\overline{(\text{udtryk})}$ ændres til (udtryk).

Eksempler:

a) $\overline{A \cdot B}$

1. $\overline{A + B}$

2. $\bar{A} + \bar{B}$

3. $\bar{A} + \bar{B}$

b) $\overline{\bar{A} \cdot \bar{B} \cdot \bar{C}}$

1. $\bar{A} + \bar{B} + \bar{C}$

2. $A + B + C$

3. $\overline{A + B + C}$

De Morgans love behøver ikke nødvendigvis at blive anvendt på hele det booleske udtryk. De er ofte anvendt på dele af udtrykket for at få hele udtrykket på en bestemt form.

Eksempel:

Antag, at udtrykket $A + \bar{B}\bar{C}$ skal fremstilles uden brug af en AND-gate. Ved første øjekast ser det noget vanskeligt ud, men ved anvendelse af de Morgans love bliver problemet trivielt, fordi udtrykket $\bar{B}\bar{C}$ kan ændres ved hjælp af de Morgan, således:

$$\bar{B}\bar{C} = \bar{B} + \bar{C}$$

således at

$$A + \bar{B}\bar{C} = A + \bar{B} + \bar{C}$$

og her anvendes kun OR-gates.

På tilsvarende måde kan udtrykket transformeres således, at ingen OR-gate er nødvendig. Hvis udtrykket $\bar{B}\bar{C}$ betragtes som én variabel, får vi:

$$A + \bar{B}\bar{C} = \overline{\bar{A}\bar{B}\bar{C}}$$

3.4 Reducering med de Morgan

Det er allerede nævnt, at de Morgans love er meget anvendelige til simplificering af booleske udtryk.

Betragt udtrykket

$$\overline{(\bar{A}\bar{B} + \bar{C})} + \overline{(\bar{A} + \bar{B}\bar{C})}$$

Dette kunne være første udkast til løsning af et problem. Vi må undersøge, om udtrykket kan reduceres for at spare unødige logiske gates.

Bruger vi de Morgans love, så får vi:

$$\overline{\bar{A}\bar{B} + \bar{C}} = \overline{\bar{A}\bar{B}} \cdot \overline{\bar{C}} \quad \text{for første led}$$

$$\overline{\bar{A} + \bar{B}\bar{C}} = \overline{\bar{A}} \cdot \overline{\bar{B}\bar{C}} \quad \text{for andet led,}$$

derfor fås $\overline{\bar{A}\bar{B}} \cdot \overline{\bar{C}} + \overline{\bar{A}} \cdot \overline{\bar{B}\bar{C}}$

Yderligere reduktion forekommer, når man sætter $\bar{A}\bar{B}$ uden for en parentes

$$\bar{A}\bar{B} (C + \bar{C})$$

Da vi ved, at $(C + \bar{C}) = 1$, får vi:

$$\bar{A}\bar{B}$$

Dette er tydeligt mere simpelt end det ureducerede udtryk.



3.5 Anvendelse af de Morgans love på mere indviklede udtryk

Nogle booleske udtryk kræver adskillige transformationer med de Morgans love, før de er på ren AND- eller OR-form, også selv om de er udtrykt relativt simpelt.

Denne gentagne anvendelse af de Morgans love er nødvendig for, at konverteringen til NOR- og NAND-kredsløb kan virkeliggøres.

I disse situationer er det nødvendigt at starte konverteringen i det inderste led inden i parenteser. Det hjælper ofte at vise de underforståede parenteser for at klare identifikationen af de enkelte led.

Eksempel:

Antag, at følgende udtryk skal konverteres til ren NOR-logik.

$$\bar{A} \cdot \overline{[(B + C) \cdot D]} \cdot \bar{A}$$

Læg først mærke til, at deludtrykket til højre for \bar{A} er inverteret. For at klare op på situationen hjælper det at vise parenteserne, som er underforstået omkring sidste del af udtrykket. Dvs., at hele udtrykket kan skrives:

$$\bar{A} \cdot \overline{[(B + C) \cdot D] \cdot \bar{A}}$$

Vi starter inde i udtrykket og arbejder os ud, vi ser, at den inderste parentes kan indeholde en OR-funktion. Den næste parentes indeholder leddet $(B + C) D$.

AND-funktionen må ændres ved hjælp af de Morgans love således, at udtrykket nu bliver:

$$\bar{A} \cdot \overline{[(\overline{B + C}) + \bar{D}] \cdot \bar{A}}$$

Den yderste parentes indeholder en AND-funktion og må således også behandles med de Morgans lov

$$\bar{A} \cdot \{[(\overline{B + C}) + \bar{D}] + A\}$$

Læg mærke til, at leddet inden for den firkantede parentes er behandlet som værende én enkelt variabel.

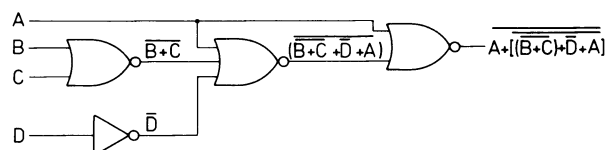
Sidste trin er at fjerne AND-funktionen uden for den yderste parentes:

$$A + \{[(\overline{B + C}) + \bar{D}] + A\}$$

Nogle af parenteserne er nu overflødige og kan fjernes. Udtrykket bliver:

$$A + (\overline{B + C}) + \bar{D} + A$$

Logikdiagrammet kan også konstrueres, dette gøres nemmest fra udgang mod indgang.

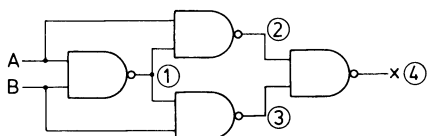




4. SANDHEDSTABEL

4.1 Fra kredsløbsdiagram til sandhedstabel

Et vilkårligt kredsløbs booleske funktion kan findes ved hjælp af en sandhedstabel. Denne fremgangsmåde har den fordel, at funktionen fremkommer på standard-sumform og kan derfor anvendes direkte til f.eks. karnaugh-kortet.



Først opstilles en sandhedstabel for det antal variable, kredsløbet føler på, her to:

	①	②	③	④=X
A B	$\overline{A} \cdot B$	$\overline{A} \cdot \overline{B}$	$B \cdot \overline{B}$	$\overline{A} \cdot \overline{B}$
0 0	1	1	1	0
0 1	1	1	0	1
1 0	1	0	1	1
1 1	0	1	1	0

Dernæst findes funktionen i punkt ①. Der fortsættes med punkt ② ----- derefter punkt ③ -----, og funktionen findes i punkt ④.

Den endelige sandhedstabel er altså:

A B	X
0 0	0
0 1	1
1 0	1
1 1	0

4.2 Fra sandhedstabel til Boole

Det booleske udtryk for funktionen kan nu tages ud af sandhedstabellen ved at udlæse ettallerne.

A B	X
0 0	0
0 1	1
1 0	1
1 1	0

$$X = \overline{A}B + A\overline{B}$$

Sandhedstabellen er ikke kun et redskab, som kan illustrere booleske funktioner, men også et middel til at reducere dem, hvis det i det hele taget er muligt. F.eks., en boolesk funktion udtrykkes på en simplere form. For at finde denne, kan man konstruere en sandhedstabel og så undersøge den for en mere simpel løsning, som i følgende eksempel.

Betragt udtrykket $\overline{(A + B)} + \overline{A}B$.

Sandhedstabellen kan udledes på sædvanlig måde.

A	B	\overline{A}	$\overline{A}B$	$\overline{A+B}$	$\overline{(A+B)} + \overline{A}B$
0	0	1	0	1	1
0	1	1	1	0	1
1	0	0	0	0	0
1	1	0	0	0	0

Undersøg slutkolonnen, som viser $\overline{(A + B)} + \overline{A}B$, og det viser sig, at

$$\overline{(A + B)} + \overline{A}B = \overline{A}B + \overline{A}B = \overline{A}$$

Dette er en betragtelig simplificering. Denne metode er grundlaget for en metode, som kaldes "anvendelse af karnaughkort", som bliver introduceret senere.

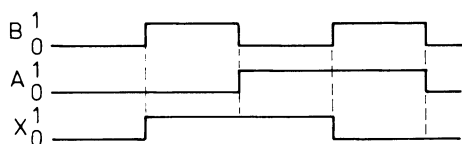


4.3 Fra sandhedstabel til impulsplan

Ud fra sandhedstabellen kan der tegnes en impulsplan over funktionen. En impulsplan er en grafisk fremstilling af sandhedstabellen.

Med udgangspunkt i sandhedstabellen tegnes først de to indgangsvARIABLE.

A	B	X
0	0	0
0	1	1
1	0	1
1	1	0



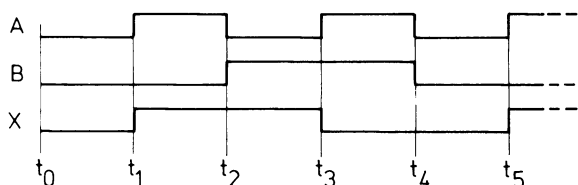
Derefter tegnes udgangsimpulser i overensstemmelse med kredsløbets funktion.

5. IMPULSPPLAN

5.1 Fra impulsplan til boolesk udtryk

Med udgangspunkt i en impulsplan kan det booleske udtryk noteres, idet hver kombination af de indgangsvARIABLE, der giver logisk 1 på udgangen, noteres.

Eksempel :



I den ovenstående impulsplan er funktionen sand ($X = 1$) fra t_1 til t_2 og fra t_2 til t_3 .

A og B udlæses i tiden $t_1 - t_2$ som :

$$t_1 - t_2 : A\bar{B}$$

og i tiden $t_2 - t_3$ som :

$$t_2 - t_3 : \bar{A}B$$

X får derved følgende udseende :

$$X = A\bar{B} + \bar{A}B$$

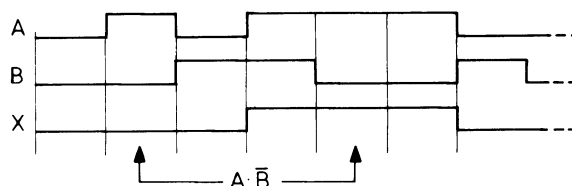
Dette genkendes som en Exclusive OR:

$$X = A \oplus B$$

5.2 Kredsløb med flip-flop's

Hvis det ved udlæsningen af en impulsplan viser sig, at den samme indgangstilstand kan give både et og nul på udgangen, indeholder det kredsløb, impulsplanen beskriver, en form for bistabile elementer, flip-flop's, eller tilbagekobling.

Eksempel :



Den ovenfor viste impulsplan beskriver funktionen af et kredsløb.

For det første bemærkes, at A og B ikke følger den binære kode over hele det viste interval.

Dernæst kan det ses, at udgangen kan være både 1 og 0 for $A\bar{B}$.

Kredsløbet indeholder altså en flip-flop.

Det drejer sig om at finde de booleske udtryk for de logiske kredse, der styrer flip-flop'en.



Dette kan gøres på følgende måde.

De forskellige kombinationer for X og \bar{X} findes:

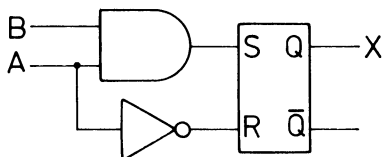
$$\bar{X} = \bar{A}\bar{B} + A\bar{B} + \bar{A}B = \bar{A}$$

$$X = AB + A\bar{B} = AB$$

Dernæst slettes de led, der er fælles for begge udtryk. Det ses at være tilfældet med $\bar{A}\bar{B}$.

Den resterende del af udtrykkene reduceres så meget som muligt.

Idet Q -udgangen på en flip-flop sættes lig med X , ses det, at tilstanden (AB) skal sætte FF 'en i stilling 1, medens (\bar{A}) skal sætte ff 'en i stilling 0. Ved anvendelse af en RS - FF får kredsløbet følgende udseende:



6. NORMALFORM

6.1 Normalprodukt

Et normalprodukt er et boolesk udtryk, der indeholder alle variable én gang, i sand eller negeret form.

For eksempel, med to variable A og B er $\bar{A}B$ et normalprodukt, med tre variable A , B og C er $\bar{A}\bar{B}C$ et normalprodukt.

Dette kaldes også i engelsksprogede lærebøger for "canonical product" eller "minterm".

6.2 Normalsum

En normalsum er et boolesk udtryk, der indeholder alle variable én gang, i sand eller negeret form. For eksempel, med tre variable A , B og C er $\bar{A} + B + C$ en normalsum.

Dette kaldes også i engelsksprogede lærebøger for "canonical sum" eller "maxterm".

6.3 Sum af normalprodukt

Udtrykket $\bar{A}\bar{B}C + \bar{A}BC$ er en sum af normalprodukter.

Dette kaldes også i engelsksprogede lærebøger for "disjunctive normal form", "first canonical form" eller "minterm sum".

6.4 Produkt af normalsummer

Udtrykket $(A + B + C)(\bar{A} + B + \bar{C})$ er et produkt af normalsummer.

Dette kaldes også i engelsksprogede lærebøger for "conjunctive normal form", "second canonical form" eller "maxterm produkt".

6.5 Udlæsning af sandhedstabel

Betragt følgende sandhedstabel:

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Det er sandhedstabellen for EX-OR-funktionen.

Funktionen kan udlæses som en sum af normalprodukter, hvis A og B opskrives som produkter for alle værdier, hvor $Q = 1$, altså:

$$Q = \bar{A}B + A\bar{B}$$

Funktionen kan også udlæses som produkt af summer, hvis A og B opskrives som summer for alle værdier, hvor $Q = 0$, altså:

$$Q = (\bar{A} + \bar{B})(A + B)$$



7. KARNAUGHKORT

Karnaughkort er et middel til repræsentation af binære funktioner og bruges til at opnå et simplificeret boolesk udtryk fra en sandhedstabel. For at man kan udfylde et karnaughkort, skal det booleske udtryk være på "sum af normalprodukter"-form. I de fleste tilfælde må man gå over en sandhedstabel for at opnå denne form.

Følgende eksempel viser, hvordan et kompliceret udtryk kan reduceres til "sum af normalprodukter"-form ved hjælp af sandhedstabel. Funktionen Q er gyldig for alle input-kombinationer, som giver Q en værdi 1.

$$Q = \bar{A} \left\{ \overline{[(B+C) \cdot D]} \cdot \bar{A} \right\}$$

A	B	C	D	B+C	(B+C)D	$\overline{[(B+C)D]} \cdot \bar{A}$	$\overline{[(B+C)D \cdot \bar{A}]}$	Q
0	0	0	0	0	0	0	1	1 (1)
0	0	0	1	0	0	0	1	1 (2)
0	0	1	0	1	0	0	1	1 (3)
0	0	1	1	1	1	1	0	0
0	1	0	0	1	0	0	1	1 (4)
0	1	0	1	1	1	1	0	0
0	1	1	0	1	0	0	1	1 (5)
0	1	1	1	1	1	1	0	0
1	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	1	0
1	0	1	0	1	0	0	1	0
1	0	1	1	1	1	0	1	0
1	1	0	0	1	0	0	1	0
1	1	0	1	1	1	0	1	0
1	1	1	0	1	0	0	1	0
1	1	1	1	1	1	0	1	0

Den sidste kolonne i sandhedstabelen viser, at funktionen kan skrives:

$$Q = \underbrace{\bar{A} \bar{B} \bar{C} \bar{D}}_1 + \underbrace{\bar{A} \bar{B} \bar{C} D}_2 + \underbrace{\bar{A} \bar{B} C \bar{D}}_3 + \underbrace{\bar{A} B \bar{C} \bar{D}}_4 + \underbrace{\bar{A} B C \bar{D}}_5$$

Denne sum af normalprodukter kan indtegnes i et karnaughkort.

Der er 16 mulige kombinationer med fire variable. Hver af disse er et normalprodukt. Sandhedstabelen giver værdien for hvert normalprodukt af funktionen.

Et karnaughkort anvender informationen fra sandhedstabelen og organiserer den visuelt, så det bliver nemmere at simplificere funktionen.

Et karnaughkort af sandhedstabelen fra eksemplet viser hvert af de 16 normalprodukters funktioner for Q.

Værdi af AB		00	01	11	10
Værdi af CD	00	1	1	0	0
	01	1	0	0	0
	11	0	0	0	0
	10	1	①	0	0

Dette felt i kortet viser, at når AB er 01 og CD er 10, så er Q = 1, dvs. når A er 0, B er 1, C er 1 og D er 0 ($\bar{A}B\bar{C}D$), Q = 1 (se term (5)).



7.1 Reducering med karnaughkort

På karnaughkortet er der et kvadrat for hvert normalprodukt.

3 variable svarer til 8 kvadrater.

4 variable svarer til 16 kvadrater.

Kortet fremstilles således, at man nemt kan finde de udtryk, som ændrer state, inverteret eller ikke inverteret, af én enkelt variabel.

Som eksempel, hvis $Q = \bar{A} B \bar{C} + \bar{A} B C$, de to udtryk er kun forskellige, fordi den ene indeholder \bar{C} og den anden C .

Vi ved, at dette giver $\bar{A} B$.

$$\begin{aligned} Q &= \bar{A} B \bar{C} + \bar{A} B C \\ &= \bar{A} B (\bar{C} + C) \\ &= \bar{A} B \end{aligned}$$

Denne sammenhæng ses let på et karnaughkort ved at samle naboer.

Et diagram for et kort med 3 variable er vist herunder.

		($\bar{A}\bar{B}$)	($\bar{A}B$)	(AB)	($A\bar{B}$)
AB		00	01	11	10
C	0	$\bar{A}\bar{B}\bar{C}$	$\bar{A}B\bar{C}$	$AB\bar{C}$	$A\bar{B}\bar{C}$
	1	$\bar{A}\bar{B}C$	$\bar{A}BC$	ABC	$A\bar{B}C$

Hver søjle på kortet repræsenterer en bestemt værdi for A og B.

Hver række repræsenterer en bestemt værdi for C.

Bit'en til venstre i søjlenummeret angiver A's værdi, det til højre angiver B's værdi.

Den øverste række repræsenteres ved $C = 0$.

Den nederste række repræsenteres ved $C = 1$.

Et diagram for $\bar{A} B \bar{C}$ vises nedenfor, dette angives ved at skrive et 1 i det pågældende rum.

AB	00	01	11	10
0	0	1	0	0
C				
1	0	0	0	0

Et diagram for $\bar{A} B C$:

AB	00	01	11	10
0	0	0	0	0
C				
1	0	1	0	0

Nu udtrykker hvert kort en del af et OR-udtryk, som vil have værdien 1 enten i tilfældet kort 1 eller i tilfældet kort 2.

Kombinerer vi nu de to kort, ser vi straks to naborum, som begge er 1, dette vil give $\bar{A} B$, og C er fælles for naborummene.

Derfor er $\bar{A} B C + \bar{A} B \bar{C} = \bar{A} B$. Ringen viser det simplificerede udtryk.

AB	00	01	11	10
0	0	1	0	0
C				
1	0	1	0	0

Et diagram til indtegnning af 4 variable vises herunder:

AB	00	01	11	10
00	$\bar{A}\bar{B}\bar{C}\bar{D}$	$\bar{A}\bar{B}\bar{C}D$	$\bar{A}\bar{B}C\bar{D}$	$\bar{A}\bar{B}CD$
01	$\bar{A}\bar{B}C\bar{D}$	$\bar{A}\bar{B}CD$	$\bar{A}B\bar{C}\bar{D}$	$\bar{A}B\bar{C}D$
11	$\bar{A}B\bar{C}\bar{D}$	$\bar{A}B\bar{C}D$	$AB\bar{C}\bar{D}$	$AB\bar{C}D$
10	$\bar{A}B\bar{C}D$	$\bar{A}BC\bar{D}$	$ABC\bar{D}$	$ABCD$



7.2 Regler for sløjfning af normalprodukter

For at simplificere ethvert udtryk må man følge disse regler:

1. Tag så stor gruppe nabonormalprodukter som muligt, gruppen skal indeholde et antal normalprodukter, som er lig med potenser af 2, dvs. 1, 2, 4, 8, 16 osv.

AB	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	0	1	1
10	0	0	1	1

← = A

2. Overlappning af grupper er ønskelig for at få udtrykket på den mest simple form.

AB	00	01	11	10
00	1	1	1	1
01	0	0	1	1
11	0	0	0	0
10	0	0	0	0

$$\frac{1}{\overline{CD}} \quad \frac{2}{A\overline{C}}$$

3. En funktion kan bestemmes ved at udlæse alle sløjfer med værdien 1 med + mellem normalprodukterne.

AB	00	01	11	10
00	0	0	0	1
01	1	1	1	1
11	1	1	1	1
10	1	1	1	1

$$\frac{1}{C} + \frac{2}{D} + \frac{3}{A\overline{B}}$$

4. De eksterne naboer kan findes ved at "folde" kortet, så top og bund rører hinanden, og så siderne rører hinanden.

AB	00	01	11	10
00	1	0	1	1
01	1	0	0	1
11	0	0	0	0
10	0	0	1	1

$$\frac{1}{A\overline{D}} + \frac{2}{\overline{B}C}$$

Eksempel :

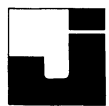
$$Q = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D}$$

indføres i karnaughkortet og simplificeres således :

AB	00	01	11	10
00	1	1	0	0
01	1	0	0	0
11	0	0	0	0
10	1	1	0	0

$$Q = \frac{1}{\overline{A}\overline{D}} + \frac{2}{\overline{A}\overline{B}C}$$

Hvis det giver et mere simpelt kredsløb, er der intet i vejen for at udlæse \overline{X} , dvs. at det er nulterne, der skal sløjfes og udlæses.



8. QUINE-Mc CLUSKEY'S REDUK-TIONSMETODE

Denne metode bygger på en systematisk anvendelse af følgende booleske regler:

$$A B + A \bar{B} = A (B + \bar{B}) = A$$

eller udtrykt med ord:

Hvis to led afviger med en negation over en variabel, kan denne variable udgå.

8.1 Praktisk anvendelse

Til at illustrere metodens anvendelse vil vi tage udgangspunkt i følgende udtryk:

$$X = A B C + \bar{A} B C + B \bar{C} + A B + \bar{A} C$$

- a. Først skal udtrykket bringes på standardsumform, dvs. at alle led skal indeholde alle variable.

Eksempel:

$$B \bar{C} \rightarrow A B \bar{C} + \bar{A} B \bar{C}$$

$$X = A B C + \bar{A} B C + A B \bar{C} + \bar{A} B \bar{C} + A B C + A B \bar{C} + \bar{A} B C + \bar{A} \bar{B} C$$

Bemærk. De variable skal stå i samme rækkefølge i alle leddene.

- b. For at lette oversigten erstattes de variable nu af ettaller og nuller, således at en sand variabel bliver til et ettal, og en negeret variabel bliver til et nul.

Eksempel:

$$\bar{A} B C \rightarrow 011$$

$$X = \cancel{111} + \cancel{011} + \cancel{110} + 010 + 111 + 110 + 011 + 001$$

Hvis det nu viser sig, at det samme led optræder flere gange, udelades de overskydende således, at det samme led nu kun optræder en gang.

Der arbejdes altså videre med følgende udtryk:

$$X = 010 + 111 + 110 + 011 + 001$$

- c. Leddene ordnes nu efter indeks. Et leds indeks er lig med antallet af ettaller i ledet.

Eksempel:

110 har indeks 2.

Led med indeks 1: 010, 001.

Led med indeks 2: 110, 011.

Led med indeks 3: 111.

- d. Leddene opstilles derefter under hinanden med det mindste indeks øverst og med en skillelinje mellem de enkelte indeksgrupper.

$$\begin{array}{l} 010 \\ 001 \end{array} \quad \text{Indeks 1}$$

$$\begin{array}{l} 110 \\ 011 \end{array} \quad \text{Indeks 2}$$

$$111 \quad \text{Indeks 3}$$

Denne liste kaldes første liste.



- e. Øverste led i indeks 1-gruppen sammenlignes med leddene i indeks 2-gruppen.

Hvis de to led er forskellige på kun et punkt, kan de kombineres.

Eksempel:

$$\begin{array}{r} 0 \ 1 \ 0_v \\ 1 \ 1 \ 0_v \end{array}$$
 kombineres til -10

Den manglende variabels plads markeres med en $-$.

Når to led er blevet kombineret, angives dette ved et mærke til højre for leddene. Det samme led må kombineres flere gange.

Når første led i indeks 1-gruppen er sammenlignet med alle leddene i indeks 2-gruppen, fortsættes på samme måde andet led i indeks 1-gruppen.

Herefter fortsættes med at sammenligne gruppe 2 med gruppe 3.

Resultaterne af de mulige kombinationer føres i en ny liste, der kaldes anden liste

1. liste	2. liste	
$0 \ 1 \ 0_{vv}$	$- \ 1 \ 0$	
$0 \ 0 \ 1_v$	$0 \ 1 \ -$	
$1 \ 1 \ 0_{vv}$	$0 \ - \ 1$	Indeks 1
$0 \ 1 \ 1_{vv}$	$1 \ 1 \ -$	Indeks 2
$1 \ 1 \ 1_v$	$- \ 1 \ 1$	

- f. Anden liste inddeles igen efter indeks. Leddene i indeks 1-gruppen sammenlignes nu efter tur med leddene i indeks 2-gruppen.

Resultatet af denne sammenligning føres i en tredje liste.

To led kan kombineres, hvis de har en streg ($-$) på samme position og kun er forskellige på en position.

Eksempel:

$$\begin{array}{r} - \ 1 \ 0 \\ 1 \ 1 \ - \end{array}$$
 Kan ikke kombineres

$$\begin{array}{r} - \ 1 \ 0 \\ - \ 1 \ 1 \end{array}$$
 Kan kombineres til $- \ 1 \ -$

2. liste 3. liste

$$\begin{array}{r} - \ 1 \ 0_v \\ 0 \ 1 \ -_v \end{array}$$

$$\begin{array}{r} - \ 1 \ - \\ - \ 1 \ - \end{array}$$

$$\begin{array}{r} 0 \ - \ 1 \\ 1 \ 1 \ -_v \\ - \ 1 \ 1_v \end{array}$$

Bemærk, at alle led forekommer to gange i tredje liste. I en eventuel fjerde liste findes alle led tre gange.

- h. Vi er nu kommet så langt, at det reducerede udtryk kan udlæses.

I det viste eksempel er der et led i anden liste, der ikke kunne kombineres, hvorfor det skal indgå i det endelige udtryk sammen med leddet i tredje liste.

Der fås altså:

$$X = 0 - 1 + - 1 -$$

- i. De oprindelige variable indsættes nu i overensstemmelse med ettaller og nuller og deres placeringer.

$$\begin{array}{l} 0 - 1 \rightarrow \bar{A} \ C \\ - 1 - \rightarrow B \end{array}$$

Det reducerede udtryk er altså:

$$X = \bar{A} \ C + B$$



9. BOOLESK UDTRYK PÅ KREDSLØB

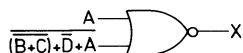
9.1 Fra boolesk udtryk til kredsløb

Når et kredsløb skal dannes ud fra et boolesk udtryk, gøres det nemmest ved at starte fra udgangen og arbejde mod indgangen.

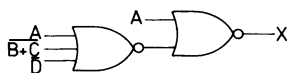
Eksempel:

$$\overline{A + (B + C) + \overline{D} + A} = X$$

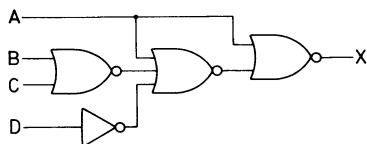
Gaten nærmest udgangen er en NOR-gate med to input:



Udtrykket $\overline{(B + C) + \overline{D} + A}$ er en NOR-gate med tre input:



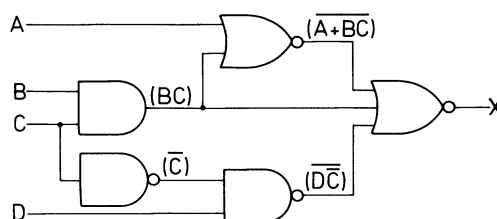
Inputtet $\overline{B + C}$ er en NOR-gate, \overline{D} er D-inverteret, det færdige kredsløb ser således ud:



9.2 Fra kredsløb til boolesk udtryk

Ved notering af det booleske udtryk fra et diagram startes fra indgangene.

For at holde orden i de forskellige led er det klogt at sætte parenteser om led og variable, der hører sammen.



Det giver en god oversigt, hvis der noteres direkte i diagrammet, som vist herover.

Det endelige udtryk bliver:

$$X = \overline{(A + B \cdot C) + (B \cdot C) + (D \cdot \overline{C})}$$

Det noterede booleske udtryk kan nu enten udsættes for reduktion med booles algebra eller omskrives til standardsumform og behandles i et karnaughkort eller med Quine-Mc Cluskey.

Omskrivning til standardsumform vil man normalt kun anvende, hvis en af de to sidstnævnte reduktionsmetoder skal anvendes, idet omskrivningen ofte vil være lige så kompliceret som en direkte reduktion med booles algebra.

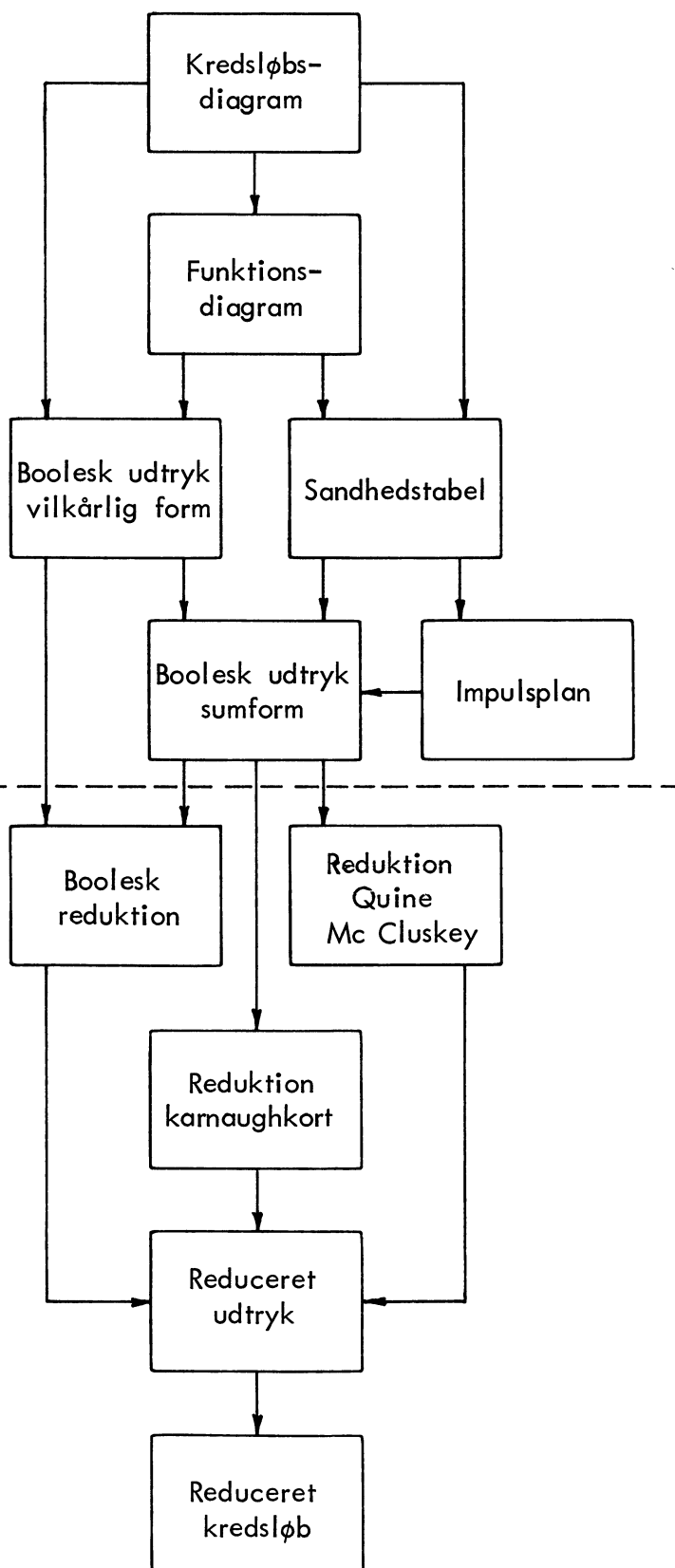


DISPOSITION

1. Oversigt over reduktionsmetoder

1. OVERSIGHT OVER REDUKTIONS- METODER

1.1 Diagram

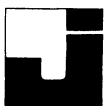


1.2 Sammenhæng og fremgangsmåde

I diagrammet er sammenhængen vist mellem de forskellige trin fra et ureduceret kredsløb til et reduceret kredsløb.

Det fremgår ligeledes, hvordan de forskellige reduktionsmetoder kan anvendes, og hvilken form det booleske udtryk skal have for at tilfredsstille de alternative fremgangsmåder.

Udgangspunktet for reduktion behøver ikke at være et diagram, men kan være enhver af de angivne former over den punkterede linie.



DISPOSITION

1. AND- OR- INVERT-gates
2. Specielle indgange
3. Wired AND

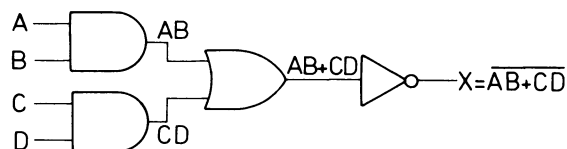
1. AND- OR- INVERT-GATES

Ofte er booleske udtryk mere komplekse end "rene" AND eller OR funktioner.

En meget anvendt gatetype med et mere kompliceret boolesk udtryk er AND- OR- INVERT-gaten.

1.1 Diagram og boolesk udtryk

Gaten består af to eller flere AND-gates forbundet til en NOR-gate.



Sandhedstabellen for ovenstående gate vil se således ud:

A	B	C	D	X
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

1.2 Eksempel på datablad

51
DUAL 2-WIDE 2-INPUT
AND-OR-INVERT GATES

'51, 'H51, 'S51
positive logic:
 $Y = \overline{AB+CD}$

SN5451/SN7451(J, N)
SN54H51/SN74H51(J, N)
SN54S51/SN74S51(J, N, W)

MAKE NO EXTERNAL CONNECTION

SN5451/SN7451(W)
SN54H51/SN74H51(W)

'L51, 'LS51
positive logic:
 $1Y = (1A \cdot 1B \cdot 1C) + (1D \cdot 1E \cdot 1F)$
 $2Y = (2A \cdot 2B) + (2C \cdot 2D)$

SN54L51/SN74L51(J, N)
SN54LS51/SN74LS51(J, N, W)

MAKE NO EXTERNAL CONNECTION

SN54L51/SN74L51(T)

See page 110



recommended operating conditions

	54 FAMILY 74 FAMILY	SERIES 54 SERIES 74	SERIES 54H SERIES 74H	SERIES 54L SERIES 74L	SERIES 54LS SERIES 74LS	SERIES 54S SERIES 74S	UNIT
		'51, '54	'H51, 'H54	'L51, 'L54, 'L55	'LS51, 'LS54, 'LS55	'S51, 'S64	
		MIN NOM MAX	MIN NOM MAX	MIN NOM MAX	MIN NOM MAX	MIN NOM MAX	
Supply voltage, V_{CC}	54 Family 74 Family	4.5 5 5.5 4.75 5 5.25	4.5 5 5.5 4.75 5 5.25	4.5 5 5.5 4.75 5 5.25	4.5 5 5.5 4.75 5 5.25	4.5 5 5.5 4.75 5 5.25	V
High-level output current, I_{OH}	54 Family 74 Family	-400 -400	-500 -500	-100 -200	-400 -400	-1000 -1000	μ A
Low-level output current, I_{OL}	54 Family 74 Family	16 16	20 20	2 3.6	4 8	20 20	mA
Operating free-air temperature, T_A	54 Family 74 Family	-55 125 0 70	-55 125 0 70	-55 125 0 70	-55 125 0 70	-55 125 0 70	$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST FIGURE	TEST CONDITIONS†	SERIES 54 SERIES 74	SERIES 54H SERIES 74H	SERIES 54L SERIES 74L	SERIES 54LS SERIES 74LS	SERIES 54S SERIES 74S	UNIT	
			'51, '54	'H51, 'H54	'L51, 'L54, 'L55	'LS51, 'LS54, 'LS55	'S51, 'S64		
			MIN TYP MAX	MIN TYP MAX	MIN TYP MAX	MIN TYP MAX	MIN TYP MAX		
V _{IH} High-level input voltage	1, 2		2	2	2	2	2	V	
V _{IL} Low-level input voltage	1, 2	54 Family 74 Family	0.8 0.8	0.8 0.8	0.7 0.7	0.7 0.8	0.8 0.8	V	
V _I Input clamp voltage	3	V _{CC} - MIN, I _I = 5	* -1.5	* -1.5		-1.5	-1.2	V	
V _{OH} High-level output voltage	1	V _{CC} - MIN, V _{IL} = V _{IL} max, I _{OH} = MAX	54 Family 74 Family	2.4 3.4 2.4 3.4	2.4 3.3 2.4 3.2	2.5 [‡] 3.4 2.7 [‡] 3.4	2.5 3.4 2.7 3.4	V	
V _{OL} Low-level output voltage	2	V _{CC} - MIN V _{IH} = 2 V	54 Family 74 Family	0.2 0.4 0.2 0.4	0.15 0.3 0.2 0.4	0.25 0.4 0.35 0.5	0.5 0.5	V	
I _I Input current at maximum input voltage	4	V _{CC} - MAX V _I = 5.5 V V _I = 7 V		1	0.1	0.1	1	mA	
I _{IH} High-level input current	4	V _{CC} - MAX	V _{IH} = 2.4 V V _{IH} = 2.7 V	40	50	10	20	μA	
I _{IL} Low-level input current	5	V _{CC} - MAX	V _{IL} = 0.3 V V _{IL} = 0.4 V V _{IL} = 0.5 V	-1.6	2	0.18	-0.36	mA	
I _{OS} Short circuit output current*	6	V _{CC} - MAX	54 Family 74 Family	-20 -55 18 55	40 -100 100 100	3 -15 3 15	-30 -130 -30 -130	40 100 -40 -100	mA
I _{CC} Supply current	7	V _{CC} - MAX						mA	

[‡] $V_{OH} \text{ min} = 2.5 V$ and $V_{OH} \text{ min} = 2.7 V$ is only valid for SN54LS51/SN54LS55 and SN74LS51/SN74LS55 respectively. $V_{OH} \text{ min} = 2.4 V$ for SN54/74LS54.

[†] For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

[‡] All typical values are at $V_{CC} = 5 V$, $T_A = 25^{\circ}C$.

[§] $I_I = -12 \text{ mA}$ for SN54/SN74; -8 mA for SN54H/SN74H; and -18 mA for SN54LS/SN74LS and SN54S/SN74S.

* Not more than one output should be shorted at a time, and for SN54H/SN74H and SN54S/SN74S, duration of the short-circuit should not exceed one second.

* The input clamp voltage specification is effective for Series 54/74 and 54H/74H parts date coded 7332 or higher.

supply current[§]

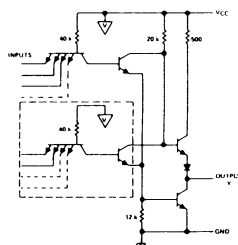
TYPE	I_{CCH} (mA) Total with outputs high		I_{CCL} (mA) Total with outputs low		I_{CC} (mA) Average per AOI gate (50% duty cycle)
	TYP	MAX	TYP	MAX	TYP
'51, '54	4	8	7.4	14	2.85
'54	4	8	5.1	9.5	4.55
'H51	8.2	12.8	15.2	24	5.85
'H54	7.1	11	9.4	14	8.25
'L51	0.44	0.8	0.76	1.3	0.30
'L54	0.39	0.8	0.60	0.99	0.50
'L55	0.22	0.4	0.38	0.65	0.30
'LS51	0.8	1.6	1.4	2.8	0.55
'LS54	0.8	1.6	1.0	2	0.9
'LS55	0.4	0.8	0.7	1.3	0.55
'S51	8.2	17.8	13.6	22	5.45
'S64	7	12.5	8.5	16	7.75

[§] Maximum values of I_{CC} are over the recommended operating ranges of V_{CC} and T_A ; typical values are at $V_{CC} = 5 V$, $T_A = 25^{\circ}C$.

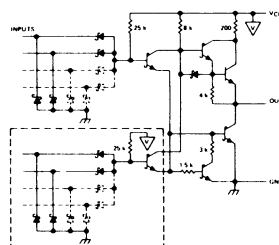
schematics (each gate)

The portion of the circuits within the dashed lines is repeated (with as many emitters or input diodes as applicable) for each additional AND section.

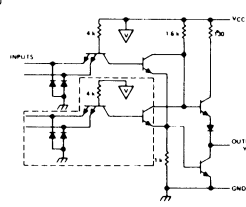
Resistor values shown are nominal and in ohms.



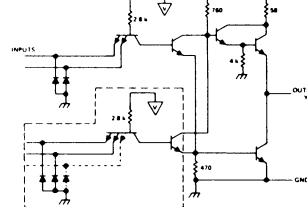
'L51, 'L54, 'L55 CIRCUITS



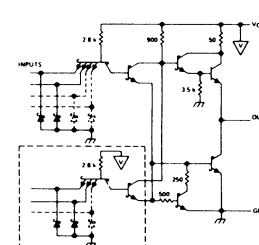
'LS51, 'LS54, 'LS55 CIRCUITS



'51, '54 CIRCUITS



'H51, 'H54 CIRCUITS



'S51, 'S64 CIRCUITS

switching characteristics at $V_{CC} = 5 V$, $T_A = 25^{\circ}C$

TYPE	TEST CONDITIONS [‡]	t _{PLH} (ns) Propagation delay time, low-to-high-level output			t _{PHL} (ns) Propagation delay time, high-to-low-level output		
		MIN	TYP	MAX	MIN	TYP	MAX
'51, '54	C _L = 15 pF, R _L = 400 Ω		13	22		8	15
'H51	C _L = 25 pF, R _L = 280 Ω		6.8	11		6.2	11
'H54	C _L = 25 pF, R _L = 280 Ω		7	11		6.2	11
'L51, 'L54, 'L55	C _L = 50 pF, R _L = 4 kΩ		50	90		35	60
'LS51, 'LS55	C _L = 15 pF, R _L = 2 kΩ		12	20		12.5	20
'LS54	C _L = 15 pF, R _L = 2 kΩ		16	20		12.5	20
'S51, 'S64	C _L = 15 pF, R _L = 280 Ω	2	3.5	5.5	2	3.5	5.5
	C _L = 50 pF, R _L = 280 Ω		5			5.5	

[‡] Load circuit and voltage waveforms are shown on pages 148 and 149.

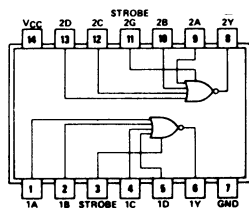


2. SPECIELLE INDGANGE

2.1 Strobe-indgang

Strobe-indgangen er en indgang, der kan blokere gaten, således at gaten kun aktiveres, når der kommer signal på strobe-indgangen.

En sådan gate er f.eks. SN7425, der er en dual 4-input NOR-gate med strobe.



SN5425/SN7425 (J, N, W)

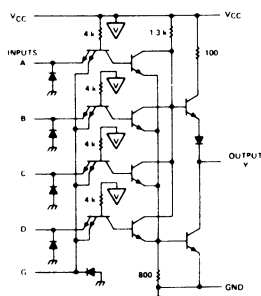
Det booleske udtryk for gaten er:

$$Y = \overline{G (A + B + C + D)}$$

Med $G = 0$, er $Y = 1$, uanset værdierne af A , B , C eller D .

I kredsløbet køres alle indgangstransistorerne ON, når der er 0V på G .

Når $G = 1$, bestemmes Y af A , B , C og D .

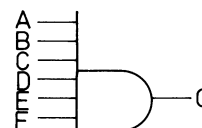


'25 CIRCUITS

2.2 Gates med mange inputs

For at forenkle det har vi indtil nu kun behandlet logiske gatefunktioner med få inputvariable. Imidlertid er der ingen begrænsninger på antallet af variable, som en boolesk funktion kan indeholde. Hvad angår praktiske forhold, så er der en grænse for antallet af inputs, en logisk gate kan have.

Antag, at vi har en 6-input AND-gate. Den kan repræsenteres symbolsk som:



hvor $Q = A \cdot B \cdot C \cdot D \cdot E \cdot F$ dvs., at $Q = 1$, hvis A og B og C og D og E og F alle er 1.

Hvis antallet af inputvariable er n , er antallet af inputkombinationer 2^n .



Eksempel :

En AND-gate med 5 input har 32 inputkombinationer. Sandhedstabellen vil se således ud:

Inputvariable					Q
A	B	C	D	E	
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	0
0	0	1	1	1	0

0	1	0	0	0	0
0	1	0	0	1	0
0	1	0	1	0	0
0	1	0	1	1	0
0	1	1	0	0	0
0	1	1	0	1	0
0	1	1	1	0	0
0	1	1	1	1	0

1	0	0	0	0	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	0	1	0
1	0	1	1	0	0
1	0	1	1	1	0

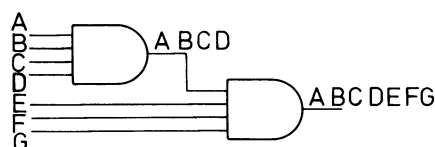
1	1	0	0	0	0
1	1	0	0	1	0
1	1	0	1	0	0
1	1	0	1	1	0
1	1	1	0	0	0
1	1	1	0	1	0
1	1	1	1	0	0
1	1	1	1	1	1

Skal man fremstille en boolesk funktion med mange inputvariable og ikke kan finde en gate med tilstrækkeligt mange indgange, så er det stadig muligt at klare problemet, idet man så anvender flere gates.

Eksempel :

Antag, at vi behøver en AND-gate med syv indgange, men at vi kun har gates til rådighed med 4 inputs.

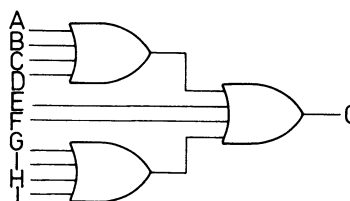
Vi forbinder simpelthen to gates, som vist her:



Eksempel 2 :

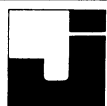
Antag, at vi behøver en OR-gate med ti indgange, men kun har gates til rådighed med fire indgange.

Vi forbinder tre gates som vist:



Som det fremgår, kan enhver funktion fremstilles, ligegyldig hvor stort antallet af inputs er.

Et andet problem, som opstår for konstruktøren af logiske kredsløb, er, at han har en gate med flere indgange, end han har brug for.

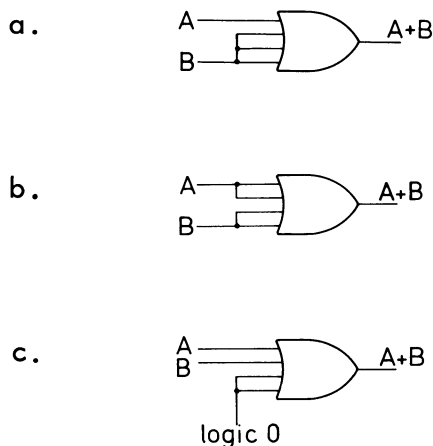


Dette kan klares på forskellige måder:

- Forbind to eller flere inputs sammen til ét input.
- Forbind ekstra inputs til en spænding svarende til 1 eller 0, som det nu passer sig.

Eksempel:

Antag, at vi har en 4-input OR-gate til rådighed og ønsker at fremstille funktionen $A + B$. Følgende er mulige løsninger:

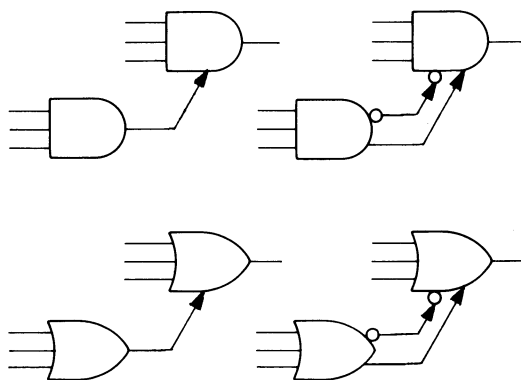


Hvis metoden C anvendes, skal overflødige inputsforbindelse til OR- eller NOR-gates forbindes til logisk "0" spænding, og for AND- eller NAND-gates skal overflødige inputs forbindes til logisk "1" spænding.

2.3 Expanderindgange

En boolesk funktion med mange inputs kan fremstilles af "expandable gates" og "expanders".

En expandabel gate kan selvstændigt udføre en boolesk funktion, expandergaten er et sæt indgange, der tilkobles den expandable gate med en eller to forbindelser.



Eksempel 1:

En expandable 4-wide AND-OR-gate SN7452 kan udvides med en expander SN74H61.

52

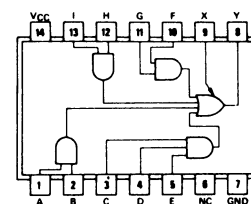
EXPANDABLE 4-WIDE AND-OR GATES

'H52(J, N)

positive logic:

$$Y = AB + CDE + FG + HI + X$$

X = output of SN54H61/SN74H61



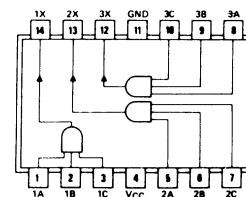
SN54H52/SN74H52(J, N)

61

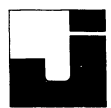
TRIPLE 3-INPUT EXPANDERS

positive logic:

X = ABC when connected to X input of SN54H52/SN74H52



SN54H61/SN74H61(W)



Forbindelsen mellem SN74H52 og SN74H61 etableres ved at forbinde X-udgangen på SN74H61 med X-indgangen SN74H52.

Elektrisk ser de to gates således ud:

Eksempel 2:

En expandable 4-wide AND-OR-INVERT-gate SN7453 udvides med en expander SN7460.

53

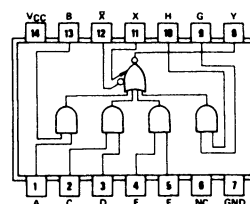
EXPANDABLE 4-WIDE AND-OR-INVERT GATES

'53

positive logic:

$$Y = \overline{AB+CD+EF+GH+X}$$

X = output of SN5460/SN7460



SN5453/SN7453(J, N)

60

DUAL 4-INPUT EXPANDERS

'60

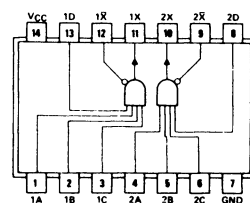
positive logic:

X = ABCD when connected to X and \bar{X} inputs of SN5423/SN7423, SN5450/SN7450, or SN5453/SN7453

'H60

positive logic:

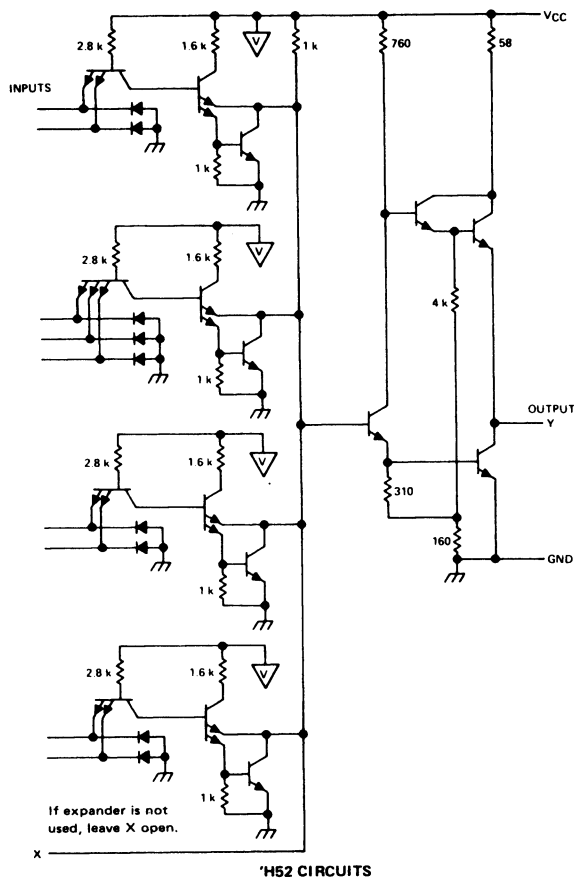
X = ABCD when connected to X and \bar{X} inputs of SN54H50/SN74H50, SN54H53/SN74H53, or SN54H55/SN74H55



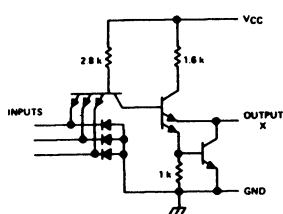
SN5460/SN7460(J, N)
SN54H60/SN74H60(J, N)

Forbindelsen mellem SN7453 og SN7460 etableres ved at forbinde X-udgangen på 7460 med X-indgangen på 7453, samt forbinde \bar{X} -udgangen på 7460 med \bar{X} -indgangen på 7453.

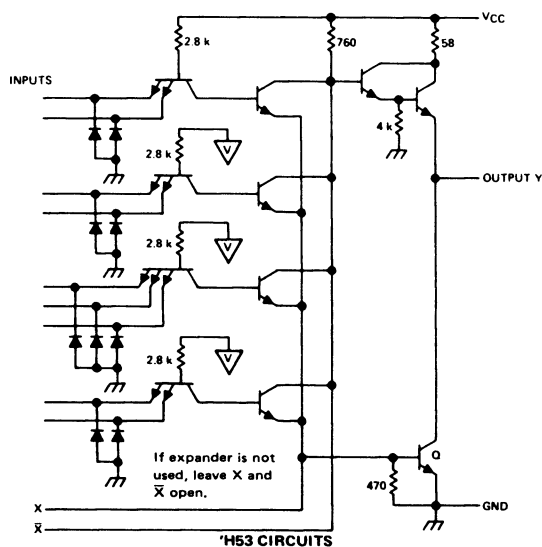
Elektrisk ser de to gates således ud:



'H52 CIRCUITS

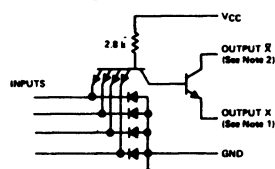


'H61 CIRCUITS

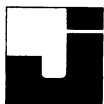


'H53 CIRCUITS

schematics (each gate)



'H60 CIRCUITS



3. WIRED AND

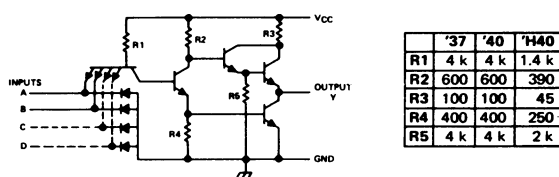
3.1 Gatens udgang

I TTL-gates kan udgangen i gaten være udført på tre forskellige måder:

- a. Med "totem-pole" output, og så kaldet aktiv pull-up, idet udgangen består af to transistorer, hvoraf den ene er OFF og den anden ON.

Eksempel:

SN7437, NAND-gate

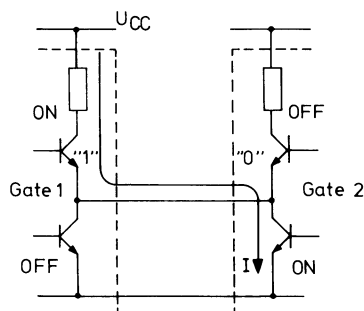


'37, '40, 'H40 CIRCUITS

Udgangsimpedansen er lav, uanset om output er 0 eller 1.

Gates med "totem-pole" udgang må ikke forbindes sammen.

Tænker man sig to udgange forbundet sammen, hvoraf den ene har den logiske værdi 1 og den anden logisk 0, er der forbindelse fra U_{CC} til stel gennem to transistorer, der er ON. De to transistorer vil ødelægges.



- b. Udgangen kan være udført med "3-state totem-pole output".

I digitalteknikken er det vedtaget, at en udgang kun kan antage to logiske værdier, nemlig "0" og "1". Imidlertid kan en gate med "3-state" output bringes til at virke som afbrydelse set fra udgangen, dette sker ved at bringe begge transistorer i "totem-pole" udgangen OFF.

Eksempel:

SN74126, BUFFER-gate

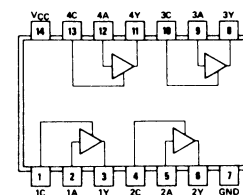
126

QUADRUPLER BUS BUFFER GATES WITH THREE-STATE OUTPUTS

positive logic:

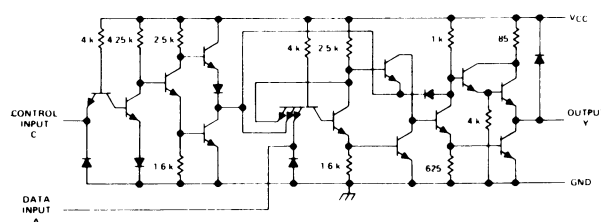
$Y = A$

Output is off (disabled) when C is low.



SN54126/SN74126(J, N, W)

Output er OFF, når der er "0" på C.



'126 CIRCUITS

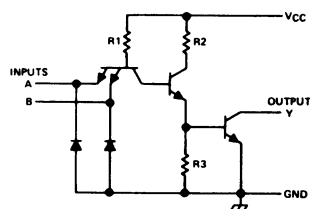
Gates med "3-state totem-pole output" er beregnet til, at udgangene forbindes sammen. Med et styrekredsløb sørges der for, at kun en gate ad gangen er åben.



- c. Udgangen kan også være med "Open collector".

Eksempel :

SN7438, NAND-gate



CIRCUITS	R1	R2	R3
'26	4 kΩ	1.6 kΩ	1 kΩ
'38	4 kΩ	600 Ω	400 Ω

'26, '38 CIRCUITS

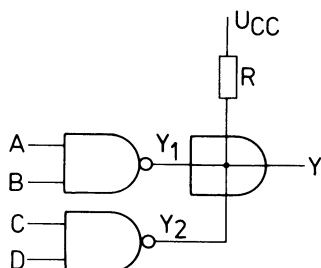
Kredsløbet skal forbindes med en udvendig kollektormodstand, når udgangen har den logiske værdi 1, er udgangstransistoren OFF, når udgangen har den logiske værdi 0, er udgangstransistoren ON.

Gates med open-collector forbindes ofte sammen med en fælles kollektormodstand.

3.2 Wired-AND funktionen

Når open-collector gates forbindes sammen med en fælles kollektormodstand, dannes en logisk AND-funktion.

Symbolet for denne funktion er:

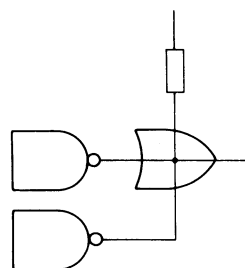


Sandhedstabellen for wired-AND funktion er:

$Y_1 = \overline{AB}$	$Y_2 = \overline{CD}$	Y
0	0	0
0	1	0
1	0	0
1	1	1

Wired-AND funktion er en AND-funktion i positiv logik, i negativ logik er det en OR-funktion.

Ofteser man udtrykket "wired-OR" eller symbolet for wired-OR anvendt for open-collector gates i forbindelse med positiv logik.



Dette er imidlertid misvisende, da der er tale om en AND-funktion.



DISPOSITION

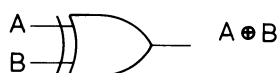
1. EX-OR-gate
2. Datablad 54/7486

1. EX-OR-GATE

Exclusive-OR-gaten kan bruges til at detektere forskel mellem to binære digits. Da gaten har denne egenskab, kaldes den ofte ulighedsdetektor. Hvis et af de to inputs er logisk 1, og det andet input er 0, vil output være logisk 1. Hvis input er ens på de to indgange, er output 0.

Exclusive-OR-gaten anvendes også i additionskredsløb.

1.1 Symbol og sandhedstabel



A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

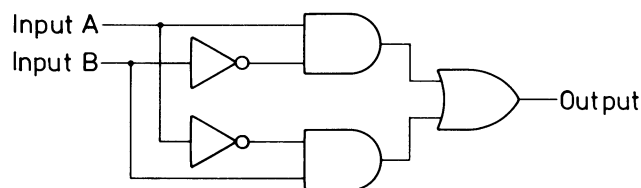
1.2 Boolesk funktion

Den booleske funktion kan skrives som:

$$X = A \bar{B} + \bar{A} B = A \oplus B.$$

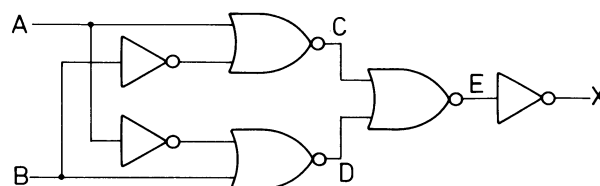
EX-OR-gaten er mere kompliceret end den almindelige AND- eller OR-gate, men den kan opbygges ved hjælp af disse.

Det viste kredsløb er opbygget af AND- og OR-gates efter $Q = A \bar{B} + \bar{A} B$.



Af økonomiske grunde er det praksis at bruge kredsløb af samme type. Derfor opbygges EX-OR-gaten af NAND- eller NOR-gates.

NOR-versionen er vist nedenfor.



Funktionen af kredsløbet kan afprøves ved at anvende de Morgan på udtrykket:

$$X = A \bar{B} + \bar{A} B$$

$$X = \overline{\overline{A \bar{B} + \bar{A} B}}$$

$$\text{hvor } \overline{A \bar{B}} = D \text{ og } \overline{\bar{A} B} = C$$

$$X = C + D = \bar{E}$$



2. DATBLAD 54/7486

signetics

QUAD 2-INPUT EXCLUSIVE OR GATE

S5486
N7486

S5486-A,F,W • N7486-A,F

DIGITAL 54/74 TTL SERIES

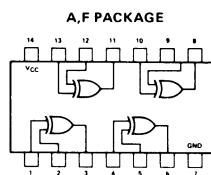
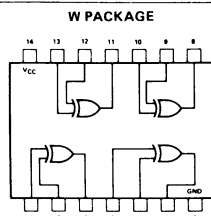
DESCRIPTION

The 54/7486 Quad 2-Input Exclusive OR Gate is a TTL element providing the function $AB + \bar{A}\bar{B}$ at the output.

TRUTH TABLE

INPUTS		OUTPUT
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

PIN CONFIGURATIONS



RECOMMENDED OPERATING CONDITIONS

PARAMETER		MIN	NOM	MAX	UNIT
Supply Voltage V_{CC}	S5486 Circuits	4.5	5	5.5	V
	N7486 Circuits	4.75	5	5.25	V
Normalized Fan-Out from each output, N:	Logical 0			10	
	Logical 1			20	

ELECTRICAL CHARACTERISTICS (over recommended operating free-air temperature range unless otherwise noted)

PARAMETER	TEST CONDITIONS*	MIN	TYP**	MAX	UNIT
$V_{in(1)}$ Input voltage required to ensure logical 1 at any input terminal	$V_{CC} = \text{MIN}$	2			V
$V_{in(0)}$ Input voltage required to ensure logical 0 at any input terminal	$V_{CC} = \text{MIN}$			0.8	V
$V_{out(1)}$ Logical 1 output voltage	$V_{CC} = \text{MIN}, V_{in(1)} = 2V, V_{in(0)} = 0.8V, I_{load} = -800 \mu A$	2.4			V
$V_{out(0)}$ Logical 0 output voltage	$V_{CC} = \text{MIN}, V_{in(1)} = 2V, V_{in(0)} = 0.8V, I_{sink} = 16mA$			0.4	V
$I_{in(1)}$ Logical 1 level input current (each input)	$V_{CC} = \text{MAX}, V_{in} = 2.4V$			40	μA
$I_{in(0)}$ Logical 0 level input current (each input)	$V_{CC} = \text{MAX}, V_{in} = 5.5V$			1	mA
$I_{in(0)}$ Logical 0 level input current (each input)	$V_{CC} = \text{MAX}, V_{in} = 0.4V$			-1.6	mA
I_{OS} Short circuit output current†	$V_{CC} = \text{MAX}, V_{in(1)} = 4.5V, V_{in(0)} = 0$	-20		-55	mA
	S5486	-18		-55	mA
	N7486				
I_{CC} Supply current	$V_{CC} = \text{MAX}, V_{in} = 4.5V$		30	43	mA
	S5486		30	50	mA
	N7486				

SWITCHING CHARACTERISTICS, $V_{CC} = 5V, T_A = 25^\circ C, N = 10$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{pd0} Propagation delay time to logical 0 level (other input low)	$C_L = 15pF, R_L = 400$		11	17	ns
t_{pd1} Propagation delay time to logical 1 level (other input low)	$C_L = 15pF, R_L = 400$		15	23	ns
t_{pd0} Propagation delay time to logical 0 level (Other input high)	$C_L = 15pF, R_L = 400$		13	22	ns
t_{pd1} Propagation delay time to logical 1 level (other input high)	$C_L = 15pF, R_L = 400$		18	30	ns

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable circuit type.

** All typical values are at $V_{CC} = 5V, T_A = 25^\circ C$.

† Not more than one output should be shorted at a time.



DISPOSITION

1. Dekoder
2. Enkoder
3. Koder

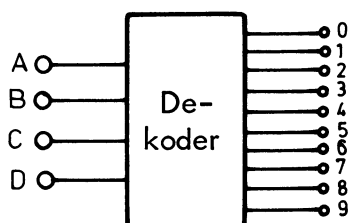
1. DEKODER

1.1 Anvendelse

En dekode er et kredsløb, der accepterer et kodet input og aktiverer en eller flere outputs i overensstemmelse med det kodede input. F.eks. dekodning af BCD-koden til én ud af ti-koden, decimal-koden.

1.2 Princip

En dekode er i princippet en gate med en eller flere udgange og en eller flere indgange.



Sandhedstabellen for det viste kredsløb kan se således ud:

Indgange				Udgange									
A	B	C	D	0	1	2	3	4	5	6	7	8	9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1

Enhver dekode kan opbygges ved hjælp af simple gates.

Opbygningen af en 2- til 4-liniedekoder kan foregå således:

Først udskrives en sandhedstabel, der viser, hvorledes det logiske sammenhæng er mellem ind- og udgang.

Indgange		Udgange			
A	B	0	1	2	3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Det booleske udtryk for udgangene skrives

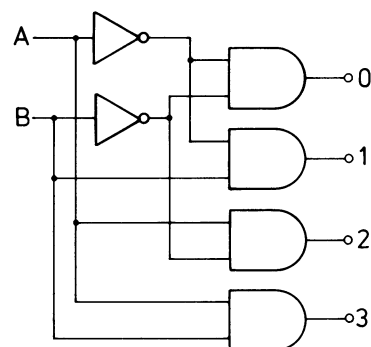
$$0 \rightarrow \bar{A}\bar{B}$$

$$1 \rightarrow \bar{A}B$$

$$2 \rightarrow A\bar{B}$$

$$3 \rightarrow AB$$

Det logiske kredsløb kan derefter tegnes.





1.3 Eksempel på datablad

signetics**BCD-TO-SEVEN SEGMENT
DECODER/DRIVER****N7446
N7447**

N7446-B • N7447-B

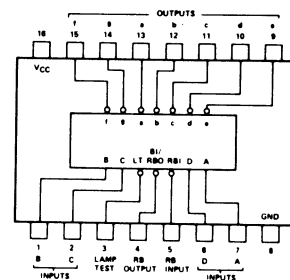
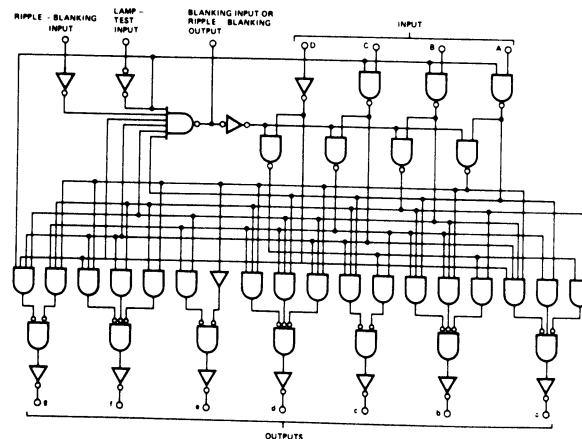
DIGITAL 54/74 TTL SERIES

DESCRIPTION

The 7446 and 7447 BCD-to-Seven Segment Decoder/Driver are TTL monolithic devices consisting of the necessary logic to decode a BCD code to seven segment readout plus selected signs.

Incorporated in this device is a blanking circuit allowing leading and trailing zero suppression. Also included is a lamp test control to turn on all segments.

The 7446 and 7447 provide bare collector output transistors for directly driving lamps. The output transistor breakdown of the 7446 is 30 volts and the 7447 is 15 volts.

PIN CONFIGURATION**B PACKAGE****LOGIC DIAGRAM**



SIGNETICS BCD-TO-SEVEN SEGMENT DECODER/DRIVER ■ N7446, N7447

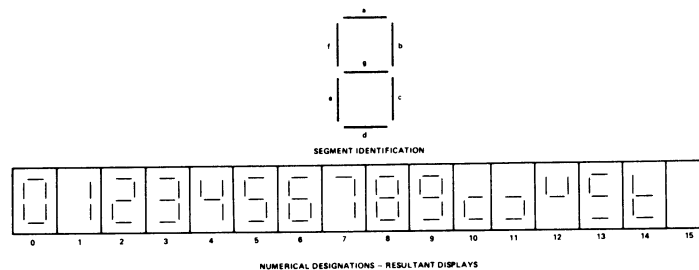
TRUTH TABLE

DECIMAL OR FUNCTION	INPUTS						OUTPUTS								NOTE
	LT	RBI	D	C	B	A	BI/RBO	a	b	c	d	e	f	g	
0	1	1	0	0	0	0	1	0	0	0	0	0	0	1	1
1	1	x	0	0	0	1	1	1	0	0	1	1	1	1	1
2	1	x	0	0	1	0	1	0	0	1	0	0	1	0	
3	1	x	0	0	1	1	1	0	0	0	0	1	1	0	
4	1	x	0	1	0	0	1	1	0	0	1	1	0	0	
5	1	x	0	1	0	1	1	0	1	0	0	1	0	0	
6	1	x	0	1	1	0	1	1	1	0	0	0	0	0	
7	1	x	0	1	1	1	1	0	0	0	1	1	1	1	
8	1	x	1	0	0	0	1	0	0	0	0	0	0	0	
9	1	x	1	0	0	1	1	0	0	0	1	1	0	0	
10	1	x	1	0	1	0	1	1	1	1	0	0	1	0	
11	1	x	1	0	1	1	1	1	1	0	0	1	1	0	
12	1	x	1	1	0	0	1	1	0	1	1	1	0	0	
13	1	x	1	1	0	1	1	0	1	1	0	1	0	0	
14	1	x	1	1	1	0	1	1	1	1	0	0	0	0	
15	1	x	1	1	1	1	1	1	1	1	1	1	1	1	
BI	x	x	x	x	x	x	0	1	1	1	1	1	1	1	2
RBI	1	0	0	0	0	0	0	1	1	1	1	1	1	1	3
LT	0	x	x	x	x	x	1	0	0	0	0	0	0	0	4

NOTES:

1. BI/RBO is wire-OR logic serving as blanking input (BI) and/or ripple-blanking output (RBO). The blanking input must be open or held at a logical 1 when output functions 0 through 15 are desired and ripple-blanking input (RBI) must be open or at a logical 1 during the decimal 0 input. X = input may be high or low.
2. When a logical 0 is applied to the blanking input (forced condition) all segment outputs go to a logical 1 regardless of the state of any other input condition.
3. When ripple-blanking input (RBI) is at a logical 0 and A = B = C = D = logical 0, all segment outputs go to a logical 1 and the ripple-blanking output goes to a logical 0 (response condition).
4. When blanking input/ripple-blanking output is open or held at a logical 1, and a logical 0 is applied to lamp-test input, all segment outputs go to a logical 0.

SEGMENT IDENTIFICATION





SIGNETICS BCD-TO-SEVEN SEGMENT DECODER/DRIVER ■ N7446, N7447

RECOMMENDED OPERATING CONDITIONS

PARAMETER	MIN	NOM	MAX	UNIT
Supply Voltage V_{CC} (See Note 1): N7446, N7447 Circuits	4.75	5	5.25	V
Continuous Voltage at Outputs a through g: N7446 Circuits			30	V
N7447 Circuits			15	V
Normalized Fan-Out From Outputs a through g to Series 54/74 loads: N7446, N7447 Circuits			12	
Normalized Fan-Out From BI/RBO Node to Series 54/74 loads: N7446, N7447 Circuits			5	
Output Sink Current, I_{sink} : N7446, N7447 Outputs a through g			20	mA
N7446, N7447, BI/RBO Node			8	mA

NOTES:

- These voltage values are with respect to network ground terminal.
- Input voltage must be zero or positive with respect to network ground terminal.
- This rating applies when the output is off.

ELECTRICAL CHARACTERISTICS (over recommended operating free-air temperature range unless otherwise noted)

PARAMETER	TEST CONDITIONS *	MIN	TYP **	MAX	UNIT
$V_{in(1)}$ Input voltage required to ensure logical 1 at any point	$V_{CC} = \text{MIN}$	2			V
$V_{in(0)}$ Input voltage required to ensure logical 0 at any input	$V_{CC} = \text{MIN}$			0.8	V
V_{on} On-state output voltage at outputs a through g	$V_{CC} = \text{MIN}, I_{sink} = 40\text{mA}$		0.27	0.4	V
$V_{out(0)}$ Logical 0 output voltage at BI/RBO node	$V_{CC} = \text{MIN}, I_{sink} = 8\text{mA}$		0.3	0.4	V
V_{off} Off-state output voltage at outputs a through g (S5446 and N7446 only)	$V_{CC} = \text{MAX}, I_{off} = 250 \text{ A}$	30			V
V_{off} Off-state output voltage at outputs a through g (S5447 and N7447 only)	$V_{CC} = \text{MAX}, I_{off} = 250 \text{ A}$	15			V
$V_{out(1)}$ Logical 1 output voltage at BI/RBO node	$V_{CC} = \text{MIN}, I_{load} = 200 \text{ A}$	2.4	3.7		V
$I_{in(0)}$ Logical 0 level input current at any input except BI/RBO node	$V_{CC} = \text{MAX}, V_{in} = 0.4\text{V}$			-1.6	mA
$I_{in(0)}$ Logical 0 level input current at BI/RBO node	$V_{CC} = \text{MAX}, V_{in} = 0.4\text{V}$			-4.2	mA
$I_{in(1)}$ Logical 1 level input current at any input except BI/RBO node	$V_{CC} = \text{MAX}, V_{in} = 2.4\text{V}$ $V_{CC} = \text{MAX}, V_{in} = 5.5\text{V}$			40 1	μA mA
I_{OS} Short-circuit output current at BI/RBO node	$V_{CC} = \text{MAX}$			-4	mA
I_{CC} Supply current	$V_{CC} = \text{MAX}$ N7446, N7447		53	90	mA



SIGNETICS BCD-TO-SEVEN SEGMENT DECODER/DRIVER ■ N7446, N7447

SWITCHING CHARACTERISTICS, $V_{CC} = 5V$, $T_A = 25^\circ C$

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{pd1}	Propagation delay time to logical 1 level from A input to any output	$C_L = 15pF$,	$R_L = 280 \Omega$			100	ns
t_{pd0}	Propagation delay time to logical 0 level from A input to any output	$C_L = 15pF$,	$R_L = 280 \Omega$			100	ns
t_{pd1}	Propagation delay time to logical 1 level from RBI input to any output	$C_L = 15pF$,	$R_L = 280 \Omega$			100	ns
t_{pd0}	Propagation delay time to logical 0 level from RBI input to any output	$C_L = 15pF$,	$R_L = 280 \Omega$			100	ns

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable circuit type.

** All typical values are at $V_{CC} = 5V$, $T_A = 25^\circ C$.



2. ENKODER

2.1 Anvendelse

En enkoder er et kredsløb med uafhængige indgange, og hvis udgange angiver indgangens tilstand i kode.

En enkoder kan f.eks. anvendes ved 16 linie til 4 linie binær kodning.

2.2 Eksempel SN74148

TTL MSI TYPES SN54147, SN54148, SN54LS147, SN54LS148, SN74147, SN74148 (TIM9907), SN74LS147, SN74LS148 10-LINE-TO-4-LINE AND 8-LINE-TO-3-LINE PRIORITY ENCODERS

BULLETIN NO. DLS 7611727, OCTOBER 1976

'147, 'LS147

- Encodes 10-Line Decimal to 4-Line BCD
- Applications Include:
Keyboard Encoding
Range Selection

'148, 'LS148

- Encodes 8 Data Lines to 3-Line Binary (Octal)
- Applications Include:
N-Bit Encoding
Code Converters and Generators

TYPE	TYPICAL DATA DELAY	TYPICAL POWER DISSIPATION
'147	10 ns	225 mW
'148	10 ns	190 mW
'LS147	15 ns	60 mW
'LS148	15 ns	60 mW

description

These TTL encoders feature priority decoding of the inputs to ensure that only the highest-order data line is encoded. The '147 and 'LS147 encode nine data lines to four-line (8-4-2-1) BCD. The implied decimal zero condition requires no input condition as zero is encoded when all nine data lines are at a high logic level. The '148 and 'LS148 encode eight data lines to three-line (4-2-1) binary (octal). Cascading circuitry (enable input E1 and enable output EO) has been provided to allow octal expansion without the need for external circuitry. For all types, data inputs and outputs are active at the low logic level. All inputs are buffered to represent one normalized Series 54/74 or 54LS/74LS load, respectively.

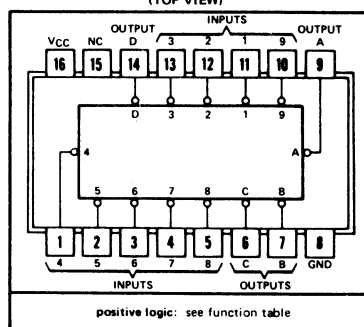
'147, 'LS147

FUNCTION TABLE

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	L	H	H	H	L	L	L	L
X	X	X	X	L	H	H	H	H	H	L	L	H
X	X	X	L	H	H	H	H	H	H	L	H	L
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

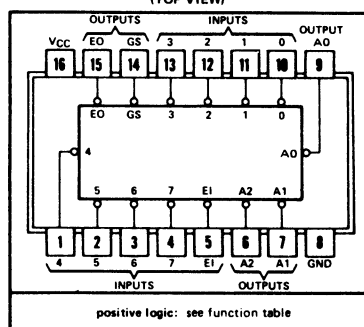
H = high logic level, L = low logic level, X = irrelevant

SN54147, SN54LS147 ... J OR W PACKAGE SN74147, SN74LS147 ... J OR N PACKAGE (TOP VIEW)



NC: No internal connection

SN54148, SN54LS148 ... J OR W PACKAGE SN74148, SN74LS148 ... J OR N PACKAGE (TOP VIEW)

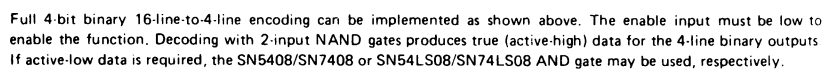


positive logic: see function table

'148, 'LS148

FUNCTION TABLE

EI	INPUTS							OUTPUTS			
	0	1	2	3	4	5	6	A2	A1	A0	GS EO
H	X	X	X	X	X	X	X	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	L	L	L	L	H
L	X	X	X	X	X	L	H	L	L	H	L
L	X	X	X	X	L	H	H	L	H	L	H
L	X	X	X	L	H	H	H	H	L	H	L
L	X	X	L	H	H	H	H	H	L	L	H
L	X	L	H	H	H	H	H	H	L	H	L
L	X	L	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	L





3.2 Eksempel SN74184

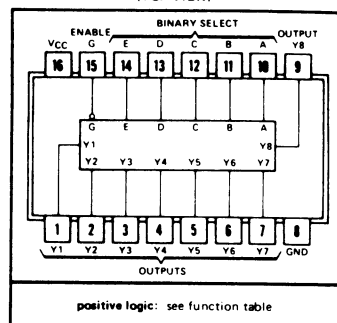
TTL
MSITYPES SN54184, SN54185A, SN74184, SN74185A
BCD-TO-BINARY AND BINARY-TO-BCD CONVERTERS

BULLETIN NO. DLS 7211392, FEBRUARY 1971 — REVISED DECEMBER 1972

SN54184, SN74184 BCD-TO-BINARY CONVERTERS
SN54185A, SN74185A BINARY-TO-BCD CONVERTERS

description

These monolithic converters are derived from the custom MSI 256-bit read-only memories SN5488 and SN7488. Emitter connections are made to provide direct read-out of converted codes at outputs Y8 through Y1 as shown in the function tables. These converters demonstrate the versatility of a read-only memory in that an unlimited number of reference tables or conversion tables may be built into a system using economical, customized read-only memories. Both of these converters comprehend that the least significant bits (LSB) of the binary and BCD codes are logically equal, and in each case the LSB bypasses the converter as illustrated in the typical applications. This means that a 6-bit converter is produced in each case. Both devices are cascadable to N bits.

SN54184, SN54185A ... J OR W PACKAGE
SN74184, SN74185A ... J OR N PACKAGE
(TOP VIEW)

positive logic: see function table

An overriding enable input is provided on each converter which, when taken high, inhibits the function, causing all outputs to go high. For this reason, and to minimize power consumption, unused outputs Y7 and Y8 of the '185A and all "don't care" conditions of the '184 are programmed high. The outputs are of the open-collector type.

The SN54184 and SN54185A are characterized for operation over the full military temperature range of -55°C to 125°C ; the SN74184 and SN74185A are characterized for operation from 0°C to 70°C .

SN54184 and SN74184 BCD-to-binary converters

The 6-bit BCD-to-binary function of the SN54184 and SN74184 is analogous to the algorithm:

- Shift BCD number right one bit and examine each decade. Subtract three from each 4-bit decade containing a binary value greater than seven.
- Shift right, examine, and correct after each shift until the least significant decade contains a number smaller than eight and all other converted decades contain zeros.

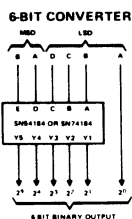
TABLE I
SN54184, SN74184
PACKAGE COUNT AND DELAY TIMES
FOR BCD-TO-BINARY CONVERSION

INPUT (DECADES)	PACKAGES REQUIRED	TOTAL DELAY TIMES (ns)	
		TYP	MAX
2	2	56	80
3	6	140	200
4	11	196	280
5	19	280	400
6	28	364	520



TYPES SN54184, SN54185A, SN74184, SN74185A BCD-TO-BINARY AND BINARY-TO-BCD CONVERTERS

SN54184 and SN74184 BCD-to-binary converters (continued)



FUNCTION TABLE
BCD-TO-BINARY
CONVERTER

BCD WORDS	INPUTS (See Note A)					OUTPUTS (See Note B)			
	E	D	C	B	A	G	Y5	Y4	Y3 Y2 Y1
0 1	L	L	L	L	L	L	L	L	L L L
2 3	L	L	L	L	H	L	L	L	L L H
4 5	L	L	L	H	L	L	L	L	L H L
6 7	L	L	L	H	H	L	L	L	L H H
8 9	L	L	H	L	L	L	L	L	L H L
10 11	L	H	L	L	L	L	L	L	L H L
12 13	L	H	L	L	H	L	L	L	L H L
14 15	L	H	L	H	L	L	L	L	L H H
16 17	L	H	L	H	H	L	L	L	L H L
18 19	L	H	H	L	L	L	L	L	L H L
20 21	H	L	L	L	L	L	L	H	L H L
22 23	H	L	L	L	H	L	L	H	L H H
24 25	H	L	L	H	L	L	L	H	L H L
26 27	H	L	L	H	H	L	L	H	L H H
28 29	H	L	H	L	L	L	L	H	L H L
30 31	H	H	L	L	L	L	L	H	L H H
32 33	H	H	L	L	H	L	L	L	L L L
34 35	H	H	L	H	L	L	L	L	L L L
36 37	H	H	L	H	H	L	L	L	L L L
38 39	H	H	H	L	L	L	L	L	L L L
ANY	X	X	X	X	X	H	H	H	H H H

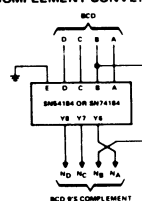
H = high level, L = low level, X = irrelevant

NOTES: A. Input conditions other than those shown produce highs at outputs Y1 through Y5.

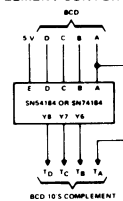
B. Outputs Y6, Y7, and Y8 are not used for BCD-to-binary conversion.

In addition to BCD-to-binary conversion, the SN54184 and SN74184 are programmed to generate BCD 9's complement or BCD 10's complement. Again, in each case, one bit of the complement code is logically equal to one of the BCD bits; therefore, these complements can be produced on three lines. As outputs Y6, Y7, and Y8 are not required in the BCD-to-binary conversion, they are utilized to provide these complement codes as specified in the function table (above, right) when the devices are connected as shown above the function table.

BCD 9'S
COMPLEMENT CONVERTER



BCD 10'S
COMPLEMENT CONVERTER



FUNCTION TABLE
BCD 9'S OR BCD 10'S
COMPLEMENT CONVERTER

BCD WORD	INPUTS (See Note C)					OUTPUTS (See Note D)		
	E ¹	D	C	B	A	G	Y8	Y7 Y6
0	L	L	L	L	L	L	L	L L L
1	L	L	L	L	H	L	L	L L L
2	L	L	L	H	L	L	L	L L H
3	L	L	L	H	H	L	L	L L H
4	L	L	H	L	L	L	L	L L H
5	L	L	H	L	H	L	L	L L L
6	L	L	H	H	L	L	L	L L L
7	L	L	H	H	H	L	L	L L L
8	L	H	L	L	L	L	L	L L L
9	L	H	L	L	H	L	L	L L L
0	H	L	L	L	L	L	L	L L L
1	H	L	L	L	H	L	L	L L L
2	H	L	L	H	L	L	L	L L L
3	H	L	L	H	H	L	L	L L L
4	H	L	H	L	L	L	L	L L L
5	H	L	H	L	H	L	L	L L L
6	H	L	H	H	L	L	L	L L L
7	H	L	H	H	H	L	L	L L L
8	H	H	L	L	L	L	L	L L L
9	H	H	L	L	H	L	L	L L L
ANY	X	X	X	X	X	H	H	H H H

H = high level, L = low level, X = irrelevant

NOTES: C. Input conditions other than those shown produce highs at outputs Y6, Y7, and Y8.

D. Outputs Y1 through Y5 are not used for BCD 9's or BCD 10's complement conversion.

¹When these devices are used as complement converters, input E is used as a mode control. With this input low, the BCD 9's complement is generated; when it is high, the BCD 10's complement is generated.



DISPOSITION

1. Relativ størrelse
2. Relativ størrelsesdetektor

1. RELATIV STØRRELSE

1.1 Kontrol af størrelse

Når man skal undersøge, hvilket af to binære tal der er det største, starter man med at sammenligne de mest betydende bit. Hvis det ene MSB er større end det andet, er det største tal fundet.

Dersom de to MSB har samme værdi, må næstmeste betydende bit undersøges, er de to bit også ens, må man undersøge de næste bit.

Det første sted, hvor bit'ene er forskellige, bestemmer, hvilket tal der har den største værdi.

1.2 Eksempel

To binære tal skal undersøges, og deres relative størrelsesforhold skal findes.

$A = 1\ 0\ 1\ 0\ 1\ 0$

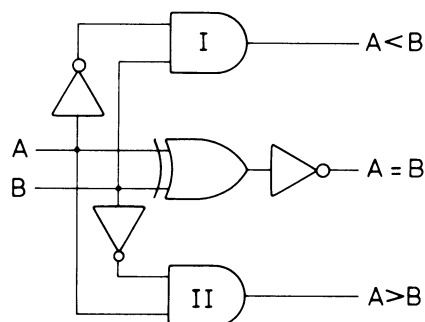
$B = 1\ 0\ 0\ 1\ 1\ 1$

Først undersøges 6. bit, der her har samme størrelse, derfor skal 5. bit også undersøges. Disse bit giver samme resultat, og 4. bit må nu undersøges.

Her er A bit'et 1 og B bit'et 0, hvilket gør, at man ikke behøver at undersøge flere bit, i det resultatet er $A > B$.

1.3 1-bitstørrelsesdetektor

Det digitale kredsløb til undersøgelse af to 1-bittal ser således ud:

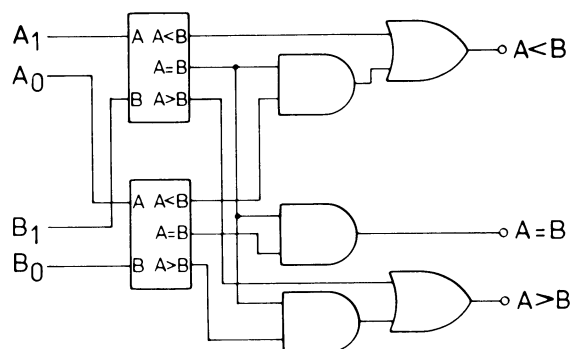


Gate I undersøger, hvornår A er 0, og B er 1, medens gate II undersøger, hvornår A er 1 og B er 0. EX-OR'en er efterfulgt af en inverter og bliver derved til en lighedsdetektor.

1.4 2-bitstørrelsesdetektor

En 2-bitdetektor består i princippet af to 1-bitdetektorer, der er forbundet på en sådan måde, at den detekterer MSB, som bestemmer, om informationen fra LSB-detektoren skal anvendes.

Kredsløbet kan se således ud:

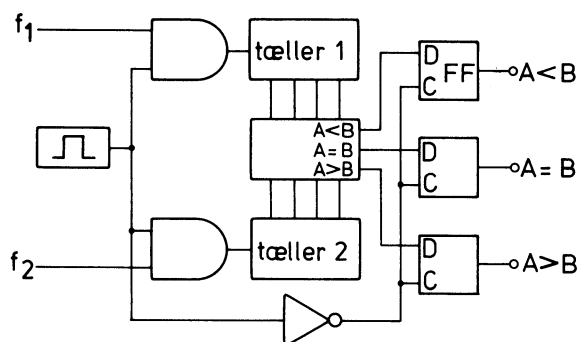




1.5 Anvendelse

Den relative størrelsesdetektor kan anvendes til at finde, hvilken af de to frekvenser der er den højeste, laveste, eller om frekvenserne er ens.

Princippet for et sådant kredsløb bygger på, at to tællere tæller, hvor mange svingninger hver af de to frekvenser foretager inden for et givet tidsinterval. Efter tælleforløbet føres de to binære værdier til størrelsesdetektor, som angiver frekvensens relative størrelsesforhold med $A > B$, $A = B$ eller $A < B$.



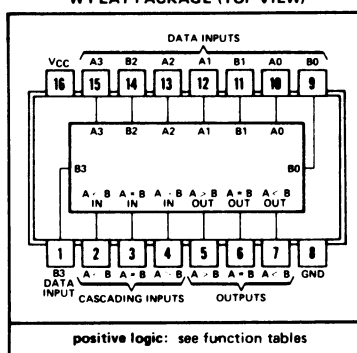


2. RELATIV STØRRELSESEDETEKTOR

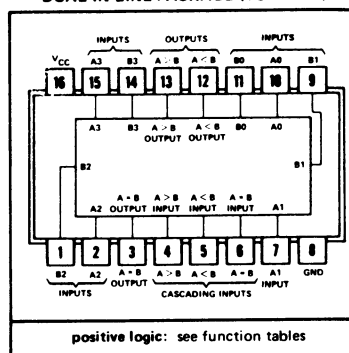
2.1 Eksempel på datablad

TTL
MSITYPES SN5485, SN54L85, SN54S85,
SN7485, SN74L85, SN74S85
4-BIT MAGNITUDE COMPARATORS

TYPE	TYPICAL POWER DISSIPATION	TYPICAL DELAY (4-BIT WORDS)
'85	275 mW	23 ns
'L85	20 mW	90 ns
'S85	365 mW	11 ns

'85, 'S85
J OR N DUAL-IN-LINE OR
W FLAT PACKAGE (TOP VIEW)

positive logic: see function tables

'L85
J OR N
DUAL-IN-LINE PACKAGE (TOP VIEW)

positive logic: see function tables

description

These four-bit magnitude comparators perform comparison of straight binary and straight BCD (8-4-2-1) codes. Three fully decoded decisions about two 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits without external gates. Words of greater length may be compared by connecting comparators in cascade. The $A > B$, $A < B$, and $A = B$ outputs of a stage handling less-significant bits are connected to the corresponding $A > B$, $A < B$, and $A = B$ inputs of the next stage handling more-significant bits. The stage handling the least-significant bits must have a high-level voltage applied to the $A = B$ input and additionally for the 'L85, low-level voltages applied to the $A > B$ and $A < B$ inputs. The cascading paths of the '85 and 'S85 are implemented with only a two-gate-level delay to reduce overall comparison times for long words. An alternate method of cascading which further reduces the comparison time is shown in the typical application data.

FUNCTION TABLES

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H

'85, 'S85

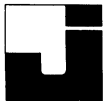
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	A2 > B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 < B3	A2 > B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 > B2	A1 = B1	A0 = B0	L	L	L	H	H	L

'L85

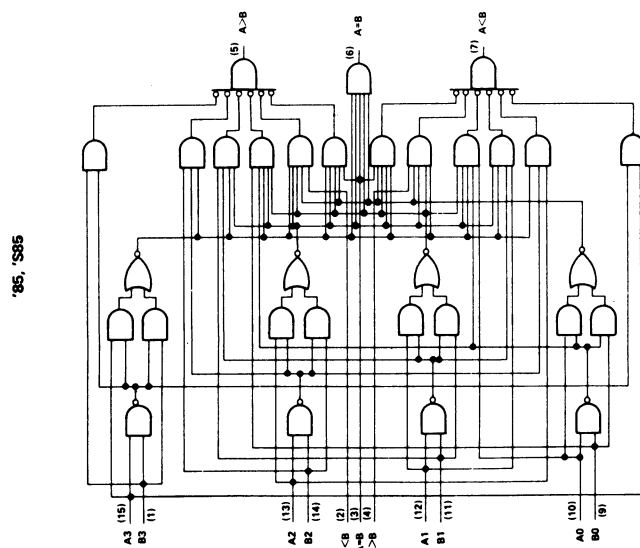
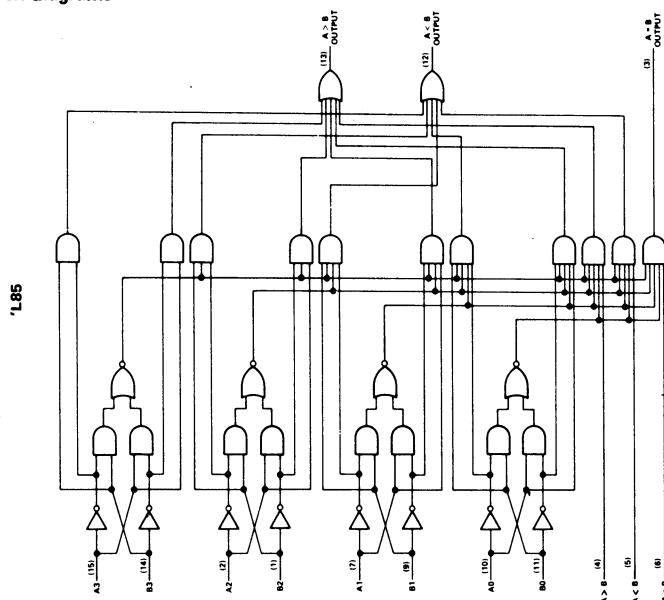
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	A2 > B2	A1 = B1	A0 = B0	L	H	H	L	H	H
A3 < B3	A2 > B2	A1 = B1	A0 = B0	H	L	H	H	L	H
A3 = B3	A2 > B2	A1 = B1	A0 = B0	H	H	H	H	H	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	H	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	L	L	L

H = high level, L = low level, X = irrelevant

TEXAS INSTRUMENTS

**TYPES SN5485, SN54L85, SN54S85,
SN7485, SN74L85, SN74S85
4-BIT MAGNITUDE COMPARATORS**

functional block diagrams



TEXAS INSTRUMENTS



TYPES SN5485, SN7485

4-BIT MAGNITUDE COMPARATORS

recommended operating conditions

	SN5485			SN7485			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-400			-400	μ A
Low-level output current, I_{OL}			16			16	mA
Operating free-air temperature, T_A	-55		125	0		70	$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER			TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V _{IH}	High-level input voltage				2			V
V _{IL}	Low-level input voltage						0.8	V
V _I	Input clamp voltage		V _{CC} = MIN, I _I = −12 mA				−1.5	V
V _{OH}	High-level output voltage		V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.8 V, I _{OH} = −400 μA		2.4	3.4		V
V _{OL}	Low-level output voltage		V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.8 V, I _{OL} = 16 mA			0.2	0.4	V
I _I	Input current at maximum input voltage		V _{CC} = MAX, V _I = 5.5 V				1	mA
I _{IH}	High-level input current	A < B, A > B inputs	V _{CC} = MAX, V _I = 2.4 V				40	μA
		all other inputs					120	
I _{IL}	Low-level input current	A < B, A > B inputs	V _{CC} = MAX, V _I = 0.4 V				−1.6	mA
		all other inputs					−4.8	
I _{OS}	Short-circuit output current §		V _{CC} = MAX, V _O = 0		SN5485	−20	−55	mA
					SN7485	−18	−55	
I _{CC}	Supply current		V _{CC} = MAX, See Note 4			55	88	mA

[†]For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.

[‡]All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$.

[§]Not more than one output should be shorted at a time.

NOTE 4: I_{CC} is measured with outputs open, A = B grounded, and all other inputs at 4.5 V.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$

PARAMETER [¶]	FROM INPUT	TO OUTPUT	NUMBER OF GATE LEVELS	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Any A or B data input	A < B, A > B	1	$C_L = 15 \text{ pF}$, $R_L = 400 \Omega$, See Note 5		7		ns
			2			12		
		A = B	3			17	26	
			4			23	35	
t_{PHL}	Any A or B data input	A < B, A > B	1			11		ns
			2			15		
		A = B	3			20	30	
			4			20	30	
t_{PLH}	A < B or A = B	A > B	1			7	11	ns
t_{PHL}	A < B or A = B	A > B	1			11	17	ns
t_{PLH}	A = B	A = B	2			13	20	ns
t_{PHL}	A = B	A = B	2			11	17	ns
t_{PLH}	A > B or A = B	A < B	1			7	11	ns
t_{PHL}	A > B or A = B	A < B	1			11	17	ns

[¶] t_{PLH} \equiv propagation delay time, low-to-high-level output

t_{PHL} \equiv propagation delay time, high-to-low-level output

NOTE 5: Load circuit and voltage waveforms are shown on page 148.

TEXAS INSTRUMENTS



DISPOSITION

1. Paritetskontrol
2. Parity-bitgenerator

1. PARITETSKONTROL

1.1 Kontrol af binære tal

Der er en del måder at kontrollere, om et binært tal, der sendes fra en enhed til en anden, er overført rigtigt.

En måde er at tælle antallet af "1"-bit i det binære tal, og hvis der er et ulige antal "1"-bit, tilføjes et bit mere, kaldet et parity-bit lig med 1 i enden af tallet.

Hvis antallet af 1-bit i det binære tal er lige, tilføjes et parity-bit lig med 0.

Hvis et tal med parity-bit senere kontrolleres, skal der altid være et lige antal 1-bit. Det sammensatte tal siges nu at have lige parity.

Data, der sendes over lange strækninger, har ofte et parity-bit tilføjet, for at computeren eller det logiske system på modtagersiden kan kontrollere tallets rigtighed, før det accepteres.

Antag, at informationen til behandlingen af en check på kr. 128 sendes fra en computer til en anden som det binære tal 10000000. Hvis 2⁷-bit'et i informationen af en eller anden grund blev ændret, ville beløbet være kr. 0. Hvis systemet havde anvendt paritetskontrol, ville tallet have været 100000001, og tallet med fejl ville være 000000001. Dette vil modtagercomputeren straks reagere overfor og bede om ny information.

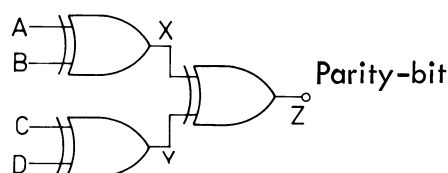
1.2 Parity-kredsløb

For at danne parity-bit'et skal informationen undersøges, om den indeholder et lige eller ulige antal 1'er.

En BCD-kode med lige parity vil se således ud:

B	C	D	Parity-bit	
D	C	B	A	Z
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0

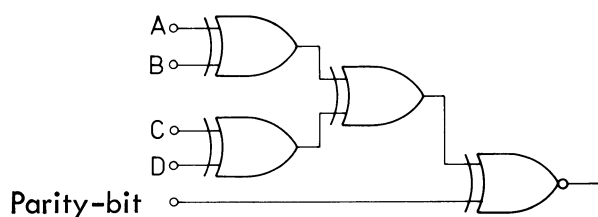
Kredsløbet, der kan danne parity-bit'et, ser således ud:



Er A og B ens, dvs. enten 11 eller 00, vil X være 0. Er C og D også ens, vil Y være 0. Når X og Y er ens, giver Z et 0 ud. Hvilket også er korrekt, når der skal afsendes lige parity.

Hvis der er et ulige antal "1" i ABCD, vil X og Y have forskellig værdi, og Z vil være 1.

Kredsløbet, der på modtagersiden kontrollerer pariteten, kan se således ud:



Ved korrekt paritet afgiver kredsløbet et 1 til indikering af, at informationen er korrekt.



2. PARITY-BITGENERATOR

2.1 Datablad

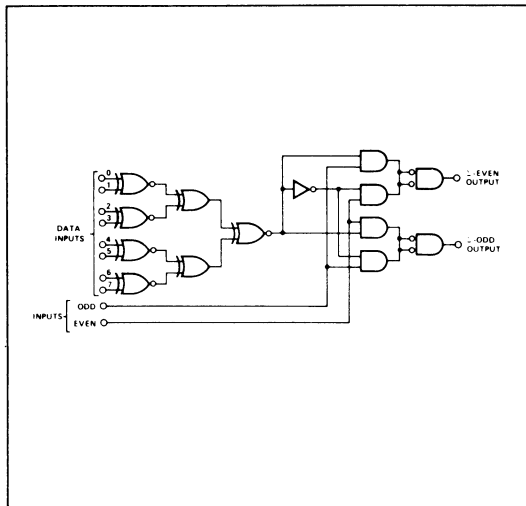
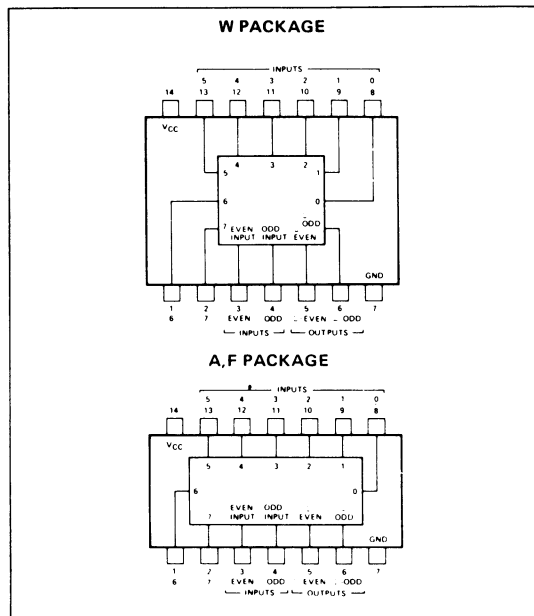
signetics**8-BIT ODD/EVEN PARITY
GENERATOR/CHECKER****S54180
N74180**

S54180-A,F,W • N74180-A,F

DIGITAL 54/74 TTL SERIES

DESCRIPTION

The 54/74180 8-Bit Odd/Even Parity Generator/Checker is a TTL monolithic array featuring gating logic arranged to generate or check odd or even parity.

LOGIC DIAGRAM**PIN CONFIGURATIONS****TRUTH TABLE**

INPUTS			OUTPUTS	
Σ OF 1's AT 0 THRU 7	EVEN	ODD	Σ EVEN	Σ ODD
EVEN	1	0	1	0
ODD	1	0	0	1
EVEN	0	1	0	1
ODD	0	1	1	0
X	1	1	0	0
X	0	0	1	1

X = irrelevant

RECOMMENDED OPERATING CONDITIONS

	MIN	NOM	MAX	UNIT
Supply Voltage V_{CC} S54180	4.5	5	5.5	V
N74180	4.75	5	5.25	V
Normalized Fan-Out from each Output, N: Logical 0			10	V
Logical 1			20	V



SIGNETICS 8-BIT ODD/EVEN PARITY GENERATOR/CHECKER ■ S54180, N74180

ELECTRICAL CHARACTERISTICS (over recommended operating free-air temperature range unless otherwise noted)

PARAMETER	TEST CONDITIONS *	MIN	TYP **	MAX	UNIT
$V_{in(1)}$ Input voltage required to ensure logical 1 at any input terminal	$V_{CC} = \text{MIN}$	2			V
$V_{in(0)}$ Input voltage required to ensure logical 0 at any input terminal	$V_{CC} = \text{MIN}$			0.8	V
$V_{out(1)}$ Logical 1 output voltage	$V_{CC} = \text{MIN}$, $V_{in(1)} = 2\text{V}$, $V_{in(0)} = 0.8\text{V}$, $I_{load} = -800\mu\text{A}$	2.4			V
$V_{out(0)}$ Logical 0 output voltage	$V_{CC} = \text{MIN}$, $V_{in(1)} = 2\text{V}$, $V_{in(0)} = 0.8\text{V}$, $I_{sink} = 16\text{mA}$			0.4	V
$I_{in(1)}$ Logical 1 level input current at each data input	$V_{CC} = \text{MAX}$, $V_{in} = 2.4\text{V}$			40	μA
	$V_{CC} = \text{MAX}$, $V_{in} = 5.5\text{V}$			1	mA
$I_{in(0)}$ Logical 0 level input current at each data input	$V_{CC} = \text{MAX}$, $V_{in} = 0.4\text{V}$			-1.6	mA
$I_{in(1)}$ Logical 1 level input current at even or odd input	$V_{CC} = \text{MAX}$, $V_{in} = 2.4\text{V}$			80	μA
	$V_{CC} = \text{MAX}$, $V_{in} = 5.5\text{V}$			1	mA
$I_{in(0)}$ Logical 0 level input current at even or odd input	$V_{CC} = \text{MAX}$, $V_{in} = 0.4\text{V}$			-3.2	mA
I_{OS} Short-circuit output current†	$V_{CC} = \text{MAX}$	-20		-55	mA
		-18		-55	mA
I_{CC} Supply current	$V_{CC} = \text{MAX}$		34	49	mA
			34	56	mA

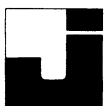
SWITCHING CHARACTERISTICS, $V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$, $N = 10$

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{pd1}	Data	Σ Even	$C_L = 15\text{pF}$, $R_L = 400\Omega$		40	60	ns
t_{pd0}	Data	Σ Even	$C_L = 15\text{pF}$, $R_L = 400\Omega$		25	38	ns
t_{pd1}	Data	Σ Odd	$C_L = 15\text{pF}$, $R_L = 400\Omega$		32	48	ns
t_{pd0}	Data	Σ Odd	$C_L = 15\text{pF}$, $R_L = 400\Omega$		45	68	ns
t_{pd1}	Data	Σ Even	$C_L = 15\text{pF}$, $R_L = 400\Omega$		32	48	ns
t_{pd0}	Data	Σ Even	$C_L = 15\text{pF}$, $R_L = 400\Omega$		45	68	ns
t_{pd1}	Data	Σ Odd	$C_L = 15\text{pF}$, $R_L = 400\Omega$		40	60	ns
t_{pd0}	Data	Σ Odd	$C_L = 15\text{pF}$, $R_L = 400\Omega$		25	38	ns
t_{pd1}	Even or Odd	Σ Even or Σ Odd	$C_L = 15\text{pF}$, $R_L = 400\Omega$		13	20	ns
t_{pd0}	Even or Odd	Σ Even or Σ Odd	$C_L = 15\text{pF}$, $R_L = 400\Omega$		7	10	ns

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions of the applicable device type.

** All typical values are at $V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$.

† Not more than one output should be shorted at a time.



DISPOSITION

1. Three-state logik
2. Multiplekser

1. THREE-STATE LOGIK

1.1 Niveauer

Ved almindelig digitalteknik anvendes kun to logiske niveauer. Ved det ene niveau er der en lav impedans i forhold til stel, medens der i det andet niveau er lav impedans til forsynings-spændingen.

Ved three-state logik anvendes også et tredje "niveau". Dette "niveau" er hverken HI eller LO. Udgangen er ved det tredje "niveau" afbrudt, således at udgangsimpedansen er meget stor.

1.2 Anvendelse

Three-state logikken anvendes, hvor flere udgange skal forbindes til samme indgang.

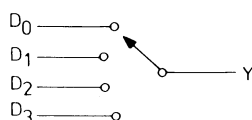
Ved kun at have en udgang aktiv ad gangen vil de forskellige udgange ikke belaste hinanden.

I store datasystemer anvendes den samme signalledning, data BUS, til mange forskellige informationer til hvert sit tidspunkt. For at sikre, at kun den rigtige information er på ledningen til det rette tidspunkt, køres alle andre udgange, ud over den der anvendes, i off-state.

2. MULTIPLEKSER

2.1 Princip

En multiplexer er en digital-omskifter med flere indgange og en udgang.

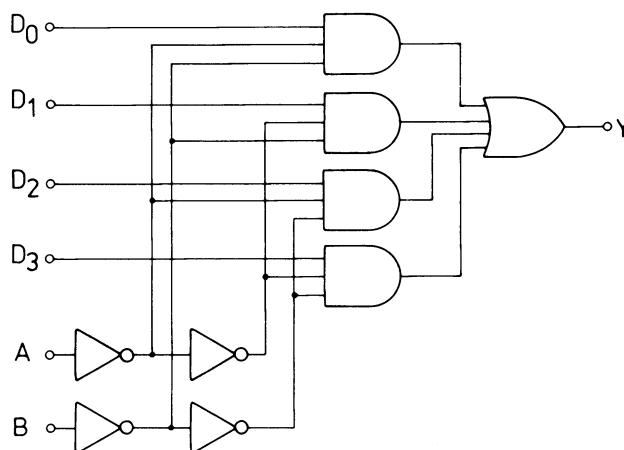


Omskifteren styres af en digitalkode, der som oftest er BCD.

Det booleske udtryk for en multiplexer med fire indgange ser således ud:

$$Y = D_0\bar{A}\bar{B} + D_1\bar{A}B + D_2\bar{A}B + D_3AB$$

Kredsløbet ser således ud:



D er dataindgangene, medens A og B bestemmer, hvilken indgang der har forbindelse med udgangen.

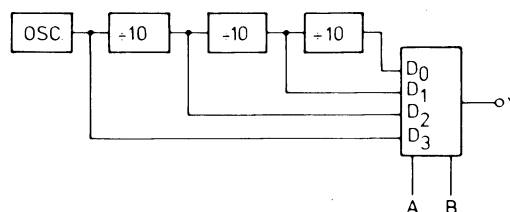
Sandhedstabellen for kredsløbet ser således ud:

A	B	Y
0	0	D ₀
0	1	D ₂
1	0	D ₁
1	1	D ₃

2.2 Anvendelse

Kredsløbet kan anvendes til at udvælge forskellige signaler.

I en frekvenstæller, hvor der ud af en dekadetæller skal vælges forskellige delerforhold, alt efter hvilken frekvens man skal tælle, kan en multiplexer anvendes til udvælgelse af det rigtige delerforhold.



2.3 Datablad

TTL
MSI

**TYPES SN54251, SN54LS251, SN54S251,
SN74251, SN74LS251, SN74S251**
DATA SELECTORS/MULTIPLEXERS WITH 3-STATE OUTPUTS

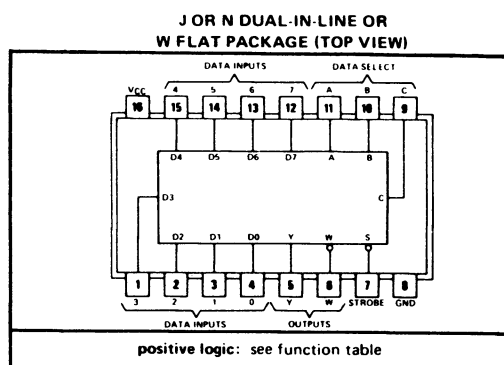
- **Three-State Versions of '151, 'LS151, 'S151**
- **Three-State Outputs Interface Directly with System Bus**
- **Perform Parallel-to-Serial Conversion**
- **Permit Multiplexing from N-lines to One Line**
- **Complementary Outputs Provide True and Inverted Data**
- **Fully Compatible with Most TTL and DTL Circuits**

TYPE	MAX NO. OF COMMON OUTPUTS	TYPICAL AVG PROP DELAY TIME (D TO Y)	TYPICAL POWER DISSIPATION
SN54251	49	17 ns	250 mW
SN74251	129	17 ns	250 mW
SN54LS251	19	17 ns	35 mW
SN74LS251	19	17 ns	35 mW
SN54S251	39	8 ns	275 mW
SN74S251	129	8 ns	275 mW

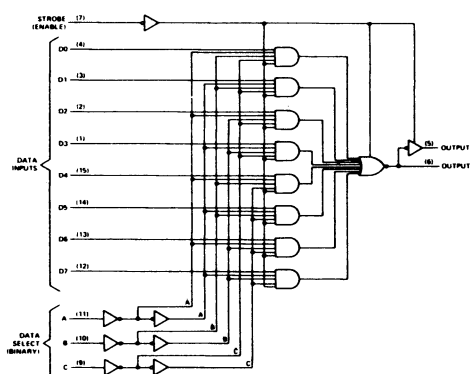
description

These monolithic data selectors/multiplexers contain full on-chip binary decoding to select one-of-eight data sources and feature a strobe-controlled three-state output. The strobe must be at a low logic level to enable these devices. The three-state outputs permit a number of outputs to be connected to a common bus. When the strobe input is high, both outputs are in a high-impedance state in which both the upper and lower transistors of each totem-pole output are off, and the output neither drives nor loads the bus significantly. When the strobe is low, the outputs are activated and operate as standard TTL totem-pole outputs.

To minimize the possibility that two outputs will attempt to take a common bus to opposite logic levels, the output control circuitry is designed so that the average output disable time is shorter than the average output enable time. The SN54251 and SN74251 have output clamp diodes to attenuate reflections on the bus line.



functional block diagram



FUNCTION TABLE

FUNCTION TABLE				OUTPUT	
INPUTS			STROBE	Y	W
SELECT					
C	B	A	S		
X	X	X	H	Z	Z
L	L	L	L	D0	<u>D0</u>
L	L	H	L	D1	<u>D1</u>
L	H	L	L	D2	<u>D2</u>
L	H	H	L	D3	<u>D3</u>
H	L	L	L	D4	<u>D4</u>
H	L	H	L	D5	<u>D5</u>
H	H	L	L	D6	<u>D6</u>
H	H	H	L	D7	<u>D7</u>

H = high logic level, L = low logic level
X = irrelevant, Z = high impedance (off)
D0, D1 . . . D7 = the level of the respective D input



TYPES SN54251, SN74251 DATA SELECTORS/MULTIPLEXERS WITH 3-STATE OUTPUTS

switching characteristics, $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER [†]	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	A, B, or C (4 levels)	Y	C _L = 50 pF, R _L = 400 Ω, See Note 2	29	45	ns	
t _{PHL}				28	45		
t _{PLH}	A, B, or C (3 levels)	W		20	33	ns	
t _{PHL}				21	33		
t _{PLH}	Any D	Y		17	28	ns	
t _{PHL}				18	28		
t _{PLH}	Any D	W		10	15	ns	
t _{PHL}				9	15		
t _{ZH}	Strobe	Y	C _L = 5 pF, R _L = 400 Ω, See Note 2	17	27	ns	
t _{ZL}				26	40		
t _{ZH}	Strobe	W		17	27	ns	
t _{ZL}				24	40		
t _{HZ}	Strobe	Y		5	8	ns	
t _{LZ}				15	23		
t _{HZ}	Strobe	W		5	8	ns	
t _{LZ}				15	23		

[†] $t_{PLH} \equiv$ Propagation delay time, low-to-high-level output

$t_{PHL} \equiv$ Propagation delay time, high-to-low-level output

$t_{ZH} \equiv$ Output enable time to high level

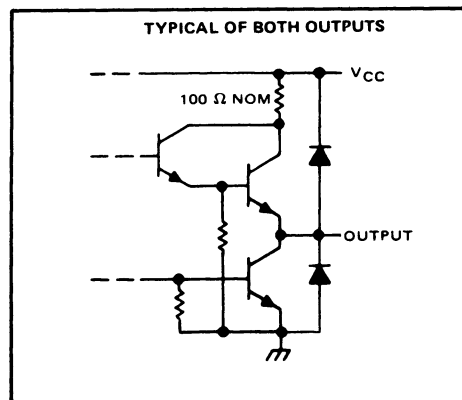
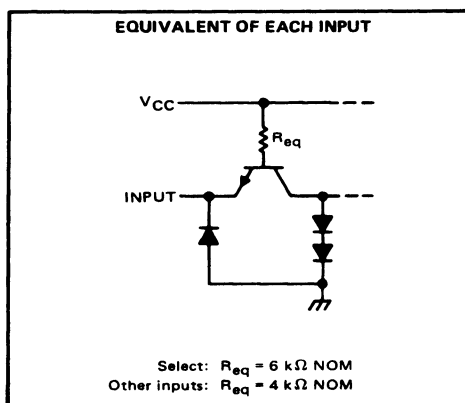
$t_{ZL} \equiv$ Output enable time to low level

$t_{HZ} \equiv$ Output disable time from high level

$t_{LZ} \equiv$ Output disable time from low level

NOTE 2: See load circuits and waveforms on page 148.

schematics of inputs and outputs



TEXAS INSTRUMENTS

**TYPES SN54251, SN74251****DATA SELECTORS/MULTIPLEXERS WITH 3-STATE OUTPUTS****absolute maximum ratings over operating free-air temperature range (unless otherwise noted)**

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Off-state output voltage	5.5 V
Operating free-air temperature range: SN54251	-55°C to 125°C
SN74251	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54251			SN74251			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-2			-5.2	mA
Low-level output current, I_{OL}			16			16	mA
Operating free-air temperature, T_A	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH} High-level input voltage		2			V
V_{IL} Low-level input voltage				0.8	V
V_I Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -12 \text{ mA}$			-1.5	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OH} = \text{MAX}$	2.4	3.2		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OL} = 16 \text{ mA}$		0.2	0.4	V
$I_{O(\text{off})}$ Off-state (high-impedance-state) output current	$V_{CC} = \text{MAX}$, $V_{IH} = 2 \text{ V}$		$V_O = 2.4 \text{ V}$ $V_O = 0.4 \text{ V}$	40 -40	μA
V_O Output clamp voltage	$V_{CC} = \text{MAX}$, $V_{IH} = 4.5 \text{ V}$		$I_O = -12 \text{ mA}$ $I_O = 12 \text{ mA}$	-1.5 $V_{CC} + 1.5$	V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 5.5 \text{ V}$			1	mA
I_{IH} High-level input current	$V_{CC} = \text{MAX}$, $V_I = 2.4 \text{ V}$			40	μA
I_{IL} Low-level input current	$V_{CC} = \text{MAX}$, $V_I = 0.4 \text{ V}$			-1.6	mA
I_{OS} Short-circuit output current§	$V_{CC} = \text{MAX}$	-18		-55	mA
I_{CC} Supply current	$V_{CC} = \text{MAX}$, All inputs at 4.5 V, All outputs open		38	62	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.

‡ All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

§ Not more than one output should be shorted at a time.



DISPOSITION

1. Statisk hazard
2. Dynamisk hazard

1. STATISK HAZARD

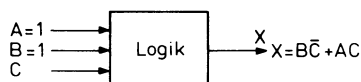
I systemer med to eller flere u-lige lange signalveje mellem to punkter kan der opstå kørløb mellem signalerne.

Ved udgangen af kredsløbet kan der dannes en hazardimpuls, hvis længde er afhængig af de optrædende tidsforsinkelser i kredsløbet.

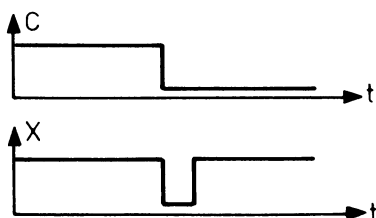
Der skelnes mellem statisk og dynamisk hazard. Statisk hazard optræder, hvis udgangen kortvarigt skifter niveau, når en enkelt indgangsvariabel skifter.

1.1 Frembringelse af hazardimpulser

I det viste kredsløb skal X forblive 1, når C går fra 1 til 0.

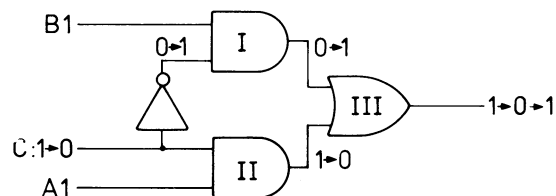


Imidlertid måles der på udgangen en kort low impuls.



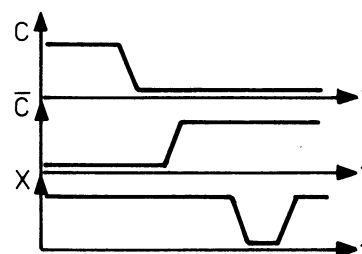
For at finde årsagen til dette, vil vi se på kredsløbets opbygning.

Kredsløbet har følgende udseende:



På grund af forsinkelsen i inverteren når udgangen at gå til 0, inden gate I's udgang bliver 1.

Herunder er vist grafisk, hvorledes forsinkelsen i inverteren giver en impuls på udgangen.



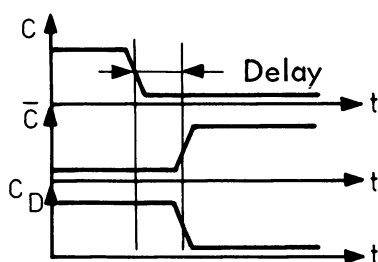
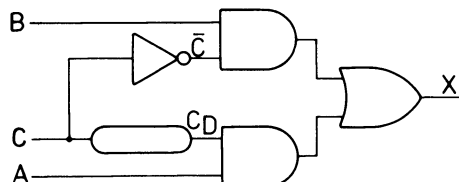
Længden af "hullet" i udgangen er bestemt af inverterens propagation delay.

En hazardimpuls behøver ikke at gøre nogen skade, men hvis det efterfølgende kredsløb indeholder flip-flop's, vil der kunne ske en utilsigtet trigning af disse med deraf følgende fejlfunktion.

Problemet er altså, hvordan man undgår hazard.

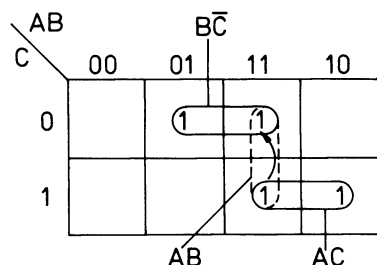
1.2 Forhindring af hazard med delay

En mulig løsning er at indskyde et delay af samme længde som inverterens i indgangen på gate II. Derved vil C og \bar{C} nå gate I og II samtidigt, hvorfor der ikke opstår nogen hazardimpuls.



1.3 Hazardled

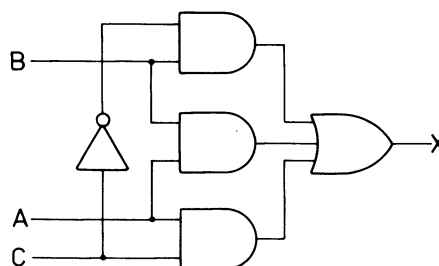
Hvis funktionen $X = B\bar{C} + AC$ indsættes i et karnaughkort, kan det ses, at hazardimpulsen optræder, når C springer fra C til \bar{C} og derved skifter fra den ene sløjfe til den anden.



Ved at indlægge en sløjfe, der dækker de to nuværende, vil C ikke længere skulle bevæge sig mellem to sløjfer, men vil konstant være dækket.

Funktionen er udvidet med ledet AB:

$$X = B\bar{C} + AC + AB$$



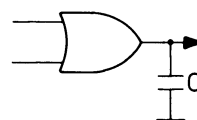
Den ekstra gate vil nu holde udgangen på 1, medens C skifter, hvorfor der ikke opstår nogen hazardimpuls.

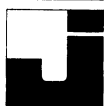
Som det ses, kan man være nødt til at acceptere et ikke maksimalt reduceret kredsløb, hvis hazardimpulsen skal undgås.

1.4 Kapacitiv undertrykkelse

Da hazardimpulsens længde er bestemt af de skyldige gates propagation delay, vil impuls-længden almindeligvis være meget kort.

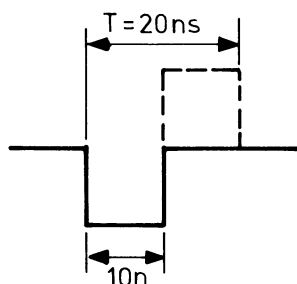
Det er derfor muligt at undertrykke hazardimpulsen ved hjælp af en kapacitiv belastning på kredsløbets udgang.





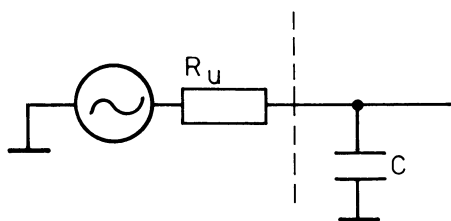
Man kan finde en tilnærmet værdi for kondensatorens størrelse på følgende måde.

Hvis det antages, at hazardimpulsen har en længde, målt eller beregnet, på 1 propagation delay, svarer det til en impulstid på ca. 10 ns ved TTL-kredse.



Hvis impulsen betragtes som den ene halvbølge af en svingning, vil periodetiden blive 20 ns svarende til en frekvens på 50 MHz.

Kondensatoren skal danne et lavpasfilter sammen med gatens udgangsimpedans, der for en TTL-gate ligger omkring 100 Ω ved HI og 10 Ω ved LO.



Der opnås en passende dæmpning, hvis kondensatoren beregnes ved en frekvens på mellem en fjerdedel og halvdelen af den beregnede hazardfrekvens. I det viste eksempel altså 12 til 25 MHz.

Da hazardimpulsen i dette tilfælde er en "0-impuls", skal der regnes med udgangsimpedansen ved LO altså 10 Ω .

Kondensatoren bliver herefter:

$$C = \frac{1}{2 \pi \cdot 25 \text{ M} \cdot 10} \approx 650 \text{ pF}$$

Fremgangsmåden må ikke anvendes ukritisk, idet kondensatoren jo også vil påvirke gatens stige- og faldetider, hvilket i givet fald vil kunne give fejlfunktion, f.eks. i form af manglende trigning af flanketriggede flip-flop's. Kondensatoren må derfor ikke være større end nødvendigt.

Hvis en stor kondensator ikke kan undgås med deraf følgende lange stige- og faldetider, kan flankestejlheden rettes op ved hjælp af en Schmitt-trigger.



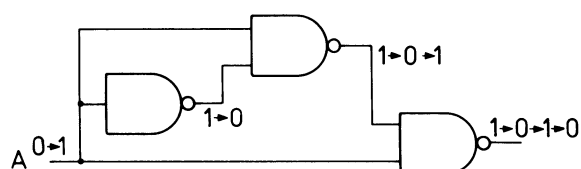
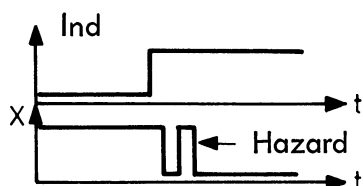
2. DYNAMISK HAZARD

Dynamisk hazard kan optræde i et kredsløb, hvis en variabel har tre eller flere signalveje mellem to punkter, f.eks. indgang og udgang.

Dynamisk hazard viser sig som en ekstra impuls på udgangen, når denne skifter.

2.1 Eksempel på dynamisk hazard

Det viste kredsløb producerer en dynamisk hazardimpuls ved et skift fra 0 → 1 på indgangen.



Ved omskrivning af booleske udtryk på standardsumform til realisation med f.eks. to inputs NAND-gates kan man ved et uheld få designet et kredsløb, der indeholder en dynamisk hazard. Dette undgås ved at påse, at den samme indgangsvariable ikke har for mange signalveje fra indgang til udgang.

Derudover er indsætning af delay eller kapacitiv belastning også virksomme midler mod dynamisk hazard.



DISPOSITION

1. Half adder - HA
2. Full adder - FA
3. Half subtractor
4. Full subtractor
5. Adder/subtractor kredsløb
6. Binær serie/parallel-adder
7. BCD-serie/parallel-adder

1. HALF ADDER - HA

Når to binære digits skal adderes, er der fire mulige kombinationer

0	1	0	1
+0	+0	+1	+1
0	1	1	10

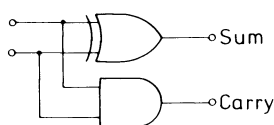
Det ses, at addition af to binære digits kan give resultatet 0, 1 eller 10, når resultatet er 10, er 0'et summen af 1'eren carry til næste mere betydende ciffer.

Sandhedstabellen for et kredsløb, der kan sammenlægge to binære digits, er vist nedenfor.

A	B	SUM	CARRY
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$\text{SUM} = A\bar{B} + \bar{A}B$$

$$\text{CARRY} = AB$$



2. FULL ADDER - FA

Det er vist, hvordan et logisk kredsløb kan addere to binære digits til en sum og carry. Hvis to binære tal med flere bit skal adderes, må kredsløbet udvides, således at også carry fra mindre betydende digits adderes med.

Eksempel:

01 + 11
 Carry → 01
 +11

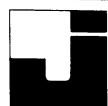
 100
 ↓
 Carry til næste mere betydende digit.

2.1 Sandhedstabel for full adder

I det ovenstående eksempel skal carry fra den første addition adderes til næste kolonne. Dette giver i alt tre digits, som skal adderes sammen. Hvis et additionskredsløb skal kunne klare alle kombinationer, må det altså have tre inputs, en til hver digit samt en til carry fra foregående addition.

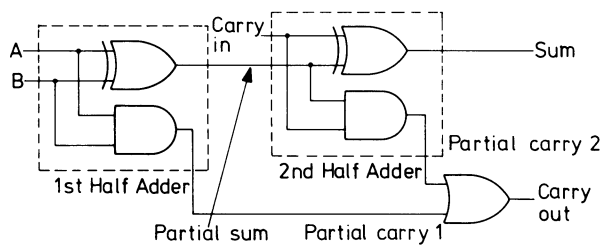
Nedenfor er vist en sandhedstabel for et sådant kredsløb.

A	B	CARRY IN	SUM	CARRY OUT
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



2.2 Kredsløb

Kredsløbet, som kan udføre dette, kaldes en full adder. En full adder kan fremstilles af to half addere.



Nedenfor er vist sandhedstabellen for de to half addere.

1. HA

A	B	PARTIAL SUM	PARTIAL CARRY 1
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

2. HA

PARTIAL SUM	CARRY IN	SUM	PARTIAL CARRY 2
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



Af sandhedstabellen for full adderen ses at :

$$\begin{aligned}\text{CARRY OUT} &= \bar{A} B C + A \bar{B} C + A B \bar{C} + A B C \quad (C = \text{carry in}) \\ &= C (\bar{A} B + A \bar{B}) + A B (\bar{C} + C) \\ \text{CARRY OUT} &= C (\bar{A} B + A \bar{B}) + A B = C (A \oplus B) + AB\end{aligned}$$

Det ses, at carry out er opfyldt af diagrammet med de to half addere.

Af sandhedstabellen for full adderen ses at :

$$\begin{aligned}\text{SUM} &= \bar{A} \bar{B} C + \bar{A} B \bar{C} + A \bar{B} \bar{C} + A B C \quad (C = \text{carry in}) \\ &= \bar{C} (\bar{A} B + A \bar{B}) + C (\bar{A} \bar{B} + A B) = \bar{C} (A \oplus B) + C (\overline{A \oplus B}) \\ \text{SUM} &= C (A \oplus B)\end{aligned}$$

Det ses, at sum er opfyldt af diagrammet med de to half addere.

2.3 Datablad SN54/7480, 1-bit
gated full adder**TYPES SN5480, SN7480**
GATED FULL ADDERS

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN5480			SN7480			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH} High-level input voltage		2			2			V
V_{IL} Low-level input voltage				0.8			0.8	V
V_{OH} High-level output voltage	Σ or $\bar{\Sigma}$	$V_{CC} = \text{MAX}$, $I_{OH} = -400 \mu\text{A}$						V
	\bar{C}_{n+1}	$V_{IH} = 2 \text{ V}$, $I_{OH} = -200 \mu\text{A}$		2.4 3.5	2.4 3.5			
	A* or B*	$V_{IL} = 0.8 \text{ V}$, $I_{OH} = -120 \mu\text{A}$						
V_{OL} Low-level output voltage	Σ or $\bar{\Sigma}$	$V_{CC} = \text{MAX}$, $I_{OL} = 16 \text{ mA}$						V
	\bar{C}_{n+1}	$V_{IH} = 2 \text{ V}$, $I_{OL} = 8 \text{ mA}$		0.22 0.4	0.22 0.4			
	A* or B*	$V_{IL} = 0.8 \text{ V}$, $I_{OL} = 4.8 \text{ mA}$						
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 5.5 \text{ V}$			1			1	mA
I_{IH} High-level input current	A1, A2, B1, B2, A_C , or B_C	$V_{CC} = \text{MAX}$, $V_I = 2.4 \text{ V}$		15			15	μA
	A* or B*			-1.1			-1.1	
	C_n			200			200	
I_{IL} Low-level input current	A1, A2, B1, B2, A_C , or B_C	$V_{CC} = \text{MAX}$, $V_I = 0.4 \text{ V}$		-1.6			-1.6	mA
	A* or B*			-2.6			-2.6	
	C_n			-8			-8	
I_{OS} Short-circuit output-current§	Σ or $\bar{\Sigma}$	$V_{CC} = \text{MAX}$		-20 -57	-18 -57			mA
	\bar{C}_{n+1}			-20 -70	-18 -70			
	A* or B*			-0.9 -2.9	-0.9 -2.9			
I_{CC} Supply current	$V_{CC} = \text{MAX}$, See Note 6			21 31			21 35	mA

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.

‡All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

§Not more than one output should be shorted at a time.

NOTE 6: I_{CC} is measured with all inputs and outputs open.switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER†	FROM INPUT	TO OUTPUT	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
t_{PLH}	C_n	\bar{C}_{n+1}	$C_L = 15 \text{ pF}, \quad R_L = 780 \, \Omega,$ See Note 7	13	17		ns	
t_{PHL}				8	12			
t_{PLH}	B_C	\bar{C}_{n+1}		18	25			
t_{PHL}				38	55			
t_{PLH}	A_C	Σ	$C_L = 15 \text{ pF}, \quad R_L = 400 \, \Omega,$ See Note 7	52	70		ns	
t_{PHL}				62	80			
t_{PLH}	B_C	$\bar{\Sigma}$		38	55			
t_{PHL}				56	75			
t_{PLH}	A_1	A^*	$C_L = 15 \text{ pF}, \quad \text{See Note 7}$	48	65		ns	
t_{PHL}				17	25			
t_{PLH}	B_1	B^*		48	65			
t_{PHL}				17	25			

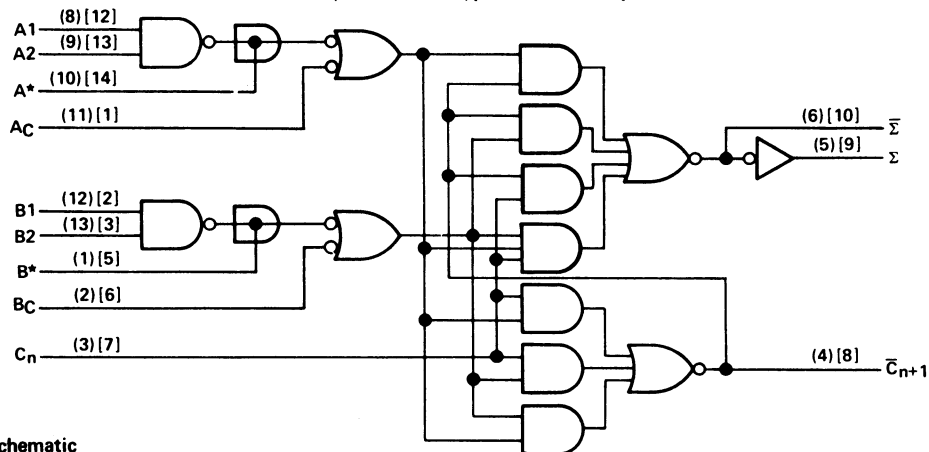
† $t_{PLH} \equiv$ propagation delay time, low-to-high-level output‡ $t_{PHL} \equiv$ propagation delay time, high-to-low-level outputNOTE 7: The load for testing outputs A* and B* consists only of capacitance C_L to ground. The load circuit for the other outputs and voltage waveforms are shown on page 148.

		SN5480			SN7480			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}	Σ or $\bar{\Sigma}$			-400			-400	μA
	\bar{C}_{n+1}			-200			-200	
	A* or B*			-120			-120	
Low-level output current, I_{OL}	Σ or $\bar{\Sigma}$			16			16	mA
	\bar{C}_{n+1}			8			8	
	A* or B*			4.8			4.8	
Operating free-air temperature, T_A		-55		125	0		70	$^{\circ}C$

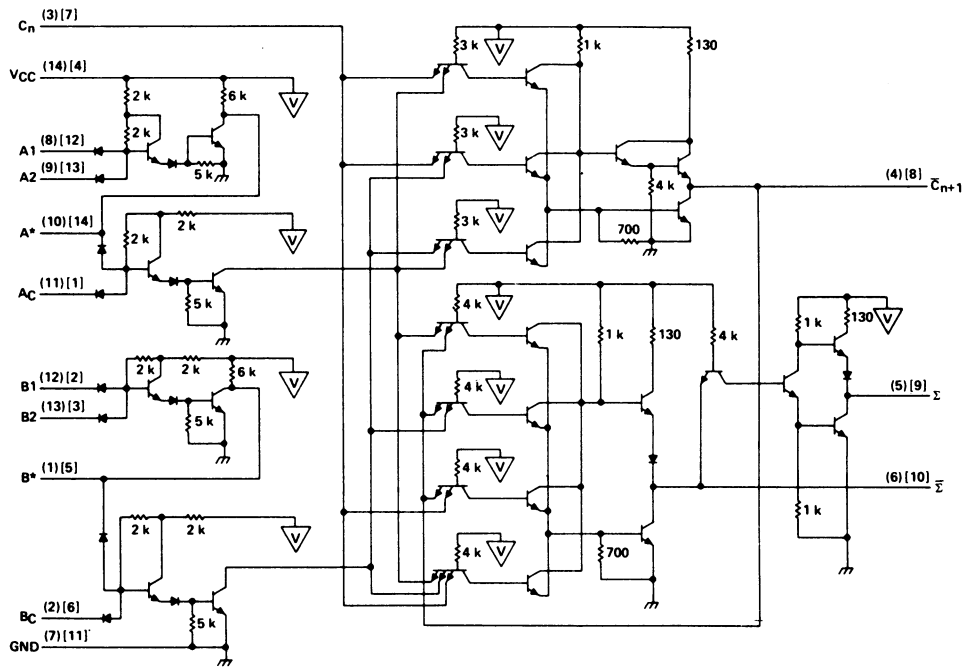
**TYPES SN5480, SN7480
GATED FULL ADDERS**

functional block diagram

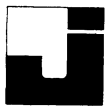
(DUAL-IN-LINE) [FLAT PACKAGE]



schematic

▽ ... V_{CC} bus

Resistor values shown are nominal and in ohms.



3. HALF SUBTRACTOR

3.1 Binær subtraktion

Reglerne, der gælder for at subtrahere en binær størrelse fra en anden, er i princippet de samme som ved subtraktion i decimalsystemet. Når et tal skal subtraheres fra et mindre, skal man låne, borrow, i det næste mere betydende ciffer.

Eksempel:

$$\begin{array}{r} 23 \\ - 7 \\ \hline \end{array} = \begin{array}{r} 1 \text{ (10 + 3)} \\ - 7 \\ \hline 1 \quad 6 \end{array}$$

Først forsøger man at trække 7 fra 3, men det kan man ikke. Vi låner 1 fra næste mere betydende ciffer. Når denne ener flyttes en plads til højre, optræder den som 10, det er en 10'er, vi har lånt.

I det binære system vil det ikke være en 10'er, vi låner, men en 2'er. Når binære digits subtraheres fra hinanden, kan der højst forekomme fire kombinationer:

A	0	0	1	1
B	-0	-1	-0	-1
Differens (sum)	0	1	1	0
Borrow	0	1	0	0

Sat i sandhedstabel fås:

A	B	SUM	BORROW
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Læg mærke til, at differensen har samme sandhedsskema som sum i additionskredsløb, derfor er der i stedet for differens skrevet sum i sandhedstabellen.

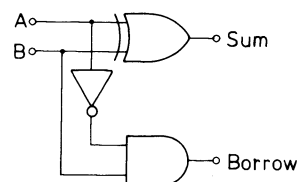
3.2 Kredsløb

Af sandhedstabellen for subtraktion ses:

$$\text{SUM (differens)} = A \bar{B} + \bar{A} B$$

$$\text{BORROW} = \bar{A} B$$

Kredsløbet, der opfylder booleske udtryk for subtraktion, ser således ud:



Når A er mindre end B, føres outputtet fra BORROW til næste mere betydende bit, som BORROW subtraheres fra.

4. FULL SUBTRACTOR

Half subtractoren kunne trække to bit fra hinanden og låne fra næste mere betydende bit. Imidlertid kan HS ikke tage hensyn til, om der lånes fra de bit, den subtraherer.

For at foretage en fuldstændig subtraktion skal kredsløbet:

- Tage hensyn til, om der bliver lånt fra mindre betydende cifre.
- Trække de to bit fra hinanden.
- Låne fra næste mere betydende ciffer, hvis der er behov for det.



4.1 Sandhedstabel og boolesk udtryk for full subtractor

Kredsløbet, der opfylder ovenstående, er en full subtractor.

Sandhedstabellen for en FS er vist nedenfor.

A	B	BORROW IN	SUM	BORROW OUT
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

A - B - (Borrow in)

Af sandhedstabellen ses:

$$\text{SUM} = \bar{A} \bar{B} C + \bar{A} B \bar{C} + A \bar{B} \bar{C} + A B C$$

$$\text{BORROW OUT} = \bar{A} \bar{B} C + \bar{A} B \bar{C} + \bar{A} B C + A B C$$

(C = BORROW IN)

Simplificeres udtrykkene for SUM og BORROW OUT, fås:

$$\text{SUM} = \bar{A} \bar{B} C + \bar{A} B \bar{C} = A \bar{B} \bar{C} + A B C \quad (C = \text{BORROW IN})$$

$$= \bar{C} (A \bar{B} + \bar{A} B) + C (\bar{A} \bar{B} + A B)$$

$$= \bar{C} (A \oplus B) + C (\overline{A \oplus B})$$

$$\text{SUM} = C \oplus (A \oplus B)$$

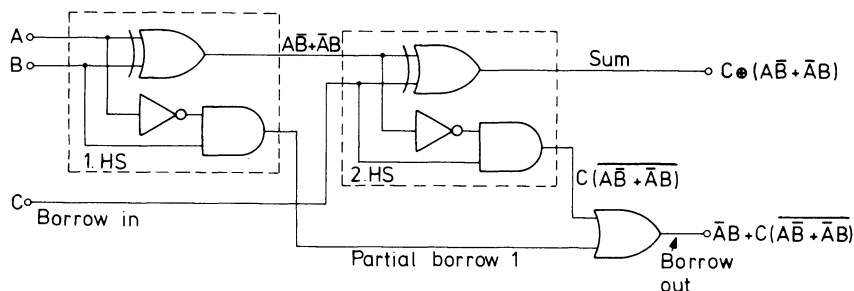
$$\text{BORROW OUT} = \bar{A} \bar{B} C + \bar{A} B \bar{C} + \bar{A} B C + A B C$$

$$= \bar{A} B (\bar{C} + C) + C (\bar{A} \bar{B} + A B)$$

$$\text{BORROW OUT} = \bar{A} B + C (\overline{A \oplus B})$$



4.2 Full subtractor, kredsløb



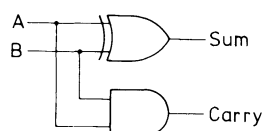
5. ADDER/SUBTRACTOR KREDSLØB

5.1 Half adder/subtractor

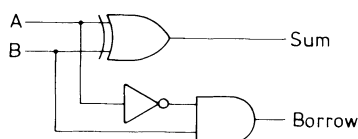
Sammenlignes adder og subtractor-kredsløb, ser vi mange fælles træk. Det vil derfor være nyttigt, om de to funktioner indbygges i samme kredsløb.

Sammenligner vi HA og HS, ser vi:

Half adder

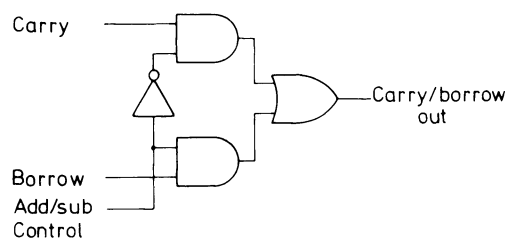


Half subtractor

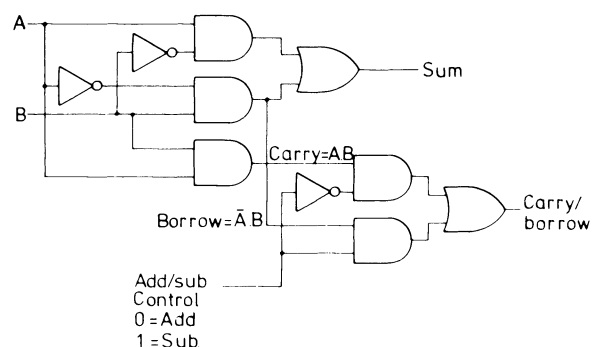


Det ses, at sum fås fra en EX-OR i begge tilfælde, EX-OR-gaten kan derfor være fælles.

Forskellen ligger i CARRY=AB og BORROW=AB. CARRY og BORROW kan fremstilles hver for sig, og vi kan da blot have mulighed for ude fra at vælge CARRY eller BORROW, altså vælge, om vi vil addere eller subtrahere, hvilket kan gøres med viste kredsløb.

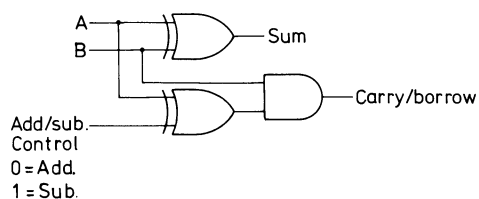


Tegnes den fuldstændige HA/HS med gates, bliver resultatet:





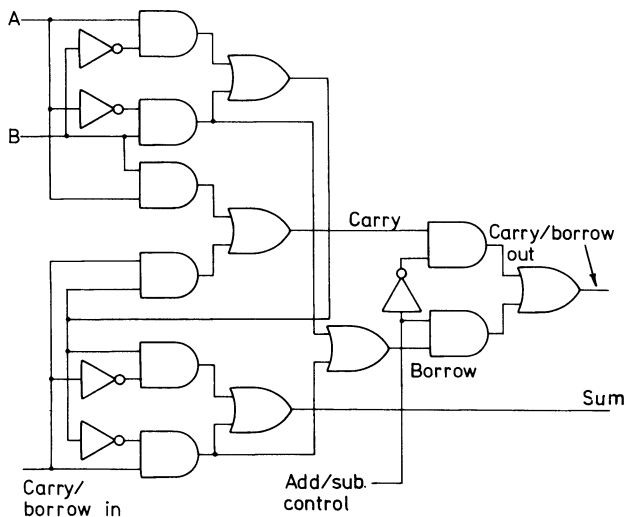
eller



Sandhedstabellen for de to viste
HA/HS er:

ADD/SUB kontrol	A	B	SUM	CARRY/BORROW
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	0

5.2 Full adder/subtractor kredsløb

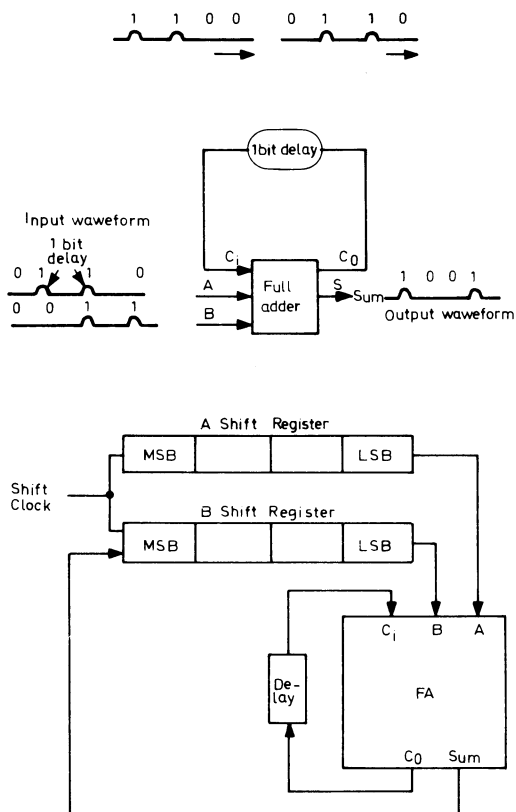




6. BINÆR SERIE/PARALLEL-ADDER

6.1 Binær serie-adder

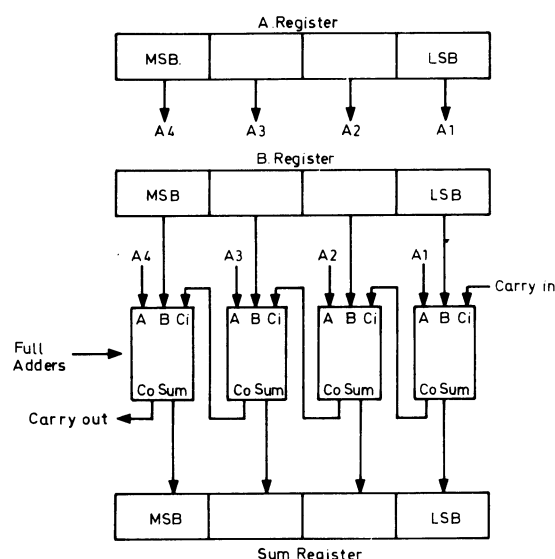
I serie-adderen tilføres de binære tal adderen som serieinformation, hvorved en binær FA kan udføre addition af binære multidigit tal.



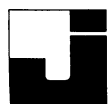
De to blokdiagrammer viser den principielle virkemåde af serie-adderen. Adderen producerer summen af de første bit fra A- og B-registrene, indholdet i registrene skiftes et trin til højre på clock-impulsen, dette tilfører adderen næste mere betydende bit samtidig med, at en eventuel carry fra foregående addition når gennem delayet, se impulsdiagrammet på øverste diagram.

6.2 Binær parallel-adder

I parallel-adderen tilføres de binære tal adderkredsløbet som parallelinformationer, dvs. at alle binære digits tilføres samtidigt. I parallel-adderen skal der bruges lige så mange FA, som der er binære digits.



Blokdiagrammet viser den principielle virkemåde af parallel-adderen. Additionen af LSB-bit fra A- og B-register vil give en sum, der parallelindlæses i sum-register, en eventuel CARRY føres til næste mere betydende bit og sammenlægges med summen af indholdet af A- og B-register, SUM indlæses i SUM-register, CARRY føres til næste mere betydende bit, osv. CARRY IN kan benyttes til "end around carry" eller add 1 line. CARRY OUT kan benyttes til at vise overflow.



7. BCD SERIE/PARALLEL-ADDER

Se eksemplerne nedenfor

7.1 Binary coded decimal, BCD system

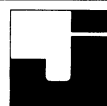
Et kompromis mellem decimal-systemet og det binære system er BCD-systemet. Dette system indeholder nogle af fordelene ved decimalsystemet og det binære system, samtidig med, at nogle af ulemperne ved begge systemer ikke findes i BCD-systemet. En 4-bitkode kan vise cifrene fra 0 til 15, men kun cifrene fra 0 til 9 bruges. Den mest almindelige BCD-kode, 8421 koden, som er en vejet kode, bruger det normale binære system.

Decimaltallene 0 til 9 er vist nedenfor.

Decimal	BCD 8421
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

Forskellen mellem det binære system og BCD-system viser sig, når tallet er større end 9. Hvert decimalciffer kodes hver for sig i binær kode.

Decimal	Binary	10's BCD	1's
0	00000000	0000	0000
1	00000001	0000	0001
2	00000010	0000	0010
3	00000011	0000	0011
4	00000100	0000	0100
5	00000101	0000	0101
6	00000110	0000	0110
7	00000111	0000	0111
8	00001000	0000	1000
9	00001001	0000	1001
10	00001010	0001	0000
11	00001011	0001	0001
12	00001100	0001	0010
20	00010100	0010	0000
35	00100011	0011	0101
47	00101111	0100	0111
69	01000101	0110	1001
93	01011101	1001	0011



7.2 Addition i BCD, 8421-kode

Når det binære tal 1001 (9_{10}) overskrides i BCD-koden, skal der produceres en carry til den næste mere betydende binære kodet decimal. Addition af to decimaltal kan give resultater mellem 0 og 19, incl. carry.

Når summen er mindre end eller lig med 9, opstår der ingen problemer, se eksempel.

$$\begin{array}{r} 3 = 0011 \\ +4 = 0100 \\ \hline +7 = 0111 \end{array}$$

Summen er korrekt BCD-kode.

Når summen er lig med 10 og mindre end 16, ses:

$$\begin{array}{r} 7 = 0111 \\ +4 = 0100 \\ \hline 11 = 1011 \end{array}$$

Summen er korrekt binært resultat, men et forbudt BCD-resultat, da 1011 ikke findes i BCD, endvidere mangler der en carry.

Der tilføjes en korrektionsfaktor. $0110 = 6$

$$\begin{array}{r} 7 = 0111 \\ +4 = 0100 \\ \hline 1011 \\ +0110 \\ \hline 11 = 10001 \end{array}$$

Bemærk, at korrektionsfaktoren 0110 giver et korrekt BCD-resultat, endvidere at der fremkommer en carry til næste dekade.

Når summen er lig med eller større end 16, ses:

$$\begin{array}{r} 9 = 1001 \\ +8 = 1000 \\ \hline 17 = 10001 \end{array}$$

Her fremkommer en carry til næste dekade, men korrektionsfaktoren 0110 skal stadig adderes til for at give korrekt resultat.

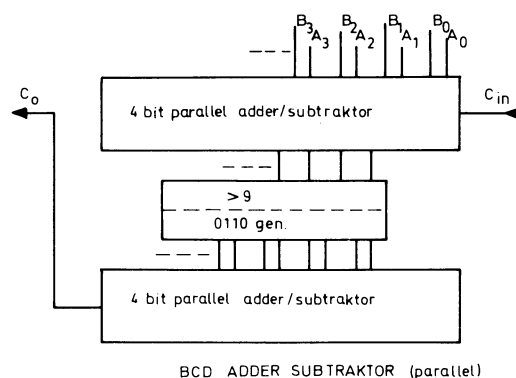
$$\begin{array}{r} 9 = 1001 \\ +8 = 1000 \\ \hline 10001 \\ +0110 \\ \hline 17 = 10111 \end{array}$$

Hvilket er korrekt BCD-kodet.

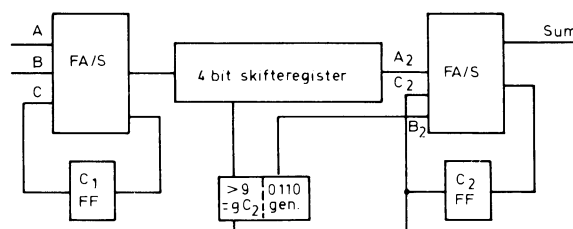
7.3 8421 BCD adder/subtractor

I regnekredsløb, der arbejder i BCD-kode, skal der være et kredsløb, som kan korrigeres med 0110.

Nedenfor er vist et eksempel på en serie BCD adder/subtractor og en parallel BCD adder/subtractor.



BCD ADDER SUBTRAKTOR (serie)



7.4 Eksempel på full adder

signetics

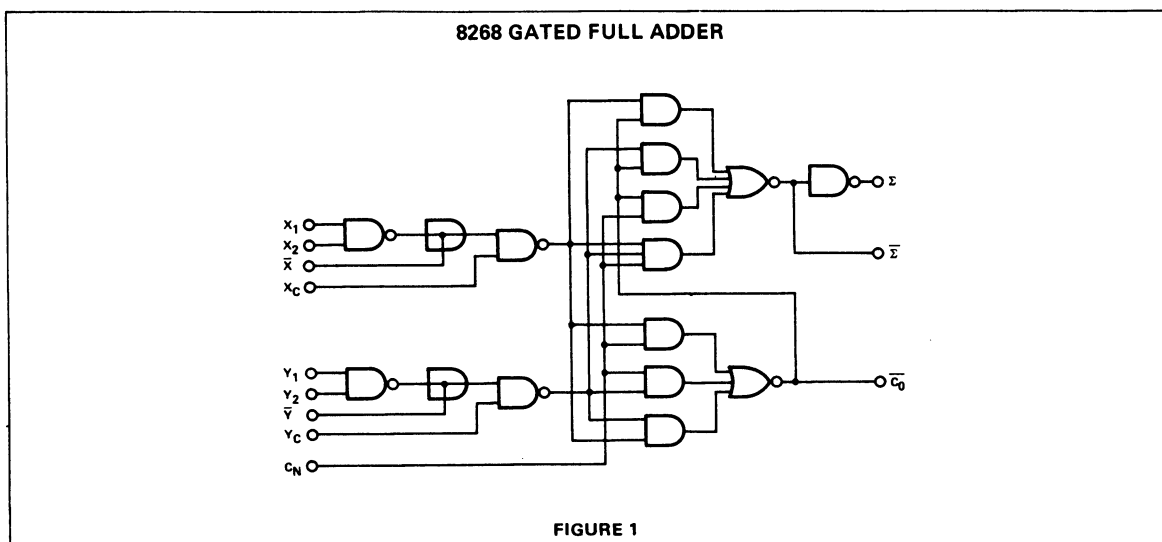
APPLICATIONS MEMO 8268

GATED FULL ADDER

INTRODUCTION

The 8268 is a binary Full Adder with gated complementary inputs sum and sum outputs and inverted Carry Out ($\overline{\text{Carry Out}}$). The MSI circuit is designed with TTL techniques, completely compatible with other DTL and TTL devices.

The Full Adder is designed especially for serial and Ripple Carry parallel ADD/SUB arithmetic units. The array has single-ended inputs and outputs, so that only the true or complement information is necessary. The logic diagram for the 8268 is shown in Figure 1.



TRUTH TABLE (SEE NOTES 1, 2 and 3)

C_N	Y	X	$\overline{C_0}$	$\overline{\Sigma}$	Σ
0	0	0	1	1	0
0	0	1	1	0	1
0	1	0	1	0	1
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	0	0	1

NOTES:

1. $\overline{X} = X \cdot X_c$; $\overline{Y} = Y \cdot Y_c$

where $\overline{X} = \overline{X_1 \cdot X_2}$; $\overline{Y} = \overline{Y_1 \cdot Y_2}$

2. When \overline{X} or \overline{Y} are used as inputs, X_1 and X_2 or Y_1 and Y_2 respectively must be tied to GND.

3. When X_1 and X_2 or Y_1 and Y_2 are used as inputs, \overline{X} or \overline{Y} respectively must be left open or used to perform the dot-AND function.

APPLICATIONS

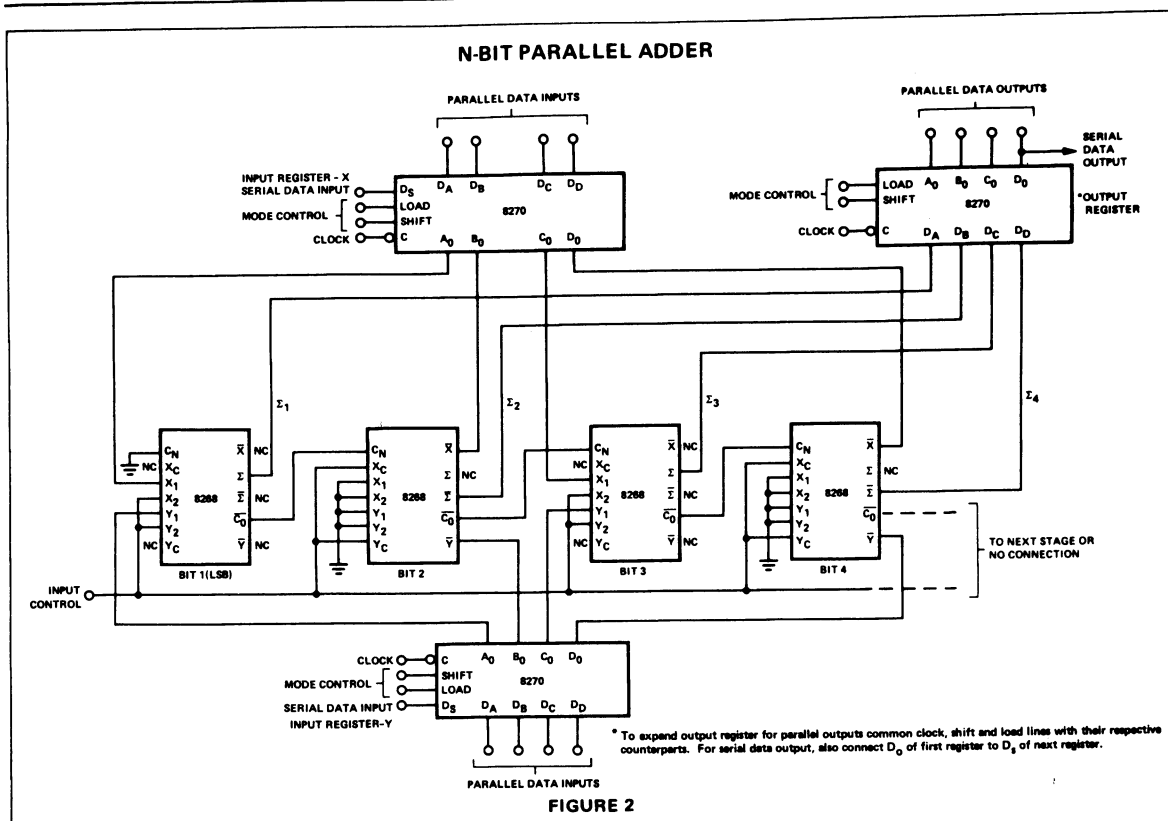
N-BIT PARALLEL ADDER

The factor which determines the maximum operating frequency for an N-bit parallel adder with ripple carry is the total propagation of the ripple carry term, or $N \times \text{CARRY_DELAY}$. To avoid the delay of an additional inversion required to provide CARRY_OUT (C_0), the 8268 provides $\overline{\text{CARRY_OUT}}$ ($\overline{C_0}$). When the $\overline{C_0}$ term is used with the appropriate gated inputs (\overline{X} and \overline{Y}) at the next significant bit, the desired result is available at the SUM (Σ) output. This arrangement is used in every even numbered bit in an N-bit parallel adder as shown in Bit 2 and Bit 4 of Figure 2. For each even numbered bit, input control is accomplished through gated inputs X_c and Y_c . With INPUT CONTROL ($X_c \cdot Y_c$) = 0, the adder bit is disabled and all output terms are "0". This use of input control is twofold in purpose.

First, with the adder disabled, data in the input registers may be shifted without activating the adder subsystem. Second, with all output terms at "0" the outputs can be used to clear the output storage register by parallel loading the output register with all "0"s.



SIGNETICS GATED FULL ADDER ■ 8268



NOTE

1. To expand storage register for serial/parallel operation, connect D₀ to D₅ of next stage and common the mode control lines and the clock line of the first stage to their respective second stage equivalents.

Notice that the $\overline{C_0}$ of the second, fourth, etc. (all even numbered bits) constitutes a TRUE carry output. Therefore, to arrive at the TRUE sum at the output of all odd numbered bits $\overline{C_0}$ is used in conjunction with the TRUE data inputs X_1 and Y_1 . The desired output result for all odd numbered bits is available at the Σ terminal.

INPUT CONTROL is accomplished in the odd number bits of an N-bit adder by inhibiting or enabling the gated inputs $X_2 \cdot Y_2$. From the logic diagram of Figure 1, it is apparent that a "0" at X_2 and Y_2 will inhibit the transfer of the bits to be added (X_1 and Y_1). When INPUT CONTROL = "1", the information at X_1 and Y_1 will be enabled and addition will occur. Since the data inputs used are the TRUE inputs, the desired result will be available at the SUM output (Σ_i). This operating mode is shown in Bit 1 and Bit 3 of Figure 2.

Note that the CARRY_{IN} (C_n) term of the least significant bit of the binary adder in Figure 2 is tied to GND, since C_n

is a TRUE term (activates on "1") and there is no carry term into the least significant bit.

N-BIT BINARY SUBTRACTOR

To construct an N-bit binary subtractor (Figure 3), the logic input of the subtrahend (register Y) is inverted on a by bit basis from the input arrangement for the binary adder.

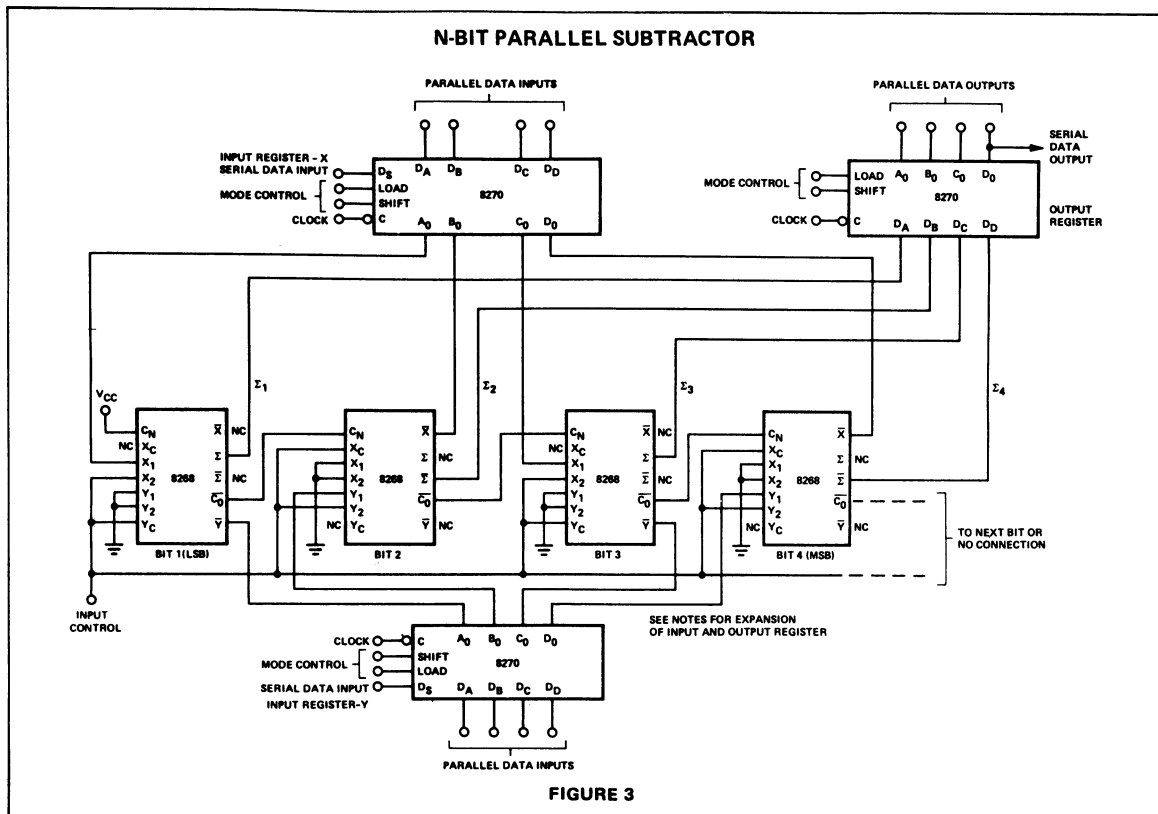
In addition, the input used for the Y register input control is effectively inverted (compared to the adder). Thus:

$$\text{for all odd numbered bits (1, 3, etc.)} \\ \text{INPUT CONTROL} = X_2 \cdot Y_C$$

$$\text{for all even numbered bits (2, 4, etc.)} \\ \text{INPUT CONTROL} = X_C \cdot Y_2$$



SIGNETICS GATED FULL ADDER ■ 8268

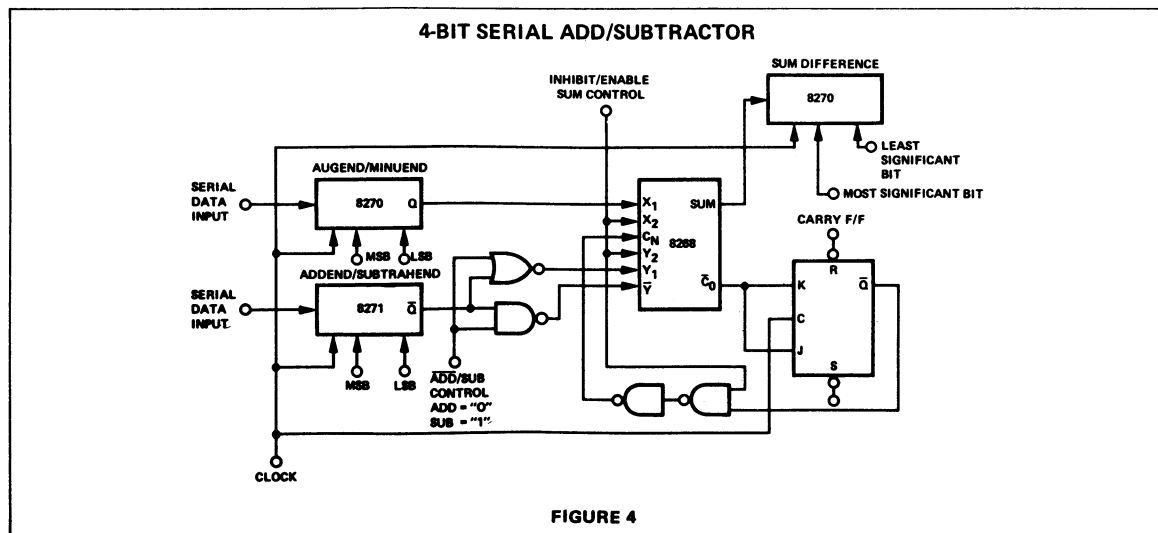


The input control connection pattern results from the inversion of the Y-register logic inputs.

Note that to provide the SUBTRACT function, the C_n input of the least significant bit must be connected to a logical 1 level.

SERIAL BINARY ADD-SUBTRACT

Figure 4 illustrates a 4-bit serial ADD/SUB arithmetic unit. The unit will add $X + Y$ or subtract $X - Y$ upon command. The interconnect scheme is implemented as follows:



SIGNETICS GATED FULL ADDER ■ 8268

Assume the two binary numbers to be added/subtracted are present in the Augend/Minuend and Addend/Subtrahend Registers. For *addition*, set control line to logic "0". Also, initially set Carry F/F ($\bar{Q} = 0$). This allows the data in the Addend/Subtrahend register to be entered into the sum/difference register and the Carry Flip-Flop has been conditioned for the addition of the next two binary bits. The sum is formed Least Significant Bit first. This process con-

tinues until 4 clock pulses have occurred. At the end of the 4th clock pulse, the result is in the sum/difference register (i.e. LSB appears at D_0 ; MSB appears at A_0). For *subtraction*, the ADD/SUB control is set to a logic "1". Also, the Carry Flip-Flop should be reset (i.e., $\bar{Q} = 1$). Now the subsystem is ready to perform subtraction (i.e. one's complement addition). Once again, after 4 clock pulses have occurred, the result is in the sum/difference register.

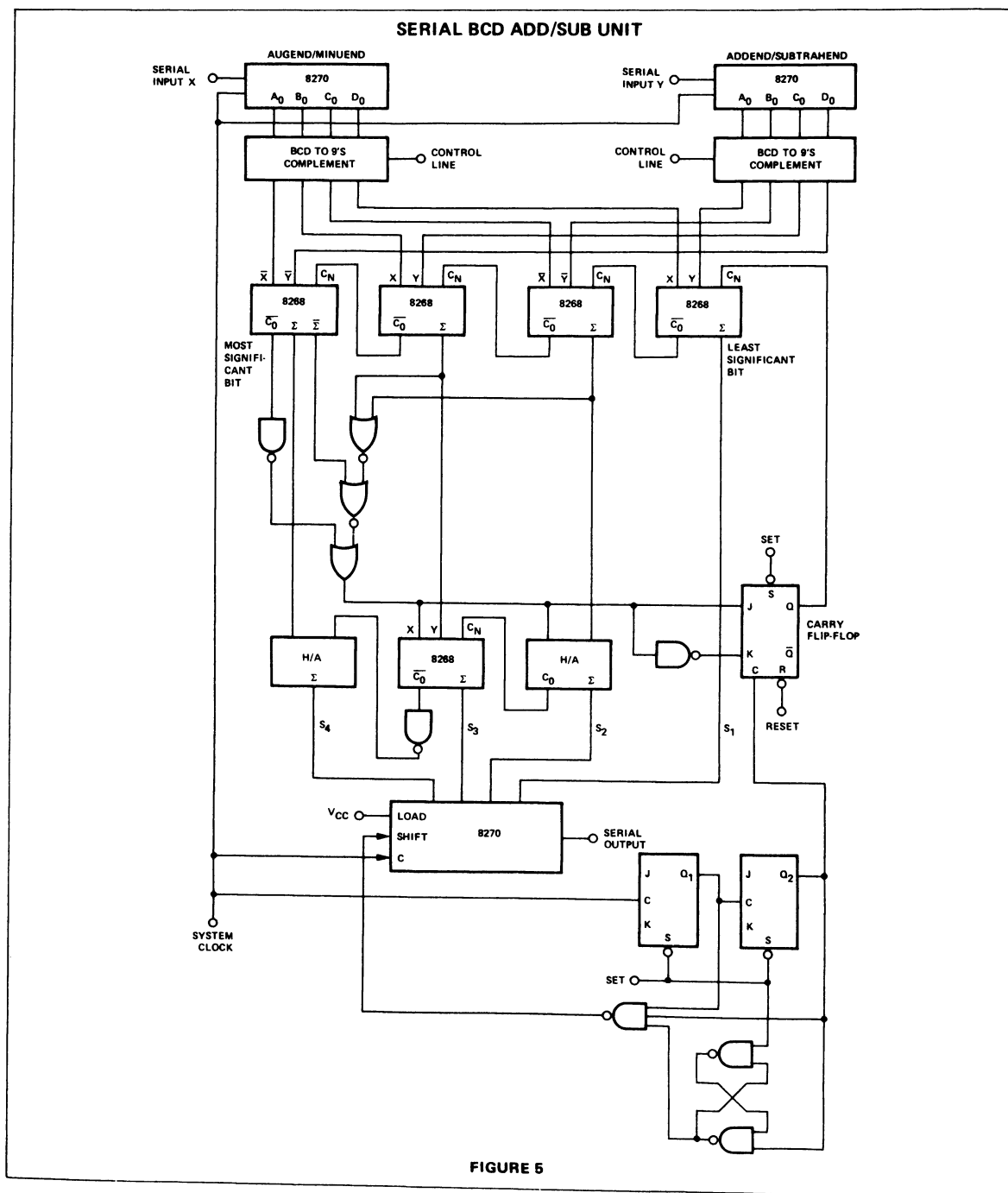


FIGURE 5

**SIGNETICS GATED FULL ADDER ■ 8268**

As an option, the inhibit/enable sum control may be used to force the sum output to logic "0" in between shift pulses or as a "jam" function. The X_2 and Y_2 inputs force the sum to "0" when $X_2 = Y_2 = "0"$.

SERIAL BCD ADD/SUBTRACT *

Figure 5 shows a BCD ADD/SUBTRACT serial subsystem. This subsystem uses nine's complement addition to perform subtraction. One should be aware that the nine's complement of the smaller (absolute value) number must be formed in order to get the correct result.

OPERATION

The Augend and Addend are shifted into the 8270 (4 bit shift registers). The divide by four counter is initially set to $Q_1 = 1$ and $Q_2 = 1$. The subsystem is now ready to perform

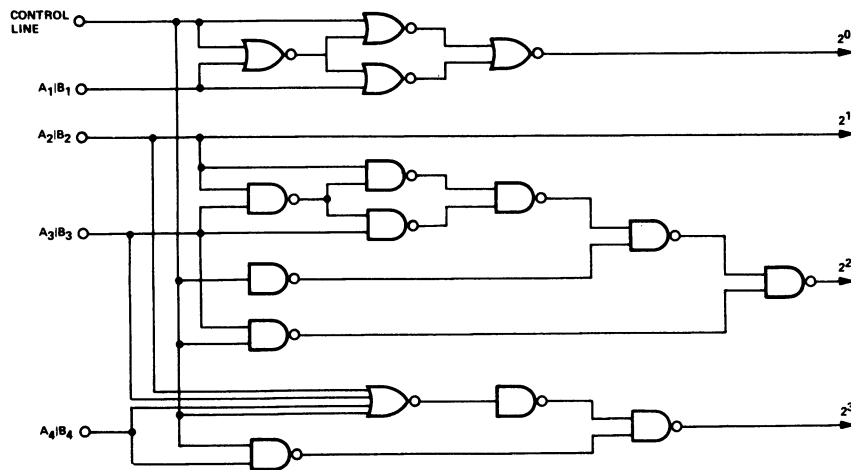
Addition or Subtraction. If it is desired to perform addition, then the control lines on the nine's complement converters are at logic "1" and Carry Flip-Flop is initially reset (i.e., $Q = "0"$).

To perform subtraction, the control line associated with the smaller of the two numbers (absolute value) is at logic "0", the other control line at logic "1" and the Carry Flip-Flop is initially set (i.e., $Q = "1"$).

The Carry Flip-Flop is clocked at one-fourth the system rate due to the fact that a BCD code is 4 binary bits long.

The sum outputs of the Adder are allowed to enter the sum/difference register in parallel on every 4th clock. Thus, no information is entered into the sum/difference register while shifting takes place.

* A 4-Bit BCD arithmetic unit, 82S82 and a 4-bit BCD adder 82S83 are also available from Signetics.

CONDITIONAL BCD TO 9's COMPLEMENT †

† Can be programmed into the 8223 256 Bit P-ROM.

FIGURE 6

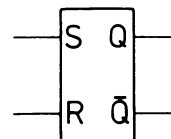


DISPOSITION

1. RS flip-flop
2. Clock-impulsstyret RS-FF
3. D flip-flop
4. JK flip-flop
5. JK-master-slave FF

1.1 Symbol, RS-FF

Mil.norm.



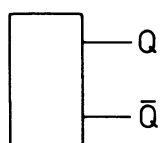
1. RS FLIP-FLOP

De indtil nu behandlede logiske koblinger og kredse har det fælles træk, at de skal styres permanent med deres indgangssignaler for at bevare en given tilstand på udgangen.

I logiske kredsløb er der også behov for nogle elementer, der kan fastholde en tilstand, efter at informationen er væk.

Til dette formål kan anvendes en bistabil multivibrator, også kaldet en flip-flop.

En flip-flop har to udgange, disse benævnes med Q og \bar{Q} , idet \bar{Q} altid vil være det negerede af Q .



Stilling	Udg.	
	Q	\bar{Q}
0	0	1
1	1	0

Når flip-flop'en er logisk 0 på Q og logisk 1 på \bar{Q} , siges den at stå i stilling 0. Omvendt står den i stilling 1, når Q er 1, og \bar{Q} er 0.

Grundelementet i alle flip-flop's er RS flip-flop'en. RS står for reset-set, hvilket skal forstås således, at flip-flop'en via sine styreindgange kan sættes i stilling 1, set eller stilling 0, reset.

1.2 Definition

Q og \bar{Q} er komplementer af hinanden, Q kan indtage værdien 1 eller 0.

Så længe begge inputs er 0, er der ingen skift på udgangen.

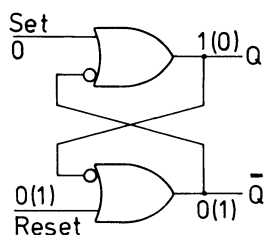
Ændres set til 1, har Q -værdien 1 og bibeholder denne værdi, uanset om set ændres tilbage til 0.

Hvis reset tilføres 1, har Q -værdien 0 og bibeholder denne værdi, uanset om reset ændres tilbage til 0.

Output er udefineret, hvis begge inputs er 1, denne kombination af output skal undgås.



1.3 RS-FF med OR-gates



Antag, at FF'en står i stilling 1, og der er 0 på set- og reset-indgangene. Tilstanden vil da være, som vist her over. 1-tallet på Q vil holde \bar{Q} på 0, hvilket sikrer $Q = 1$. Stillingen er altså stabil.

Skal FF'en stilles i stilling 0, lægges reset-indgangen til 1. Derved bliver \bar{Q} 1, og Q skifter til 0 og holder \bar{Q} på 1. Nu kan reset-signalet fjernes, og FF'en bliver i stilling 0.

En kort impuls 1 på reset eller set er altså nok til at stille FF'en i henholdsvis stilling 0 eller 1.

Tænker man sig, at reset- og set-indgangene samtidig påtrykkes logisk 1, vil begge udgange blive 1, og denne tilstand er ikke tilladt for en flip-flop.

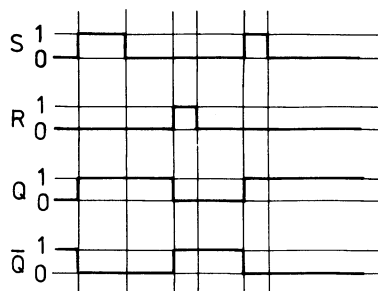
Lader man nu samtidig reset og set gå til 0, vil det ikke kunne forudsiges, hvilket stilling FF'en indtager. Denne styring fører altså til en udefineret tilstand.

1.4 Sandhedstabel og impulsplan for RS-FF med OR-gates

Indgange		Udgange	
S	R	Q	\bar{Q}
0	1	0	1
1	0	1	0
0	0	$Q_n \bar{Q}_n$ (låst)	
1	1	1	1 (undef.)

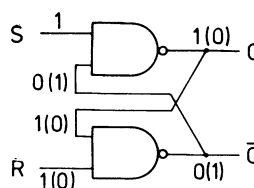
Q_n og \bar{Q}_n betyder Q og \bar{Q} 's tilstand, inden den angivne indgangstilstand blev etableret.

Funktionen kan også vises i en impulsplan.



1.5 RS-FF med NAND-gates

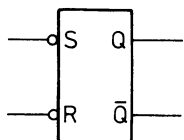
RS flip-flop'en kan også opbygges af NAND-gates, hvilket dog giver en anden funktionstabel.





I hvilestilling skal der nu ligge logisk 1 på indgangene, og flip-flop'en sættes og resettes med logisk 0. Som følge heraf må indgangene hedde \bar{S} og \bar{R} .

Symbol :



NAND RS-FF'en er vist i stilning 1. Påtrykkes en logisk 0 på \bar{R} , vil \bar{Q} blive 1. Dette vil sammen med 1 på \bar{S} få Q til at gå til 0, hvilket holder \bar{Q} på 0. Herefter kan \bar{R} blive 1 igen.

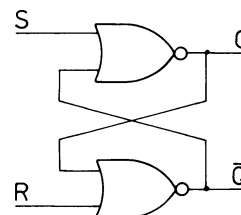
Den forbudte styring for denne kobling er 0 på både \bar{S} og \bar{R} . Denne tilstand vil medføre 1 på både Q og \bar{Q} , og når \bar{S} og \bar{R} igen går til 1, vil det ikke kunne forudsiges, i hvilken stilling flip-flop'en vil stille sig.

1.6 Sandhedstabel og impulsplan for RS-FF med NAND-gates

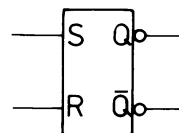
Indgange		Udgange	
S	R	Q	\bar{Q}
1	0	0	1
0	1	1	0
1	1	Q_n	\bar{Q}_n (låst)
0	0	1	1 (undef.)

1.7 RS-FF med NOR-gate

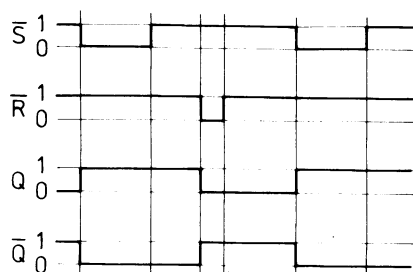
En RS flip-flop kan også opbygges med NOR-gates.



Symbolet og sandhedstabellen adskiller sig fra den oprindelige RS-FF på grund af inverterne i udgangen.



Indgange		Udgange	
S	R	Q	\bar{Q}
0	1	1	0
1	0	0	1
0	0	Q_n	\bar{Q}_n (låst)
1	1	0	0 (undef.)

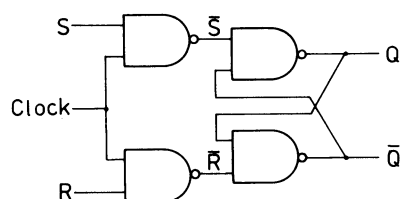


2. CLOCK-IMPULSSTYRET RS-FF

Som det fremgår af tabellen og impulsplanen, skifter RS-FF straks, når den modtager ordren på sine indgange. Til forskellige formål er der behov for en flip-flop, der først skifter, når den tilføres et styresignal. Dette styresignal kaldes clock-impulsen.

2.1 CP RS-FF med NAND-gates

Clock-impulsstyringen opnås ved at føre S- og R-informationen gennem et gate-netværk, der aktiveres af clock-impulsen.

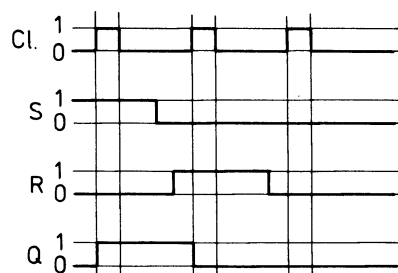


På grund af inverteringen i styregatene ophæves negationen af S og R.

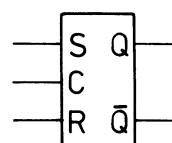
Indgange			Udgange	
S	R	C	Q	\bar{Q}
X	X	0	Q_n	\bar{Q}_n (låst)
0	0	1	Q_n	\bar{Q}_n (låst)
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1 (undef.)

X betyder, at det logiske niveau er ligegyldigt, 1 eller 0.

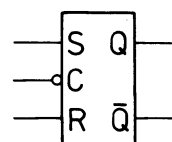
2.2 Impulsplan



2.3 Symbol



Hvis flip-flop'en kan skifte på logisk 0, tegnes symbolet således:



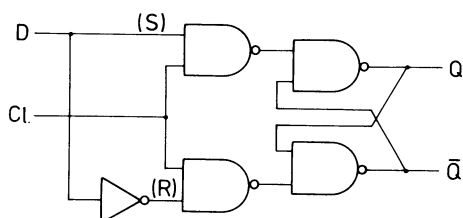
Der anbringes en state-indikator på clock-indgangen.



3. D FLIP-FLOP

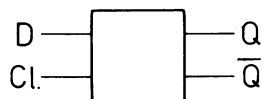
Den clock-impulsstyrede RS-FF har den udefinerede tilstand. Denne "skavank" kan undgås ved at ændre koblingen til en D flip-flop D for data.

Denne FF anvendes som lager-element for et bit.



Ved hjælp af inverteren mellem de oprindelige S- og R-indgange er det sikret, at den udefinerede tilstand aldrig kan forekomme.

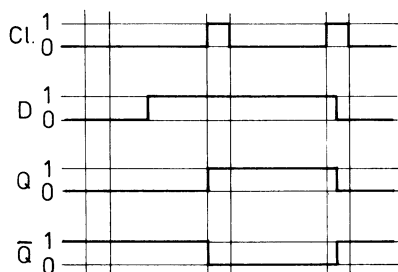
3.1 Symbol



3.2 Sandhedstabel

Indgange		Udgange	
D	C	Q	\bar{Q}
X	0	Q_n	\bar{Q}_n
1	1	1	0
0	1	0	1

3.3 Impulsplan

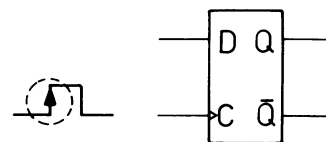


Det fremgår af impulsplanen og sandhedstabellen, at data overføres til udgangen, så længe clock-impulsen er 1. En D FF af denne type kaldes også for en data-latch.

3.4 Dynamisk clock-indgang

D FF'en findes også i en dynamisk triggeret udgave, dvs. at D-informationen overføres til Q på clock-impulsens flanke, hvorefter D-indgangen blokeres. Den har følgende symbol.

Trekanten i clock-indgangen viser, at flip-flop'en aktiveres på clock-impulsens positive flanke, 0 til 1.



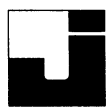
3.5 Sandhedstabel for dynamisk triggeret D FF

Indgange		Udgange	
D	C	Q	\bar{Q}
X	0	Q_n	\bar{Q}_n
1	↑	1	0
0	↑	0	1

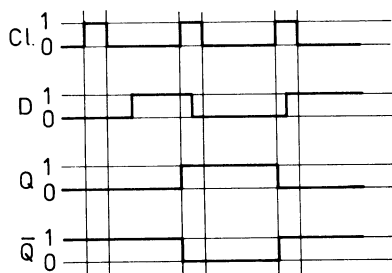
↑ Angiver, at skiftet sker på den positive flanke.

↓ Angiver, at skiftet sker på den negative flanke.

X Angiver, at input kan være 0 eller 1.



3.6 Impulsplan



Ved integrerede D flip-flop's ses det ofte, at \bar{Q} -udgangen ikke er ført ud. Grunden til dette skal søges i ønsket om at have så mange flip-flop's i samme pakning som muligt og det begrænsede antal ben, der er til rådighed, 14 eller 16.

4. JK FLIP-FLOP

Ved at foretage nogle mindre ændringer på den clock-impulsstyrede RS-FF fås en såkaldt JK-flip-flop.

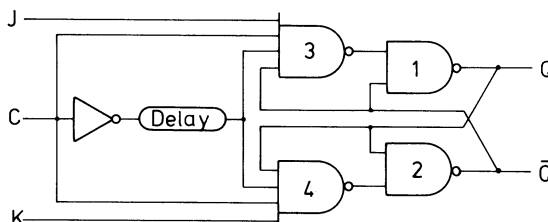
Denne adskiller sig fra RS-FF'en ved ikke at have nogen udefineret stilling.

De specielle egenskaber JK MS flip-flop'en er:

- Hvis både J og K samtidig er logisk 1, når der kommer en clock-impuls, så vil flip-flop'en skifte state.
- Hvis både J og K samtidig er logisk 0, når der kommer en clock-impuls, så vil flip-flop'en ikke skifte state. Der er derfor ingen ubestemte stillinger.

4.1 Funktion

Antag, at J og K ligger på logisk 0. Dette vil bevirke, at gate 3 og 4 fortsat vil have 1 på deres udgange, når clock-impulsen kommer. FF'en bliver altså stående.



Læg nu K til 1 og J til 0. Når clock-impulsen kommer, vil gate 4 have 1 på alle sine indgange, hvorfor dens udgang vil blive 0 og sætte FF'en i stilling 0. På grund af inverteren og delaylinien i clock-indgangen vil gate 3 og 4 kun være aktive i et kort øjeblik, hvorefter der igen er spærret for J- og K-indgangene. Dvs. at når først clock-impulsen er blevet 1, kan JK-informationen ændres, uden at FF'en skifter stilling.

Til sidst lægges J og K til 1. Gate 3 og 4 vil da som eneste information have de krydsede udgangssignaler. Flip-flop'en vil derfor skifte stilling ved forkanten af hver clock-impuls, den arbejder som T-flip-flop.

T står for trigger eller toggle og hentyder til, at FF'en skifter stilling for hver clock-impuls.

Inverteren og delaylinien i clock-indgangen er nødvendige for at hindre ustabilitet, når J og K er lagt til 1, og FF'en arbejder som T-FF.



Antag, at gate 3 og 4 bliver holdt åben i længere tid. Der vil da opstå selvsving på grund af tilbagekoblingen fra udgangene til indgangene. Periodetiden vil være bestemt af gatenes propagation delay.

Det er indlysende, at det ikke kan forudsiges, i hvilken stilling flip-flop'en står, når clock-impulsen slutter.

4.2 Kanttrigging

Når JK-informationen indlæses i flip-flop'en og overføres til udgangen på clock-impulsens ene flanke, kaldes den kanttrigget eller dynamisk trigget.

I handelen findes både typer, der er positiv-kanttriggede, og negativ-kanttriggede, i modsætning til JK-master-slave flip-flop'en, der skal have en "hel" clock-impuls for at overføre JK-informationen.

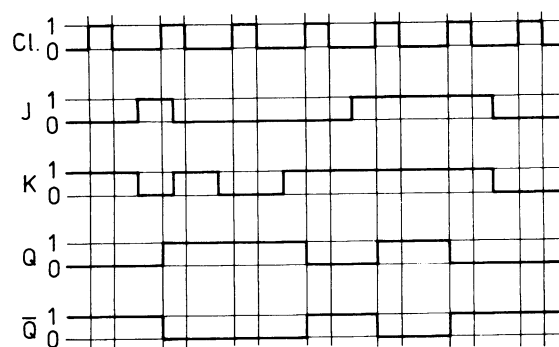
De kanttriggede flip-flop's stiller krav til clock-impulsens stige- og faldetid på grund af det indbyggede delay. Stige- og faldetiden bør ikke overstige 50 ns.

4.3 Sandhedstabel for positiv-kanttrigget JK-FF

Indgange			Udgange	
J	K	C	Q	\bar{Q}
X	X	0	Q_n	\bar{Q}_n
0	0	↑	Q_n	\bar{Q}_n
1	0	↑	1	0
0	1	↑	0	1
1	1	↑	Toggle	

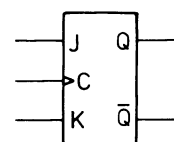
Sandhedstabellen for den bag-kanttriggede JK-FF har samme indhold og udseende som den for-kanttriggede flip-flop's, blot med den forskel, at pilene i clock-impulsspalten peger nedad.

4.4 Impulsplan for positiv-kanttrigget JK-FF

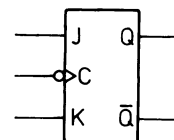


4.5 Symbol for kanttrigget JK-FF

a. Positiv-kanttrigget JK-FF



b. Negativ-kanttrigget JK-FF



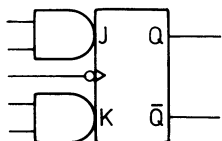


4.6 Udvidede JK-indgange

Ved mange praktiske anvendelser af JK-FF's skal JK-informationen været et produkt af flere variable.

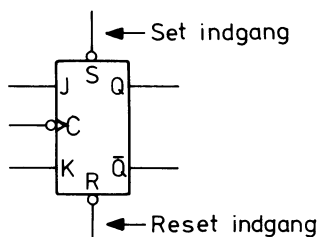
Der er derfor behov for gates i JK-indgangene. Disse kan realiseres ved hjælp af "løse" gates, men der findes JK-FF's på markedet, hvor disse gates er indbygget i kredsløbet.

En sådan JK-FF vil da have flere J- og K-indgange.



4.7 Set og reset

Ud over de allerede behandlede indgange er JK-flip-flop's ofte forsynet med en eller to ekstra indgange.



Via set-indgangen kan FF'en sættes i stilling 1, uanset hvad der er af signaler på J, K og clock-indgangene. Ligeledes kan FF'en sættes tilbage i stilling 0 ved hjælp af reset.

Hvis S- og R-indgangene er aktive ved logisk 0, angives dette ved en state-indikator.

I amerikansk litteratur kaldes set-indgangen på en JK-FF for preset-indgangen, og reset kaldes clear.

4.8 Sandhedstabel for set og reset

Indgange			Udgange	
S	R	C	Q	\bar{Q}
0	1	X	1	0
1	0	X	0	1
0	0	X	undef.	
1	1	X	Q_n	\bar{Q}_n
1	1	0	Q_n	\bar{Q}_n
1	1	1	1	0
1	1	0	0	1
1	1	1	Toggle	

Herover ses sandhedstabellen for en bagkanttrigget JK-FF med S- og R-indgange.

Bemærk, at der som ved en RS-FF findes en tilstand for S, R-indgangene, der er udefineret.



5. JK-MASTER-SLAVE FF

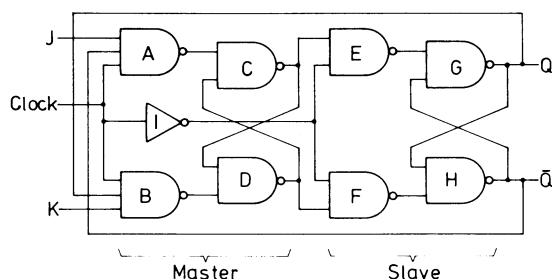
Fælles for de indtil nu behandlede flip-flop's gælder, at indgangs-informationen indlæses i FF'en og overføres til udgangen på samme tidspunkt.

Dette forhold stiller specielle krav til indgangssignalernes tids-mæssige placering i forhold til clock-impulsens aktive flanke.

Dette krav omgås ved at anvende en master-slave flip-flop.

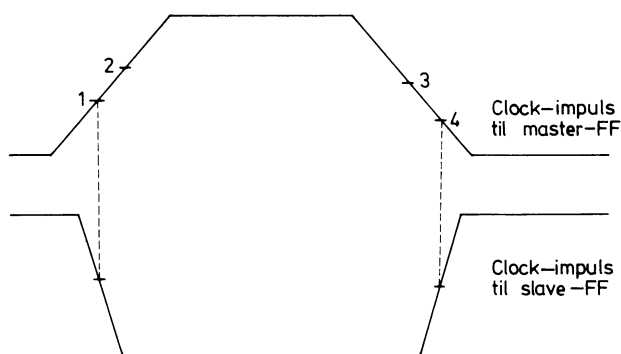
5.1 Virkemåde

Diagrammet viser en JK-master-slave flip-flop. Den kaldes sådan, fordi den består af to flip-flop's, en master og en slave.



Kredsløbet er i princippet opbygget som to serieforbundne FF's, hvor clock-impulsen til slave-FF'en er inverteret.

Betragtes clock-impulsen, er der fire punkter på den, der er vigtige.



Når clock-impulsen er 0, vil masteren være blokeret og slaven være aktiv. Det vil sige, at slaven stiller sig i samme stilling som masteren.

Begynder clock-impulsen at gå mod logisk 1, vil slave-FF'en blive blokeret allerede i pkt. 1, mens master-FF'en først aktiveres i pkt. 2.

Når clock-impulsen er nået gennem pkt. 2 og til logisk 1, kan master-FF'en stilles i den ønskede stilling ved hjælp af J- og K-indgangene.

I pkt. 3 blokeres masteren atter, hvorfor JK-indgangene er virningsløse.

I pkt. 4 aktiveres slave-FF'en atter, hvorved masterens information overføres til udgangen.

I de fire punkter sker altså følgende:

1. Slave-FF'en blokeres.
2. Informationen fra JK-indgangene overføres til master-FF'en.
3. Master-FF'en blokeres for JK-informationen.
4. Slave-FF'en aktiveres, og informationen overføres til slave-FF'en.

5.2 Sandhedstabel JK-MS flip-flop

Sandhedstabellen for en JK-master-slave-FF har samme udseende som tabellen for en kantrigget JK-FF, blot vil det ofte på en eller anden måde fremgå, at FF'en skal have en "hel" clock-impuls for at fungere.

F.eks. således:

Clock:

Sandhedstabellen kan f.eks. se således ud:

54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

FLIP-FLOPS ... LOGIC AND PIN ASSIGNMENTS (TOP VIEWS)

72

AND-GATED J-K MASTER-SLAVE FLIP-FLOPS WITH PRESET AND CLEAR

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	\downarrow	L	L	Q ₀	\bar{Q}_0
H	H	\downarrow	H	L	H	L
H	H	\downarrow	L	H	L	H
H	H	\downarrow	H	H	TOGGLE	TOGGLE

positive logic: J = J1·J2·J3; K1·K2·K3

See pages 120, 124, and 128

SN5472/SN7472(J, N)
SN54H72/SN74H72(J, N)
SN54L72/SN74L72(J, N)

SN5472/SN7472(W)
SN54H72/SN74H72(W)
SN54L72/SN74L72(T)

NC - No internal connection

73

DUAL J-K FLIP-FLOPS WITH CLEAR

INPUTS					OUTPUTS	
CLEAR	CLOCK	J	K	Q	\bar{Q}	
L	X	X	X	L	H	
H	\downarrow	L	L	Q ₀	\bar{Q}_0	
H	\downarrow	H	L	H	L	
H	\downarrow	L	H	L	H	
H	\downarrow	H	H	TOGGLE	TOGGLE	

INPUTS					OUTPUTS	
CLEAR	CLOCK	J	K	Q	\bar{Q}	
L	X	X	X	L	H	
H	\downarrow	L	L	Q ₀	\bar{Q}_0	
H	\downarrow	H	L	H	L	
H	\downarrow	L	H	L	H	
H	\downarrow	H	H	TOGGLE	TOGGLE	

See pages 120, 124, 128, and 130

SN5473/SN7473(J, N, W)
SN54H73/SN74H73(J, N, W)
SN54L73/SN74L73(J, N, T)
SN54LS73/SN74LS73(J, N, W)

H = high level (steady state), L = low level (steady state), X = irrelevant
 \downarrow = high-level pulse; data inputs should be held constant while clock is high; data is transferred to output on the falling edge of the pulse.
 \uparrow = transition from low to high level, \downarrow = transition from high to low level
Q₀ = the level of Q before the indicated input conditions were established.
TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.
* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.



5.3 Data-lockout

JK-master-slave FF'en fås i en speciel udgave, hvor det kun er muligt at overføre JK-information til masteren på clock-impulsens positive flanke, hvorefter JK-indgangene igen er blokerede. Informationen overføres som normalt til udgangen på clock-impulsens negative flanke.

En JK-master-slave FF med data-lockout er altså flanketrigget, og en "almindelig" JK-master-slave FF er niveau-trigget.

Denne egenskab kan ikke læses af symbolet i Mil. standard, men skal findes i databladet.

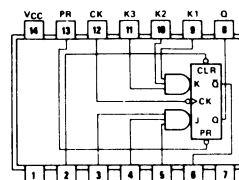
Eksempel :

110 AND-GATED J-K MASTER-SLAVE FLIP-FLOPS WITH DATA LOCKOUT

FUNCTION TABLE				
INPUTS				OUTPUTS
PRESET	CLEAR	CLOCK	J K	Q \bar{Q}
L	H	X	X X	H L
H	L	X	X X	L H
L	L	X	X X	H* H*
H	H	\uparrow	L L	$Q_0 \bar{Q}_0$
H	H	\downarrow	H L	H L
H	H	\downarrow	L H	L H
H	H	\downarrow	H H	TOGGLE

positive logic: $J = J1 \cdot J2 \cdot J3$
 $K = K1 \cdot K2 \cdot K3$

See page 120



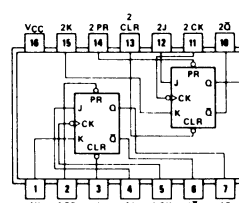
SN54110/SN74110(J, N, W)

NC—No internal connection

111 DUAL J-K MASTER-SLAVE FLIP-FLOPS WITH DATA LOCKOUT

FUNCTION TABLE				
INPUTS				OUTPUTS
PRESET	CLEAR	CLOCK	J K	Q \bar{Q}
L	H	X	X X	H L
H	L	X	X X	L H
L	L	X	X X	H* H*
H	H	\uparrow	L L	$Q_0 \bar{Q}_0$
H	H	\downarrow	H L	H L
H	H	\downarrow	L H	L H
H	H	\downarrow	H H	TOGGLE

See page 120



SN54111/SN74111(J, N, W)

H = high level (steady state), L = low level (steady state), X = irrelevant, \uparrow = transition from low to high level
 \downarrow = high-level pulse; while the clock is high, changes at the J and K inputs after the specified hold time have no effect. Data is transferred to output on the falling edge of the pulse.
 Q_0 = the level of Q before the indicated input conditions were established.
 TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.
 *This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.



DISPOSITION

1. Asynkrone tællere/delere
2. Synkrone tællere
3. Programmerbare synkrone tællere/delere
4. Tællere med skifteregistre

1. ASYNKRONE TÆLLERE/DELERE

Flip-flop's sammensat til tæller-kredsløb findes i næsten ethvert slags digitalt udstyr.

De bruges ikke kun til impuls-tælling, men også til at styre tidssekvenser i digitaludstyr, samt til deling af en given frekvens.

Principielt er en tæller et hukommelseskredsløb, idet den "husker", hvor mange clock-impulser der tilføres input.

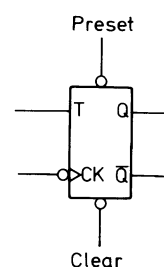
Tællerforløbet eller -koden afhænger af behovet i det givne udstyr. Den mest anvendte tællerkode anvender det binære talsystem, f.eks. 8421 BCD-koden, til en dekadetæller. De mest almindelige tællerkredsløb findes i integreret udførelse fra diverse halvleder-fabrikanter.

1.1 T flip-flop

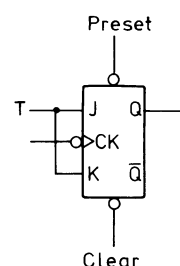
En meget anvendt flip-flop til asynkrone tællere er T flip-flop'en, denne fremstilles ikke specielt, men opbygges af RS-, D- eller JK-flip-flop

Af sandhedstabellen for T flip-flop'en ses, at Q-udgangen skifter til modsatte stilling på hver clock-impuls, hvis $T = 1$.

t_n	t_{n+1}
T	Q
0	Q_n
1	\bar{Q}_n



Denne funktion kan let fremstilles med en JK-FF, idet J- og K-indgangene blot skal sammenlægges.

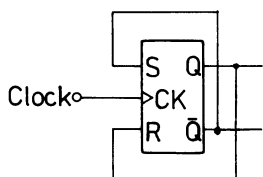


t_n		t_{n+1}
J	K	
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

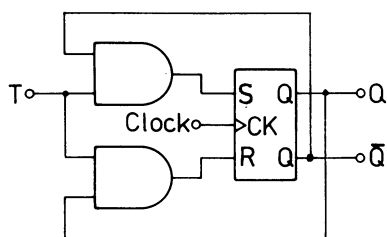
Anvendes ikke da $J = K$

T-FF'en kan også fremstilles af RS- og D-FF :

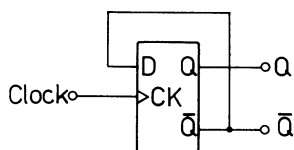
a. Toggle-funktion.



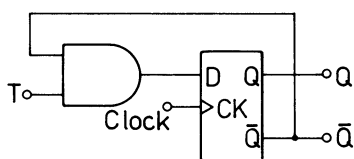
b. Toggle-funktion med T-indgang.



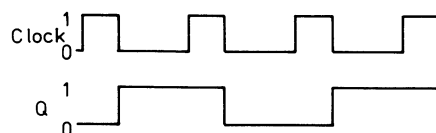
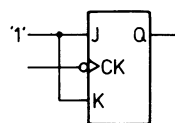
c. Toggle-funktion.



d. Toggle-funktion med T-indgang.



Antag, at vi forbinder både J og K til 1 permanent, vi vil så få følgende impulsdiagram:

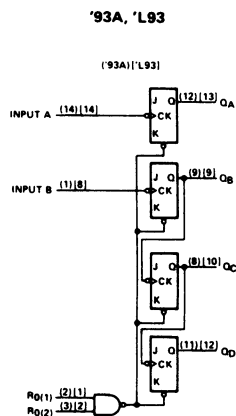


Det kan ses, at indgangsfrekvensen er delt med 2. Hvis vi nu forbinder outputtet fra denne flip-flop til endnu en JK flip-flop forbundet på samme måde, vil clock-frekvensen være delt med 4. Dette kan vi fortsætte med i det uendelige.

1.2 Asynkron 4-bittæller med SN7493

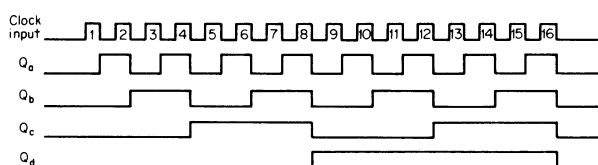
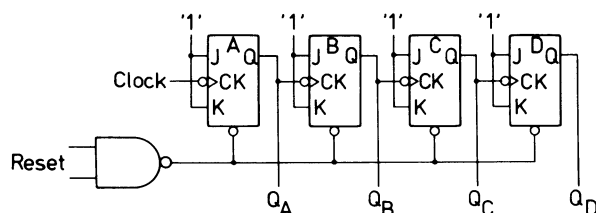
SN7493 er et tællerkredsløb med 4 stk. JK-FF, indvendigt er alle J- og K-indgange ført til logisk "1".

B, C og D FF'en er sammenkoblet indvendigt, A FF'en sammenkobles med de tre andre udvendigt.





Diagrammet viser SN7493 sammenkoblet til en 4-bittæller med tilhørende impulsiagram og sandhedstabel.



Input	Output			
Clock-impulsnr.	Q _D	Q _C	Q _B	Q _A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

Læg mærke til, at flip-flop'ernes state i tælleren udgør en binær talfølge, hvor A-FF'en tæller 1'ere, B-FF'en tæller 2'ere, C-FF'en tæller 4'ere og D-FF'en 8'ere.

Tælleren vender tilbage til 0 (0000) efter tallet 15 (1111) og begynder så forfra. For en tæller med N trin er det maksimale binære tal ($2^N - 1$), dvs. for en 6-trins tæller vil det sige $(2^6 - 1) = (64 - 1) = 63$ (111111₂).

Asynkrone tællere kaldes ofte "bølge-" eller "ripple-tællere", da data går som en bølge igennem tælleren.

Den her beskrevne tæller kaldes en "op-tæller", fordi den tæller op fra 0. Det er også muligt at fremstille en "ned-tæller", dvs. en som tæller ned fra det maksimale binære tal til 0.

1.3 Propagation delay time og f_{maks}.

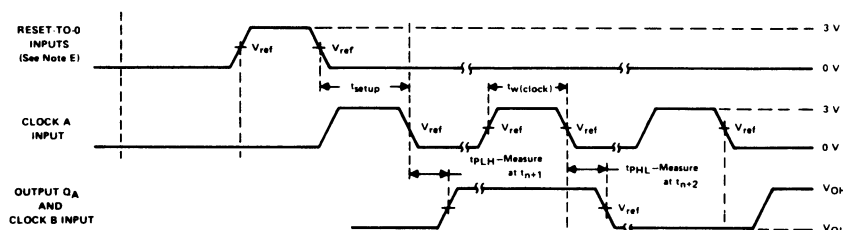
Fra det tidspunkt, hvor clock-impulsen går i negativ retning til en flip-flop-skifter på udgangen, går der en kort tid, dette tidsrum kaldes "propagation delay time".

t_{PLH} er propagation delay time for et skift på udgangen fra "low" til "high".

t_{PHL} er propagation delay time for et skift på udgangen fra "high" til "low".



Impulsplan og tider på SN7493:

switching characteristics, $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER [†]	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'90A			'92A			'93A			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
f_{\max}	A	Q _A	$C_L = 15\text{ pF}$, $R_L = 400\ \Omega$	32	42		32	42		32	42		MHz
	B	Q _B		16			16			16			
t_{PLH}	A	Q _A		10	16		10	16		10	16		ns
t_{PHL}	A	Q _A		12	18		12	18		12	18		
t_{PLH}	A	Q _D		32	48		32	48		46	70		ns
t_{PHL}	A	Q _D		34	50		34	50		46	70		
t_{PLH}	B	Q _B		10	16		10	16		10	16		ns
t_{PHL}	B	Q _B		14	21		14	21		14	21		
t_{PLH}	B	Q _C		21	32		10	16		21	32		ns
t_{PHL}	B	Q _C		23	35		14	21		23	35		
t_{PLH}	B	Q _D		21	32		21	32		34	51		ns
t_{PHL}	B	Q _D		23	35		23	35		34	51		
t_{PHL}	Set-to-0	Any		26	40		26	40		26	40		ns
t_{PLH}	Set-to-9	Q _A , Q _D		20	30								
t_{PHL}	Set-to-9	Q _B , Q _C		26	24								

[†] f_{\max} = maximum count frequency t_{PLH} = propagation delay time, low-to-high-level output t_{PHL} = propagation delay time, high-to-low-level output

Af skemaet se, at de typiske propagation delay tider for A-FF'en i SN7493 er:

$$t_{PLH} = 10\text{ ns}$$

$$t_{PHL} = 12\text{ ns}$$

Propagation fra A-indgangen til Q_D ved et skift fra 0111 til 1000 er:

$$t_{PLH} = 46\text{ ns}$$

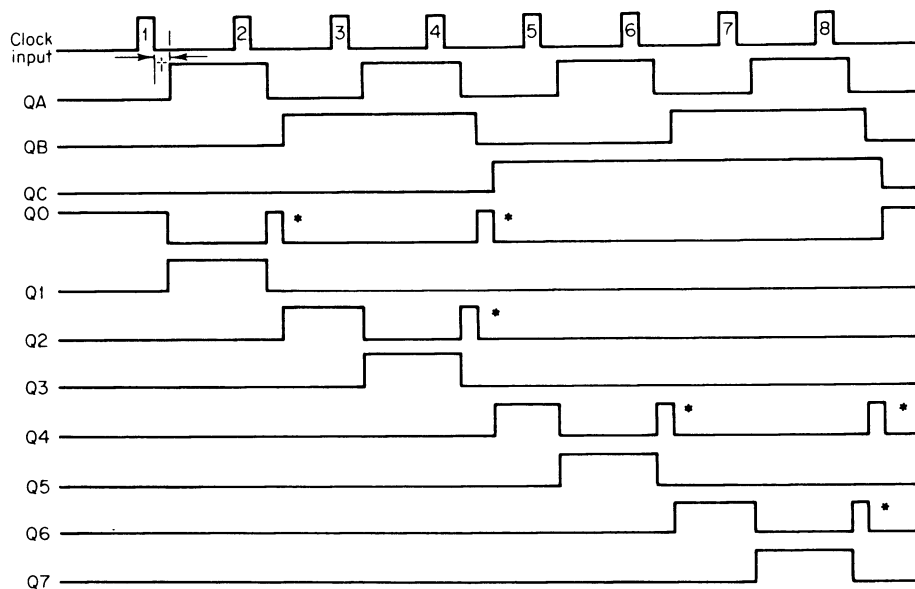
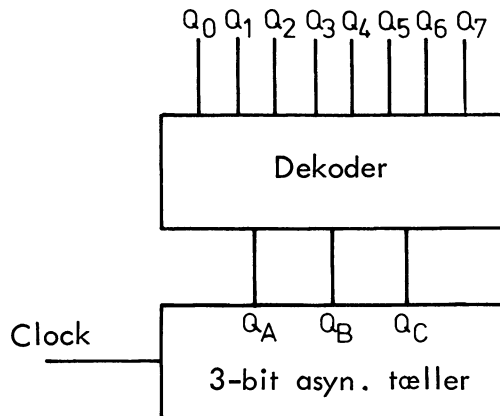
Propagation fra A-indgangen til Q_D ved et skift fra 1111 til 0000 er:

$$t_{PHL} = 46\text{ ns}$$

Når værdierne i en asynkron tæller skal dekodes, vil der optræde "falske" impulser på output af dekoderen, idet propagation delayet forårsager falske værdier i korte tidsrum.



Impulsplanen for en 3-bit asynkron tæller med dekoder vil se således ud ved "forstørret" propagation delay.



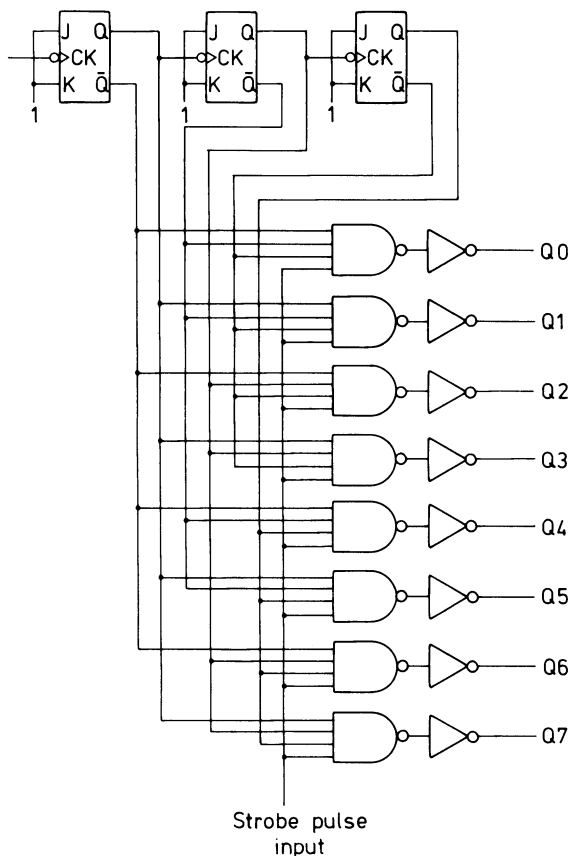
* udlæste falske værdier.



Dekoderen kan forsynes med en strobe, der kun åbner for dekodere, når alle multivibratorer i tælleren er skiftet.

Eksempel:

3-bittæller, dekoder med strobe.



Den maksimale frekvens, en tæller kan klare, kan findes ved:

$$\frac{1}{f} \leq N \cdot T_p + T_s$$

hvor:

N er antallet af flip-flop's.

T_p er propagation delay i en flip-flop.

T_s er bredden af den dekode output-impuls.

Eksempel:

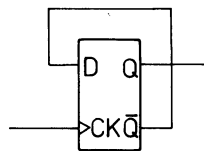
Find $f_{maks.}$ for en asynkron tæller med 4 FF, der hver har en $T_p = 12 \text{ ns}$, den nødvendige T_s er 45 ns.

$$\frac{1}{f} \geq (4 \cdot 12 + 45) \text{ ns}$$

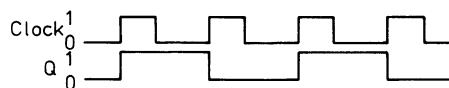
$$f_{maks.} \leq \frac{1}{93 \text{ ns}} = 10,75 \text{ MHz}$$

1.4 Kanttrigget D flip-flop-tæller

Den kanttriggede D flip-flop kan også anvendes til asynkrontælling, hvis den forbindes som vist.



Flip-flop'en vil altid skifte på forkanten af clock-impulsen. Skiftereglerne for D flip-flop'en er, at Q-udgangen altid vil følge D-indgangens information på forkanten af clock-impulsen. Da \bar{Q} -udgangen altid har modsat state af Q, vil Q-udgangen skifte state på forkanten af hver clock-impuls.



Som vi ser, får vi også her en deling af clock-frekvensen med 2 som med JK flip-flop'en, dog sker skiftet her på forkanten.

Det vil sige, hvis vi forbinder Q til CK, får vi en nedtæller, og forbinder vi \bar{Q} til CK, får vi en optæller.

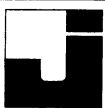
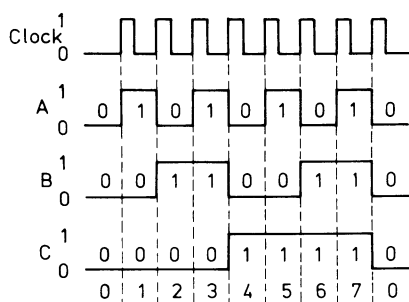
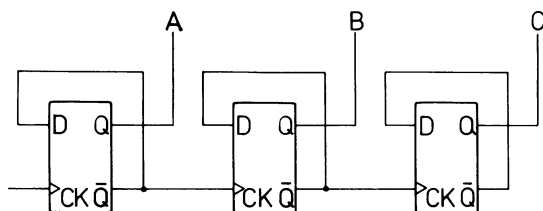


Diagram og impulsforløb viser en 3-bit binær optæller med kanttriggede D flip-flop's.



1.5 N-deler med preset

I en N-deler findes der N forskellige udgangskombinationer.

Eksempel :

En 10-deler har 10 udgangskombinationer :

0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

0	0000

En deler med et vilkårligt delerforhold (N) kan opbygges efter følgende retningslinier, hvis de anvendte flip-flop's har preset.

a. Find antallet af flip-flop's (n), der skal bruges :

$$2^{n-1} < N \leq 2^n$$

b. Forbind alle FF til en asynkron tæller.

c. Find det binære tal $N - 1$.

d. Forbind alle Q-udgange, hvis output er "1" på værdien $N - 1$ til input på en NAND-gate. Tilfør også clock-impulsen til NAND-gaten

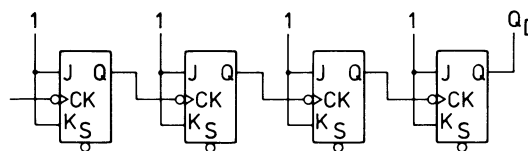
e. Forbind output fra NAND-gaten til preset input på alle FF, der har "0" på Q-udgangen på værdien $N - 1$.

Eksempel :

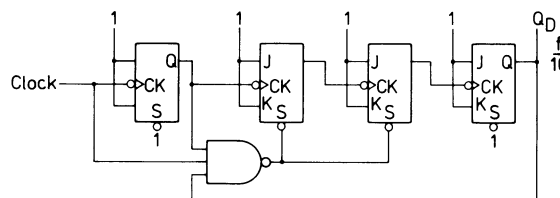
$N = 10$, find kredsløbet.

a. $2^3 < 10 < 2^4$, $n = 4$

b.

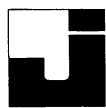


c. $N - 1 = 9_{10} = 1001_2$



Deleren resetter som følger :

På den positive flanke af den 10. clock-impuls presettes alle FF til 1, på den negative flanke af clock-impulsen skifter alle FF til 0.

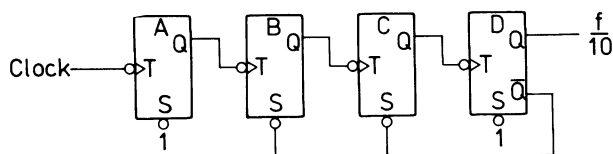


1.6 10-deler med tilbagekobling

En meget anvendt deler er 10-deleren, dekadetælleren.

Når sådan en deler skal laves, vælges et kredsløb, der deler til større tal end det, man skal bruge. Ved hjælp af tilbagekobling ændres deleren til det ønskede modul.

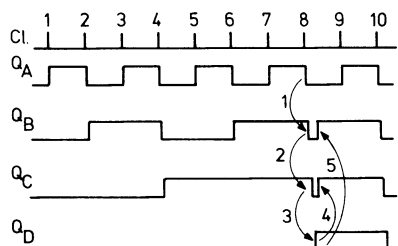
Her anvendes derfor en 16-deler med tilbagekobling.



Når man kigger på impulsplanen, ses, at forløbet foregår normalt op til 8. clock-impuls. Denne vil få flip-flop D til at skifte fra 0 til 1. Dette skift hentes fasevendt ud på FF D's anden udgang og føres tilbage til FF B og FF C, som derved begge skifter fra 0 til 1.

Herefter foregår resten af forløbet ganske normalt, og den 10. clock-impuls sætter alle flip-flop's tilbage i stilling 0.

Dvs. for 10 indgangsimpulser har man på FF D's udgang 1 negativgående impuls.



1.7 Modul N-tæller med reset

I en modul N-tæller findes der N forskellige udgangskombinationer, den største værdi, der kan udlæses af tælleren, er $N - 1$.

Eksempel:

En modul 12-tæller har 12 udgangskombinationer:

0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001
10	1010
11	1011

12	0000

Det største tal, tælleren viser, er $11_{10} = 1011_2$, på den 12. clock-impuls går tælleren på $0000_2 = 0_{10}$.

En modul N-tæller kan opbygges efter følgende retningslinier, hvis de anvendte FF har resetindgang.

- Find antallet (n) af flip-flop's, der skal bruges.

$$2^{n-1} < N \leq 2^n$$

- Forbind alle FF til en asynkron tæller.

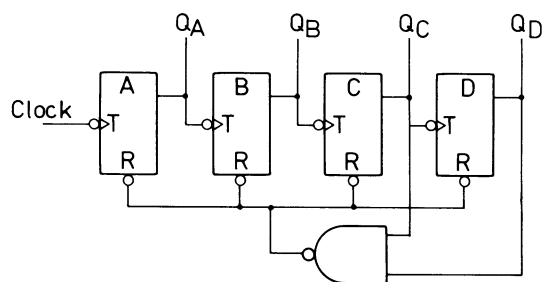
- Find det binære tal N.

- Forbind alle flip-flop outputs, der er "1" på tallet N til input på en NAND-gate, forbind NAND-gate output til reset på tælleren.



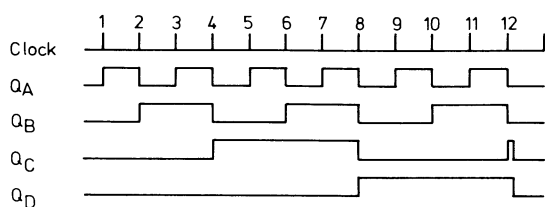
Eksempel :

Modul 12-tæller



	Q _D	Q _C	Q _B	Q _A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
<hr/>				
0	1/0	1/0	0	0

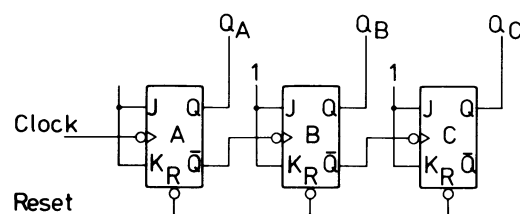
Når tælleren 1100, resettes den, dvs. at tælleren i et ganske kort tidsrum står i stilling 1100.



1.9 Asynkron ned-tæller

De indtil nu viste tællere har alle talt op fra 0, dette kaldes en op-tæller.

Imidlertid kan en ned-tæller også fremstilles ved at forbinde \overline{Q} -udgangen på en FF til clock-indgangen på den næste FF.



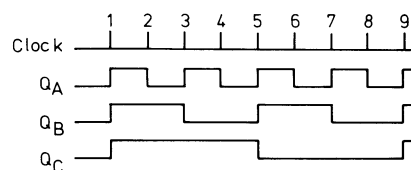
Efter reset står alle FF på 0. På bagkanten af 1. clock-impuls skifter FF - A, herved sker et skift på \overline{Q}_A fra 1 \rightarrow 0, dette skift tilføres clockindgangen på FF - B, som herved skifter

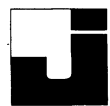
Når FF - B skifter, går \overline{Q}_B fra 1 \rightarrow 0, dette skifter FF - C, som derefter skifter FF - D.

Efter 1. clock-impuls står der $111_2 = 7_{10}$ i tælleren. På bagkanten af 2. clock-impuls skifter kun FF - A.

Efter 2. clock-impuls står der $110_2 = 6_{10}$ i tælleren.

Nedtællingen fortsætter på de følgende clock-impulser, indtil 000 nås, derefter starter sekvensen igen.





2. SYNKRONE TÆLLERE

Den asynkrone tæller havde en propagation delay for hvert bit fra et trin til det næste, som resulterede i akkumulering af propagation delay i den sidste del af tælleren.

I synkrontællere skifter alle trin samtidig, når der tilføres en clock-impuls.

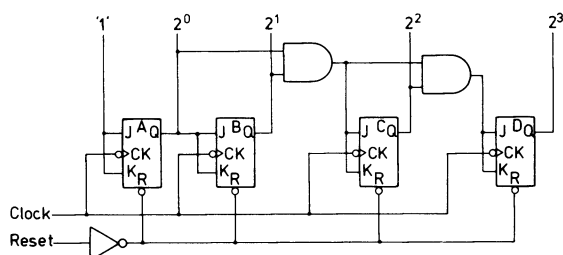
F.eks. vil en asynkron tæller skifte et bit ad gangen, 0111 til 1000, det betyder, at det tager fire gange så lang tid for en 4-bit asynkron tæller at foretage dette skift, som for en synkron, hvor alle skifter på en gang. Dette gælder, selvom der anvendes uendelige mange trin.

Fordelene ved synkrone tællere er mange, ud over den ringe propagation delay kan enhver sekvens fremstilles.

Der skal dog anvendes en del mere styrelogik end ved de asynkrone, og design-proceduren er mere omstændig, hvis antallet af count ikke er en potens af 2.

2.1 Modul 16 synkron op-tæller

Den mest simple synkrontæller er en ren binær op-tæller som vist.



En JK flip-flop vil blive i sit state, når en clock-impuls kommer, hvis både J og K er på logisk 0. Hvis både J og K er på logisk 1, vil flip-flop'en skifte state, når clock-impulsen kommer.

2^0 bit'et vil have J og K på logisk 1 altid, hvorfor den vil skifte state på bagkanten af hver clock-impuls.

2^1 bit'et skifter state, når 2^0 bit'et er 1.

Ligeså vil 2^2 bit'et skifte state på hver clock-impuls, når 2^0 og 2^1 er på 1.

2^3 bit'et skifter state på clock-impulsen, når 2^0 og 2^1 er 1.

Da tælleren er synkron, er der fælles clock, og alle forberedte flip-flop'er skifter samtidig.

2.2 Design af synkrone tællere

Det er allerede vist, at synkrone tællere kan tælle i binær kode, imidlertid kan en synkron tæller designs til at tælle i en vilkårlig kode.

Design-proceduren vil blive illustreret i et eksempel på en modul 10-tæller, der tæller i Excess-3 kode (XS-3 kode).

Denne kode anvendes ofte til BCD aritmetik, som bruges i kalkulatorer.

Ved design bestemmes flip-flop'ernes næste state ved at udgate de nuværende states i J- og K-indgangene.

Første trin er at skrive en state-tabel for det krævede tællerforhold, som viser det nuværende state (present state) og det efterfølgende state (next state).



For XS-3 tælleren kræves 4 flip-flop's: A, B, C og D.

Decimal value	Present state				Next state			
	D	C	B	A	D	C	B	A
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	1	0	1	0
10	1	0	1	0	1	0	1	1
11	1	0	1	1	1	1	0	0
12	1	1	0	0	0	0	1	1

Det næste trin er at fremstille et karnaughkort, som viser de nødvendige states for J og K input'ene for hvert eneste trin. Dette kan gøres lettere, hvis man først fremstiller et "nøglekort", som er en slags karnaughkort, hvori man skriver decimalækvivalenten til det binære count i det tilhørende rum.

Nøglekortet repræsenterer tabellen med "present states" for XS-3 tælleren:

DC \ BA				
	00	01	11	10
00			3	
01	4	5	7	6
11	12			
10	8	9	11	10

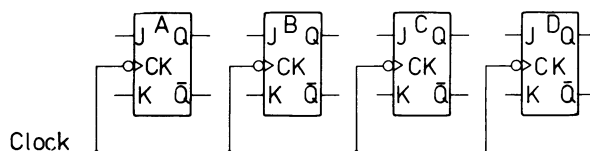
Da tælleren ikke tæller til maksimum, dvs. 1111, vil der forekomme rum uden tal.

Vi skal nu notere karnaughkortet for "nuværende state" (present state) for hvert J og K input, som vil give os det krævede "efterfølgende state" (next state) for flip-flop'ernes output.

Hver flip-flop har to inputs J og K, og tælleren kræver fire flip-flop's, A, B, C og D, hvorfor der må fremstilles $2 \cdot 4 = 8$ stk. fire variabels karnaughkort. Vi må således være fortrolige med J-K sandhedstabellen.

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

De otte karnaughkort skal bruges til at finde ud af, hvordan J- og K-indgangene skal forbindes til udgangene på de fire flip-flop's.



Det første karnaughkort udfyldes for J-indgangen på D flip-flop'en. Hvert rum i kortet korresponderer med et rum på nøglekortet, der viser tællerens output ved hvert count.

Tælleren starter på tallet 3, det næste er 4, når dette count sker, må FF - D ikke ændre stilling. Q_D skal forblive på "0".

Derfor må J_D på tallet 3 tilfredsstille "no change" eller "reset", JK sandhedstabellen viser, at $J_D = 0$.

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

$J_D = 0$

I karnaughkortet for J_D indføres et 0 i position 3, DCBA = 0011.

DC \ BA	00	01	11	10
00			0	
01				
11				
10				

For at angive dette skrives X i kortet.

DC \ BA	00	01	11	10
00			0	
01	0	0	1	0
11				
10	X	X	X	X

Dette fortsætter til tallet 7, hvorefter Q_D skal ændres til "1" på næste clock-impuls, derfor skal J_D forberedes til skift på næste clock-impuls.

Af sandhedstabellen for JK ses, at på tallet 7 skal J_D tilfredsstille "set" eller "change", $J_D = 1$.

Fra 8 til 11 skal Q_D være "1", og derfor skal J_D tilfredsstille "no change" eller "set", J_D kan være "0" eller "1", dvs. en "don't care" stilling.

Ved tallet 12 må J_D forberedes på, at Q_D skal skifte til "0" på næste clock-impuls.

J_D skal tilfredsstille "change" eller "reset", $J_D = X$.

I karnaughkortet skrives X i position 12, DCBA = 1100.

Når det booleske udtryk skal udlæses af karnaughkortet, skal alle ettaller indcirkles, tomme rum eller "don't care" må tages med i cirklen, nuller må ikke tages med i cirklen.

Decimal value	Present state				Next state			
	D	C	B	A	D	C	B	A
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	1	0	1	0
10	1	0	1	0	1	0	1	1
11	1	0	1	1	1	1	0	0
12	1	1	0	0	0	0	1	1

DC \ BA	00	01	11	10
00			0	
01	0	0	1	0
11	X			
10	X	X	X	X

$J_D = ABC$



Denne procedure gentages for alle J- og K-indgange for hver flip-flop. Den booleske ligning kan herefter udledes af karnaugh-kortene.

J_D

DC \ BA	00	01	11	10
00			0	
01	0	0	1	0
11	X			
10	X	X	X	X

$$J_D = ABC$$

K_D

DC \ BA	00	01	11	10
00			X	
01	X	X	X	X
11	1			
10	0	0	0	0

$$K_D = C$$

J_C

DC \ BA	00	01	11	10
00			1	
01	X	X	X	X
11	X			
10	0	0	1	0

$$J_C = AB$$

K_C

DC \ BA	00	01	11	10
00			X	
01	0	0	1	0
11	1			
10	X	X	X	X

$$K_C = AB + D$$

J_B

DC \ BA	00	01	11	10
00			X	
01	0	1	X	X
11	1			
10	0	1	X	X

$$J_B = A + CD$$

K_B

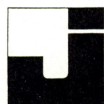
DC \ BA	00	01	11	10
00			1	
01	X	X	1	0
11	X			
10	X	X	1	0

$$K_B = A$$

J_A

DC \ BA	00	01	11	10
00			X	
01	1	X	X	1
11	1			
10	1	X	X	1

$$J_A = 1$$



DC \ BA		K_A			
		00	01	11	10
00	00			1	
01	01	X	1	1	X
11	11	X			
10	10	X			X

$$K_A = 1$$

Karnaughkortene for XS-3 tælleren giver følgende booleske udtryk:

$$\begin{aligned} J_A &= 1 \\ K_A &= 1 \\ J_B &= A + CD \\ K_B &= A \\ J_C &= AB \\ K_C &= AB + D \\ J_D &= ABC \\ K_D &= C \end{aligned}$$

De booleske ligninger giver J og K states for alle flip-flop'ers udtrykt ved flip-flop'ernes udgange. Tælleren kan derfor opbygges med gates forbundet fra flip-flop'ernes udgange til de respektive J- og K-indgange.

Læg mærke til, at en direkte reset kan tilføjes for at sikre, at tælleren starter på 0011, den er tilføjet, så D og C sættes, A og B resettes.

2.3 Forenklet designsystem af synkron tællere

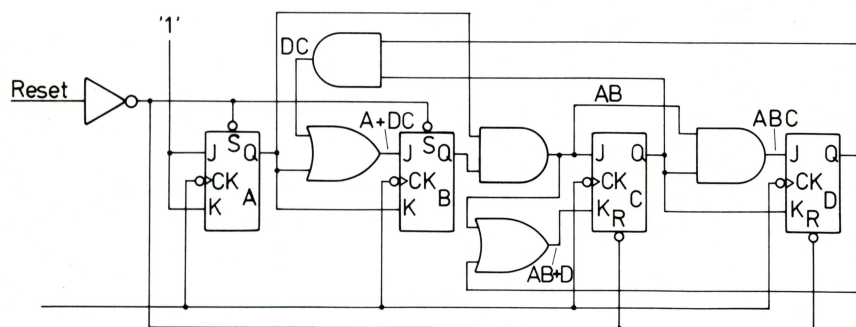
Ved hjælp af et hertil indrettet skema kan synkron tællere let designs.

Skemaet indeholder en sandhedstabel, hvori den ønskede tællerkode skrives.

I karnaughkortene indføres symbolerne fra den karnaughkode, der findes på skemaet.

Nederst på skemaet findes nogle regler for udlæsning af det booleske udtryk for f.eks. J- og K-indgangene på en flip-flop.

Brugen af skemaet bliver gennemgået på en modul 10-tæller, der tæller i en vægtet kode, 5421 koden. Tælleren designs med JK flip-flop's.





Sandhedstabellen for 5421 ser
således ud:

0	0000
1	0001
2	0010
3	0011
4	0100
5	1000
6	1001
7	1010
8	1011
9	1100

Binær tæller ved hjælp af Karnaugh kort

Tællertype: _____

Tællerkode: _____

Tællermodul: _____

Karnaugh kode:

1 : fra 0 til 1

/ : fra 1 til 1

Φ : fra 1 til 0

0 : fra 0 til 0

- : ligegyldigt

Sandhedstabel

D	C	B	A	CP nr.
				0
				1
				2
				3
				4
				5
				6
				7
				8
				9
				10
				11
				12
				13
				14
				15
				16

DC	D - FF			
	BA 00	01	11	10
00				
01				
11				
10				

$J_D =$

$K_D =$

DC	C - FF			
	BA 00	01	11	10
00				
01				
11				
10				

$J_C =$

$K_C =$

DC	B - FF			
	BA 00	01	11	10
00				
01				
11				
10				

$J_B =$

$K_B =$

DC	A - FF			
	BA 00	01	11	10
00				
01				
11				
10				

$J_A =$

$K_A =$

Udlæsning af boolske udtryk:

JK-FF J : 1 skal, 0 må ikke benyttes K : Φ skal, / må ikke benyttes

RS-FF R : Φ skal, 1 og / må ikke benyttes S : 1 skal, 0 og Φ må ikke benyttes

T-FF T : 1 og Φ skal benyttes og / og 0 må ikke benyttes



Først indskrives de ønskede tællerdata på skemaet:

Tællertype: Synkron

Tællerkode: 5421

Tællermodul: 10

Derefter udfyldes sandhedstabelen:

Sandhedstabel				CP nr.
D	C	B	A	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
1	0	0	0	5
1	0	0	1	6
1	0	1	0	7
1	0	1	1	8
1	1	0	0	9
0	0	0	0	10
				11
				12
				13
				14
				15
				16

Karnaughkortet for den enkelte flip-flop kan nu udfyldes, idet stillingen, tælleren står i, samt stillingen tælleren står i efter næste clock-impuls, skal betragtes.

Fra en stilling til den næste kan der ske fire ting på udgangen på en flip-flop.

- Q skifter fra 0 til 1.
- Q går fra 1 til 1.
- Q skifter 1 til 0.
- Q går fra 0 til 0.

På skemaet findes nogle symboler, der skal bruges i karnaughkortene ved de fire forskellige skift.

Karnaugh kode:

1 : fra 0 til 1

/ : fra 1 til 1

Φ : fra 1 til 0

0 : fra 0 til 0

- : ligegyldigt

Det sidste symbol

- : Ligegyldigt

skrives i tomme rum.

Karnaughkortet for D - FF udfyldes således:

Fra stilling 0000 \rightarrow 0001 sker der ingen ændring med D - FF'en, den går fra 0 til 0.

Karnaughkortet udfyldes med et 0 i rum DCBA = 0000.

DC \ BA				
	00	01	11	10
00	0			
01				
11				
10				

Der sker ingen ændring med Q_D før på 5 clock-impuls, rummene 0001, 0010, 0011 kan derfor udfyldes med 0.

DC \ BA				
	00	01	11	10
00	0	0	0	0
01				
11				
10				



Imellem stilling 0100 og 1000 sker der et skift fra 0 \rightarrow 1 på Q_D , i rum DCBA = 0100 skrives derfor et 1.

Q_D forbliver på 1, indtil stilling 1100, rummene 1001, 1010 og 1011 kan derfor udfyldes med 1.

Fra stilling 1100 skal der skiftes til 0000, i rum 1100 skal der skrives et \emptyset .

Det færdige karnaughkort fra D - FF ser således ud:

DC \ BA	00	01	11	10
00	0	0	0	0
01	1	-	-	-
11	\emptyset	-	-	-
10	1	1	1	1

Når det booleske udtryk skal findes, er det en fordel at tegne cirklerne for J og K i hver sin farve for at undgå fejl ved udlæsningen.

På skemaet står, hvilke tegn der skal og ikke må benyttes i cirklerne. Tegn, der ikke er nævnt, betragtes som ligegyldige og kan tages med i cirklerne.

Udlæsning af booleske udtryk:

JK-FF J : 1 skal, 0 må ikke benyttes

K : \emptyset skal, / må ikke benyttes

RS-FF R : \emptyset skal, 1 og / må ikke benyttes

S : 1 skal, 0 og \emptyset må ikke benyttes

T-FF T : 1 og \emptyset skal benyttes og / og 0 må ikke benyttes

D - FF

DC \ BA	00	01	11	10
00	0	0	0	0
01	1	-	-	-
11	\emptyset	-	-	-
10	/	/	/	/

$$J_D = \text{C}$$

$$K_D = \text{C}$$



De udfyldte karnaughkort ser således ud:

DC \ BA		D - FF			
		00	01	11	10
00	00	0	0	0	0
01	01	1	-	-	-
11	11	Ø	-	-	-
10	10	/	/	/	/

$$J_D = C$$

$$K_D = C$$

DC \ BA		C - FF			
		00	01	11	10
00	00	0	0	1	0
01	01	0	-	-	-
11	11	0	-	-	-
10	10	0	0	1	0

$$J_C = AB$$

$$K_C = 1$$

DC \ BA		B - FF			
		00	01	11	10
00	00	0	1	-	1
01	01	0	-	-	-
11	11	0	-	-	-
10	10	0	1	Ø	1

$$J_B = A$$

$$K_B = A$$

DC \ BA		A - FF			
		00	01	11	10
00	00	1	Ø	Ø	1
01	01	0	-	-	-
11	11	0	-	-	-
10	10	1	Ø	Ø	1

$$J_A = \bar{C}$$

$$K_A = 1$$

Udlæsning af boolske udtryk:

JK-FF J : 1 skal, 0 må ikke benyttes

RS-FF R : Ø skal, 1 og / må ikke benyttes

T-FF T : 1 og Ø skal benyttes og / og 0 må ikke benyttes

K : Ø skal, / må ikke benyttes

S : 1 skal, 0 og Ø må ikke benyttes



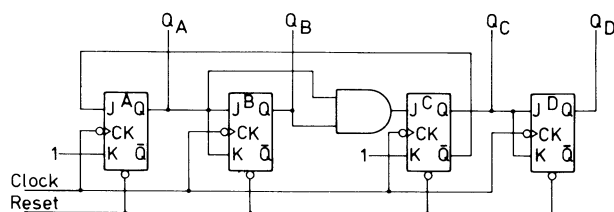
Modul 10-tælleren i 5421 kode
kan designes ud fra de booleske
udtryk .

$$J_A = \overline{C} , \quad K_A = 1$$

$$J_B = A , \quad K_B = A$$

$$J_C = AB , \quad K_C = 1$$

$$J_D = C , \quad K_D = C$$

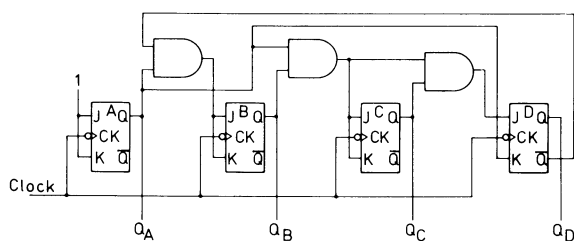


2.4 Synkrone dekadetællere

Den synkrone dekadetæller er meget anvendt på grund af en større tællerhastighed end en asynkron dekadetæller.

Ved dekodning er det ikke nødvendigt at bruge en dekoder med strobe, idet alle FF skifter på samme tid.

Diagram af en modul 10, 8421 BCD tæller .





2.5 SN7490 dekadetæller

Ofte fås den mest simple konstruktion ikke med en ren asynkron- eller ren synkrontæller, SN7490 er et eksempel på en blanding af de to systemer.

TTL
MSI

TYPES SN5490A, SN5492A, SN5493A, SN54L90, SN54L93, SN7490A, SN7492A, SN7493A, SN74L90, SN74L93 DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

BULLETIN NO. DL-S 7211807, DECEMBER 1972

'90A, 'L90 ... DECADE COUNTERS

'92A ... DIVIDE-BY-TWELVE COUNTER

'93A, 'L93 ... 4-BIT BINARY COUNTERS

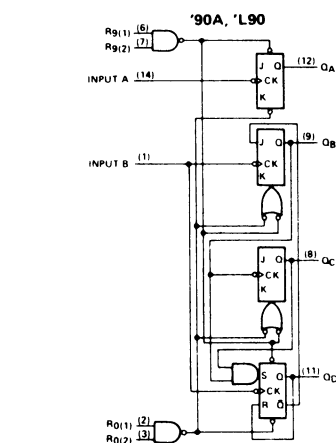
description

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A and 'L90, divide-by-six for the '92A, and divide-by-eight for the '93A and 'L93.

All of these counters have a gated zero reset and the '90A and 'L90 also have gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the B input is connected to the Q_A output. The input count pulses are applied to input A and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A or 'L90 counters by connecting the Q_D output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output Q_A .

functional block diagrams



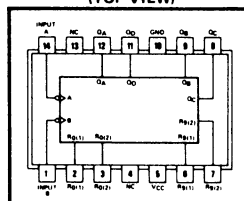
dynamic input activated by transition from a high level to a low level.

The J and K inputs shown without connection are for reference only and are functionally at a high level.

'90A ... J, N, OR W PACKAGE

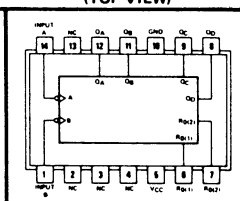
'L90 ... J, N, OR T PACKAGE

(TOP VIEW)



'92A ... J, N, OR W PACKAGE

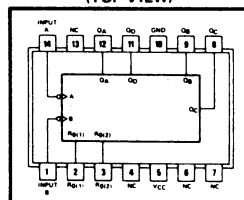
(TOP VIEW)



positive logic: see function tables

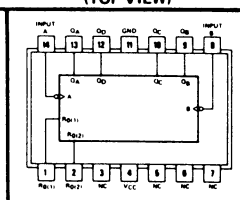
'93A ... J, N, OR W PACKAGE

(TOP VIEW)



'L93 ... J, N, OR T PACKAGE

(TOP VIEW)

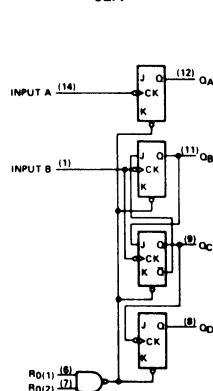


positive logic: see function tables

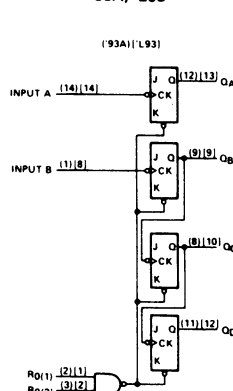
NC—No internal connection

TYPES	TYPICAL POWER DISSIPATION
'90A	145 mW
'L90	20 mW
'92A, '93A	130 mW
'L93	16 mW

'92A



'93A, 'L93





TYPES SN5490A, SN5492A, SN5493A, SN54L90, SN54L93, SN7490A, SN7492A, SN7493A, SN74L90, SN74L93 DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

'90A, 'L90
BCD COUNT SEQUENCE
(See Note A)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'90A, 'L90
BI-QUINARY (5-2)
(See Note B)

COUNT	OUTPUT			
	Q _A	Q _D	Q _C	Q _B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'90A, 'L90

RESET/COUNT FUNCTION TABLE

RESET INPUTS				OUTPUT			
R ₀ (1)	R ₀ (2)	R ₉ (1)	R ₉ (2)	Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

'92A
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

'93A, 'L93
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

'92A, '93A, 'L93

RESET/COUNT FUNCTION TABLE

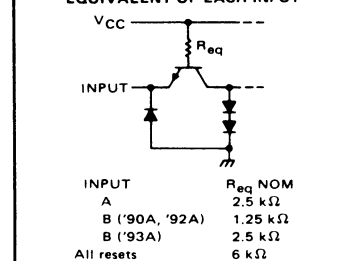
RESET INPUTS				OUTPUT			
R ₀ (1)	R ₀ (2)	Q _D	Q _C	Q _B	Q _A		
H	H	L	L	L	L		
L	X	COUNT					
X	L	COUNT					

NOTES: A. Output Q_A is connected to Input B for BCD count.
B. Output Q_D is connected to Input A for bi-quinary count.
C. Output Q_A is connected to input B.
D. H = high level, L = low level, X = irrelevant

schematics of inputs and outputs

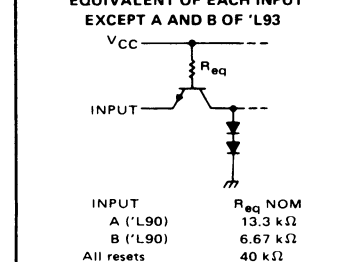
'90A, '92A, '93A

EQUIVALENT OF EACH INPUT



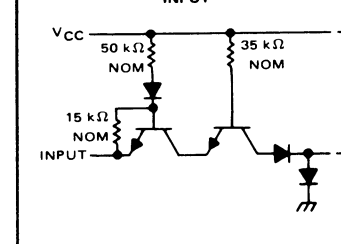
'L90, 'L93

EQUIVALENT OF EACH INPUT EXCEPT A AND B OF 'L93



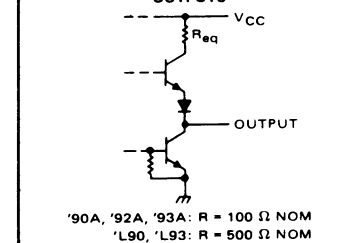
'L93

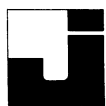
EQUIVALENT OF A OR B INPUT



'90A, '92A, '93A, 'L90, 'L93

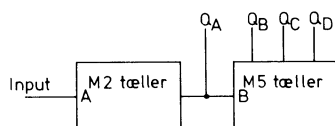
TYPICAL OF ALL OUTPUTS



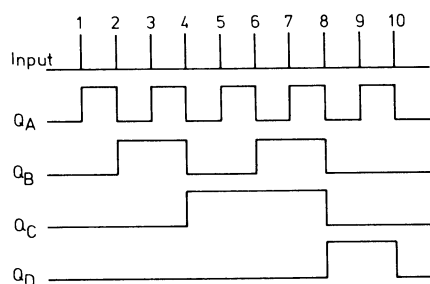


7490 består af en synkron modul 5-tæller og en modul 2-tæller, de 2 tællere kan kobles i serie på to måder:

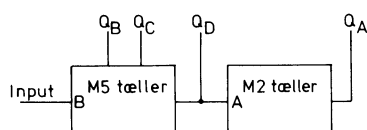
a.



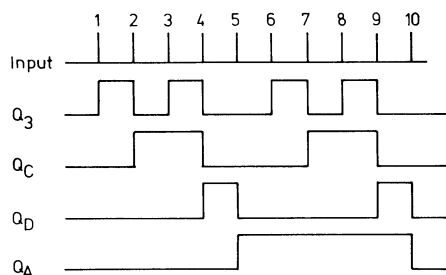
Koblet på denne måde er tællersekvensen en 8421 BCD kode med viste impulsplan.



b.

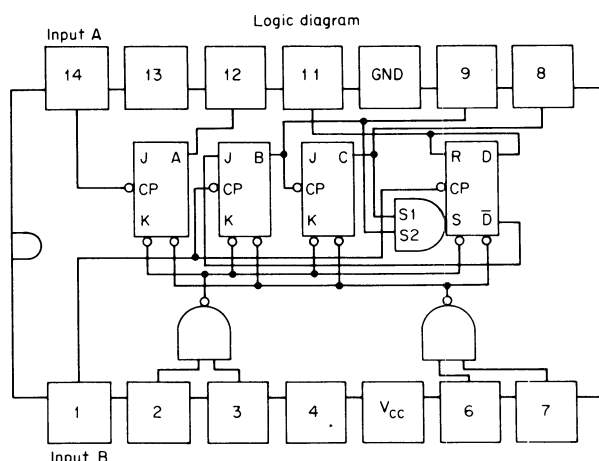


Koblet på denne måde er tællersekvensen en 5421 kode med viste impulsplan.



Denne koblingsmetode anvendes, når der ønskes en symmetrisk udgangsspænding fra en 10-deler.

7490 kan ræsettes (set 0000) på terminal 2 og 3 og presettes (set 1111) på terminal 6 og 7.





2.6 Selvstandsende tællere

I stedet for at have en tæller, der går til 0, når den har talt til et bestemt antal, er det somme tider nødvendigt at få den til at stoppe og vente på et reset-signal.

Som eksempel på en selvstandsende vises en modul 6-tæller, der tæller fra 000 \rightarrow 101, på den 6. og følgende clock-impulser bliver tælleren stående på 101 indtil reset.

Binær tæller ved hjælp af Karnaugh kort

Tællertype: Synchron

Tællerkode: 421 Selvstandsende

Tællermodul: Modul 6

Karnaugh kode:

1 : fra 0 til 1

/ : fra 1 til 1

\emptyset : fra 1 til 0

0 : fra 0 til 0

- : ligegyldigt

Sandhedstabel

D	C	B	A	CP nr.
0	0	0	0	0
0	0	1	1	1
0	1	0	2	
0	1	1	3	
1	0	0	4	
1	0	1	5	
1	0	1	6	
			7	
			8	
			9	
			10	
			11	
			12	
			13	
			14	
			15	
			16	

DC	BA	00	01	11	10
00					
01					
11					
10					

$$J_D =$$

$$K_D =$$

DC	BA	00	01	11	10
00		0	0	1	0
01		/	/	-	-
11					
10					

$$J_C = AB$$

$$K_C = 0$$

DC	BA	00	01	11	10
00		0	1	0	1
01		0	0	-	-
11					
10					

$$J_B = A\bar{C}$$

$$K_B = A$$

DC	BA	00	01	11	10
00		1	0	0	1
01		1	/	-	-
11					
10					

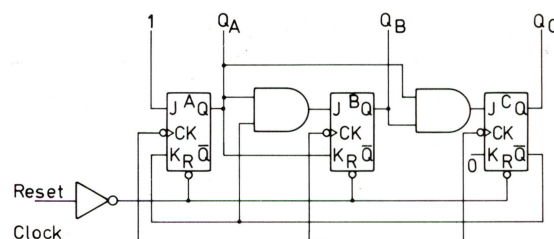
$$J_A = 1$$

$$K_A = \bar{C}$$

Udlæsning af boolske udtryk:

JK-FF J : 1 skal, 0 må ikke benyttes K : \emptyset skal, / må ikke benyttes
RS-FF R : \emptyset skal, 1 og / må ikke benyttes S : 1 skal, 0 og \emptyset må ikke benyttes
T-FF T : 1 og \emptyset skal benyttes og / og 0 må ikke benyttes

Diagram af modul 6 selvstandsende tæller.



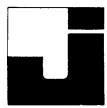
2.7 Synchron op-/ned-tæller

De indtil nu gennemgående synkron tællere har talt op fra en binær værdi til en større værdi.

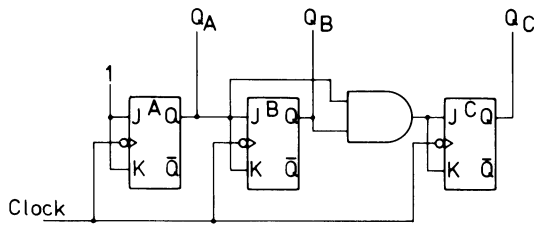
En synkron tæller kan imidlertid også kobles til at tælle ned fra en binær værdi til en mindre værdi.

Det er også muligt at koble en tæller således, at den styret af et kontrolkredsløb enten tæller op eller ned. En sådan tæller kaldes en "Up/down counter".

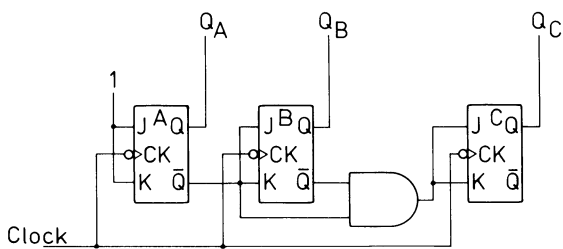
Sammenligner man en op-tæller med en ned-tæller, ses det, at forbindelserne til J- og K-indgangene på op-tælleren styres fra Q-udgangene på de foregående FF, på ned-tælleren styres J og K fra \bar{Q} -udgangene.



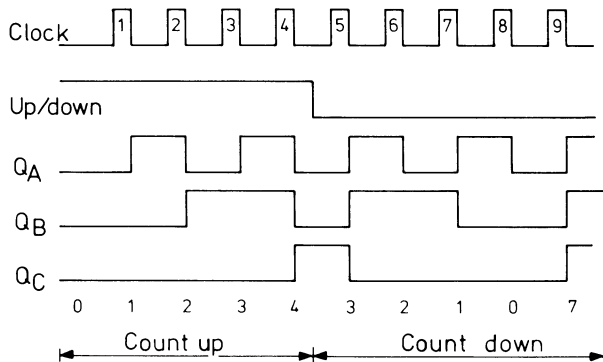
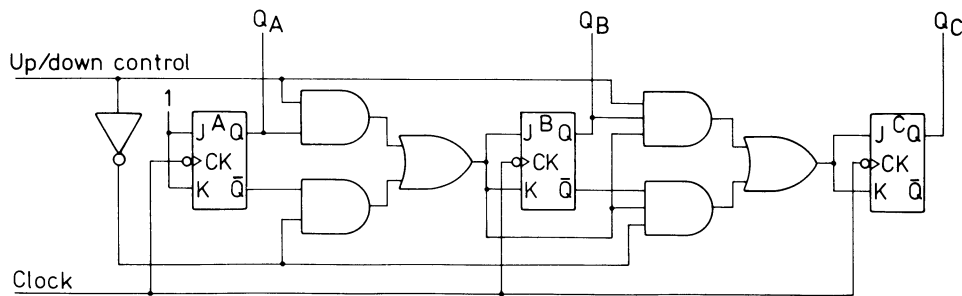
Modul 8 op-tæller.



Modul 8 ned-tæller.



De to tællere kan kombineres,
hvis der indføres et kontrolkreds-
løb med AND/OR-gates.





3. PROGRAMMERBARE SYNKRONE

TÆLLERE/DELERE

3.1 SN74191

**TYPES SN54190, SN54191, SN54LS190, SN54LS191,
SN74190, SN74191, SN74LS190, SN74LS191**
SYNCHRONOUS UP/DOWN COUNTERS WITH DOWN/UP MODE CONTROL

BULLETIN NO. DL-S 7211865, DECEMBER 1972

- Counts 8-4-2-1 BCD or Binary
- Single Down/Up Count Control Line
- Count Enable Control Input
- Ripple Clock Output for Cascading
- Asynchronously Presetable with Load Control
- Parallel Outputs
- Cascadable for n-Bit Applications

TYPE	AVERAGE PROPAGATION DELAY	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'190, '191	20 ns	25 MHz	325 mW
'LS190, 'LS191	20 ns	25 MHz	100 mW

description

The '190, 'LS190, '191, and 'LS191 are synchronous, reversible up/down counters having a complexity of 58 equivalent gates. The '191 and 'LS191 are 4-bit binary counters and the '190 and 'LS190 are BCD counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the steering logic. This mode of operation eliminates the output counting spikes normally associated with asynchronous (ripple clock) counters.

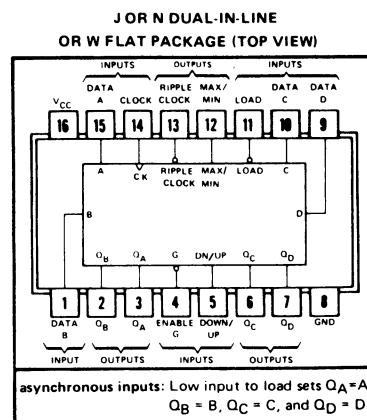
The outputs of the four master-slave flip-flops are triggered on a low-to-high-level transition of the clock input if the enable input is low. A high at the enable inputs inhibits counting. Level changes at either the enable input or the down/up input should be made only when the clock input is high. The direction of the count is determined by the level of the down/up input. When low, the counter counts up and when high, it counts down.

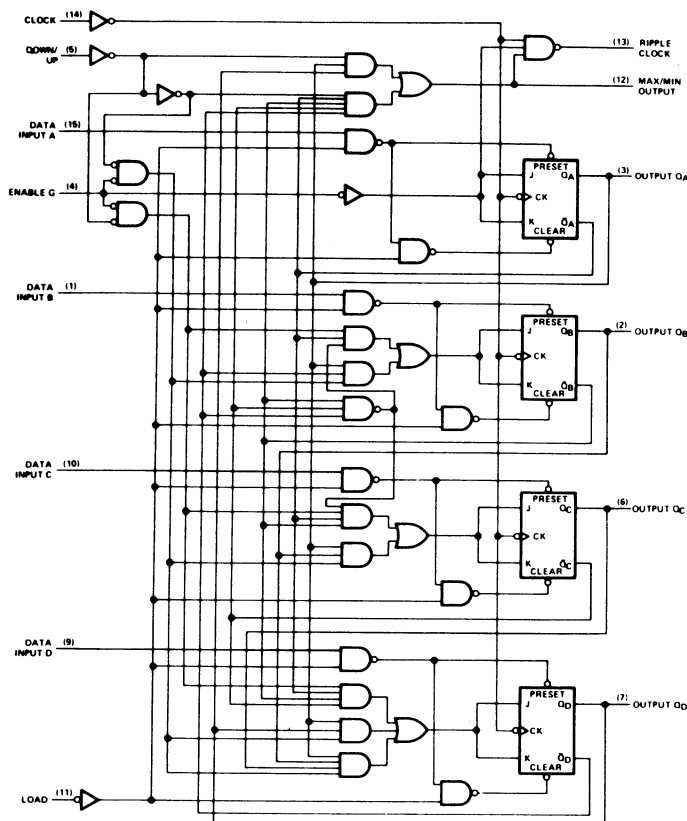
These counters are fully programmable; that is, the outputs may be preset to either level by placing a low on the load input and entering the desired data at the data inputs. The output will change to agree with the data inputs independently of the level of the clock input. This feature allows the counters to be used as modulo-N dividers by simply modifying the count length with the preset inputs.

The clock, down/up, and load inputs are buffered to lower the drive requirement which significantly reduces the number of clock drivers, etc., required for long parallel words.

Two outputs have been made available to perform the cascading function: ripple clock and maximum/minimum count. The latter output produces a high-level output pulse with a duration approximately equal to one complete cycle of the clock when the counter overflows or underflows. The ripple clock output produces a low-level output pulse equal in width to the low-level portion of the clock input when an overflow or underflow condition exists. The counters can be easily cascaded by feeding the ripple clock output to the enable input of the succeeding counter if parallel clocking is used, or to the clock input if parallel enabling is used. The maximum/minimum count output can be used to accomplish look-ahead for high-speed operation.

Series 54' and 54LS' are characterized for operation over the full military temperature range of -55°C to 125°C ; Series 74' and 74LS' are characterized for operation from 0°C to 70°C .

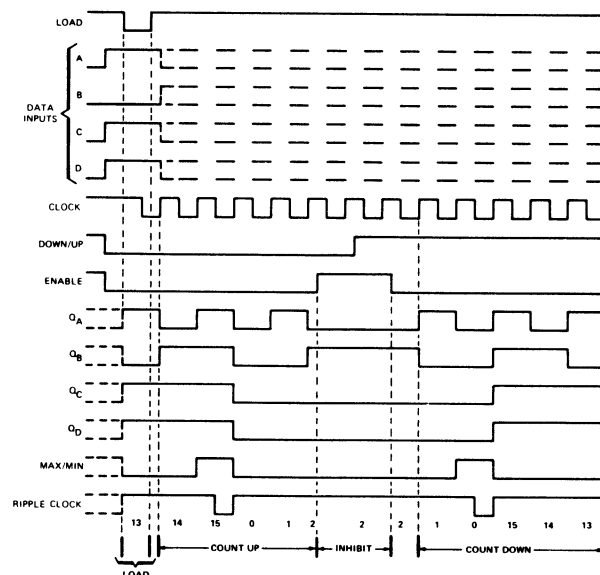




typical load, count, and inhibit sequences

Illustrated below is the following sequence:

1. Load (preset) to binary thirteen.
2. Count up to fourteen, fifteen (maximum), zero, one, and two.
3. Inhibit.
4. Count down to one, zero (minimum), fifteen, fourteen, and thirteen.

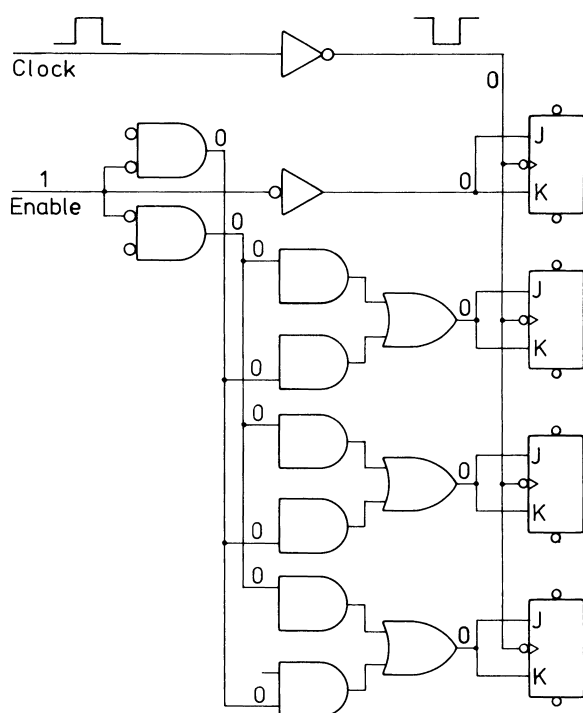




SN74191 er en synkron op/ned modul 16-tæller.

Q-udgangene på de fire FF skifter, når clock-impulsen går $0 \rightarrow 1$, hvis "Enable" er tilført "0". En "1" på "Enable" stopper tælling.

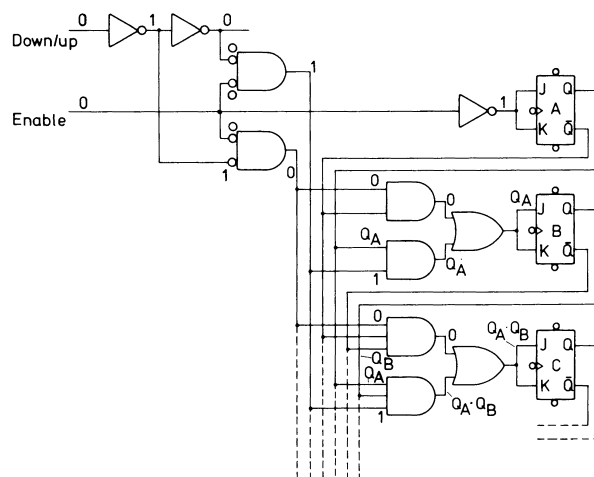
Input til "Enable" og "Down/up" må kun skiftes, medens clock-impulsen er "1".



Når "Enable" tilføres "1", bliver alle J og K tilført "0". Information på J og K indlæses i de fire FF på skiftet $1 \rightarrow 0$ på clock-impulsen.

Tællerretningen bestemmes af niveauet på "Down/up" input. Med "0" på "Down/up" tæller kredsløbet op, og med "1" på "Down/up" tæller kredsløbet ned.

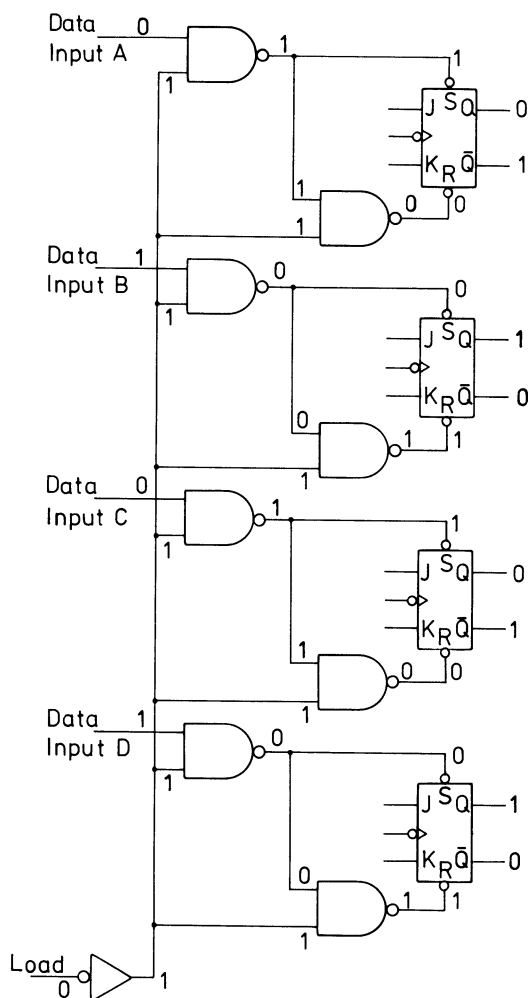
På diagramudsnittet er vist de logiske niveauer ved "up".



Kredsløbet kan programmeres asynkron, dvs. at niveauerne på "DATA INPUT A..... INPUT D" indlæses i de fire FF, når input på "LOAD" er "0", dette sker uafhængigt af alle andre input.

Preset (S) og clear (R) har prioritet fremfor andre indgange.

På diagramudsnittet er vist programmering af 1010.



Kredsløbet er forsynet med et "ripple clock" og et "maks./min." output.

"Maks./min." udgangen giver high impuls ud ved skift fra 1111 → 0000 og ved skiftet 0000 → 1111. Det booleske udtryk for "maks./min." er:

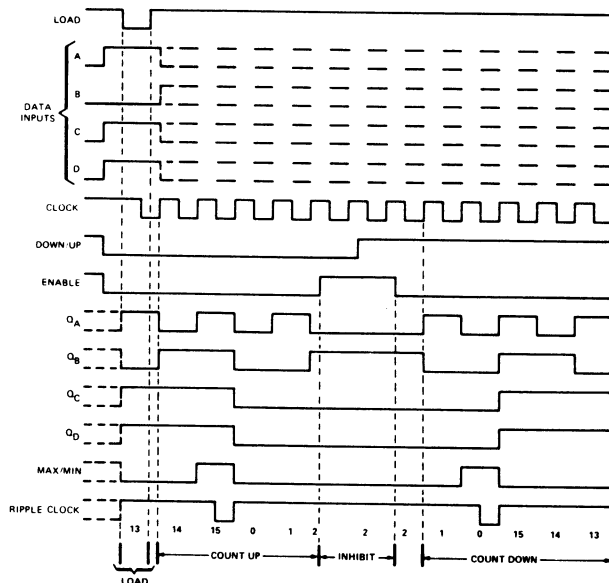
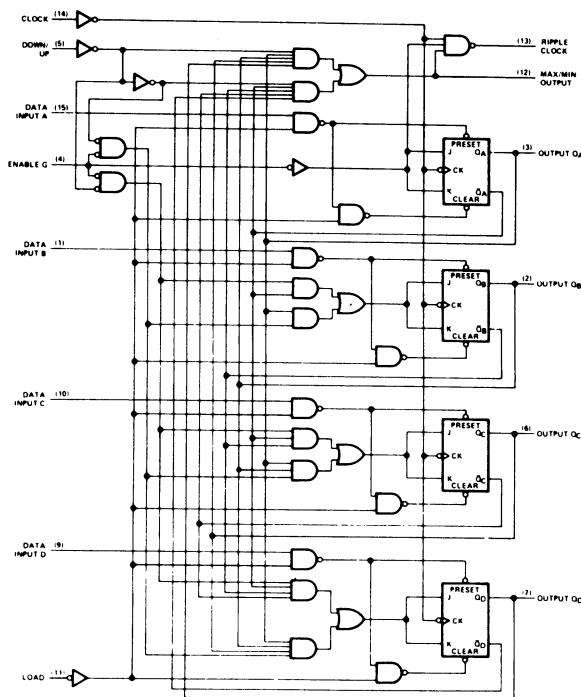
Maks./min. =

$$(Q_A \cdot Q_B \cdot Q_C \cdot Q_D \cdot \text{down/up}) + (\bar{Q}_A \cdot \bar{Q}_B \cdot \bar{Q}_C \cdot \bar{Q}_D \cdot \text{down/up})$$

Det booleske udtryk for "ripple clock" er:

Ripple clock =

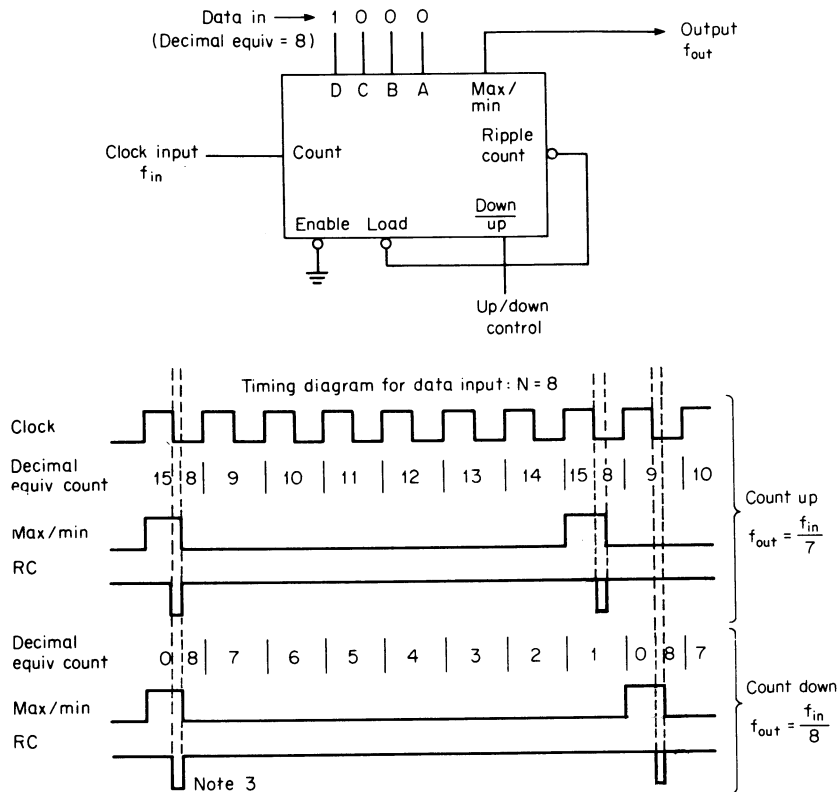
$$\text{maks./min.} \cdot \text{Enable} \cdot \text{clock}$$





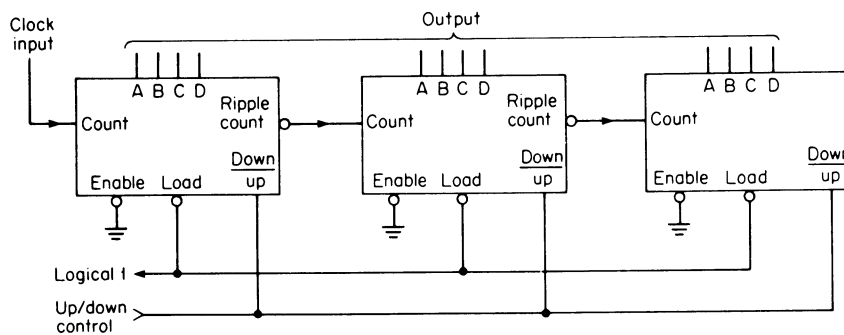
3.2 Kredsløbseksempler med SN74191

a. Divide-by-N

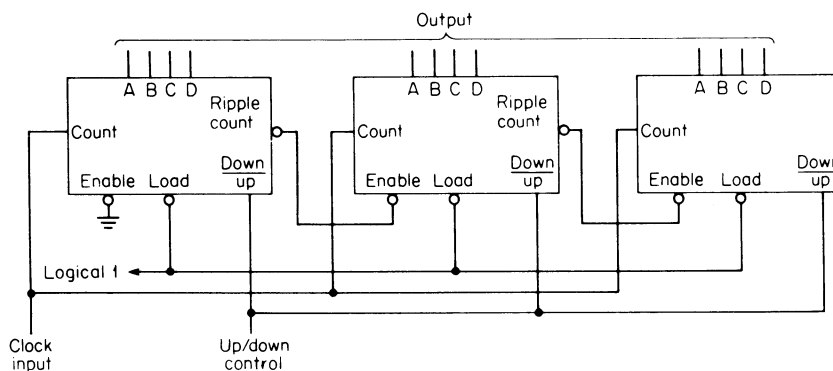


- Notes:
- For a down count: $f_{out} = \frac{f_{in}}{N}$ for $1 \leq N \leq 15$, where N is the data input
 - For an up count: $f_{out} = \frac{f_{in}}{15-N}$ for $0 \leq N \leq 14$, where N is the data input
 - The RC pulse is typically 30 ns wide

b. Asynkron tæller



c. Synkron tæller





3.3 SN74167 Synchronous decade rate multiplier

**TTL
MSI**

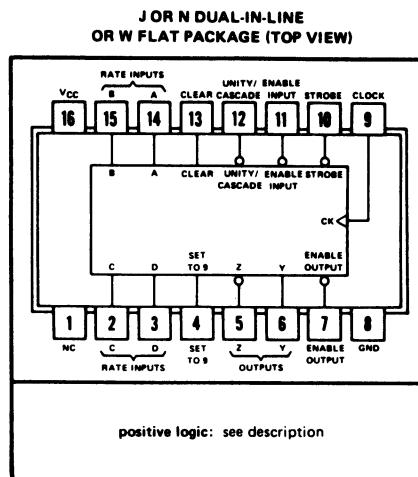
TYPES SN54167, SN74167 SYNCHRONOUS DECADE RATE MULTIPLIERS

BULLETIN NO DL-S 7211813, DECEMBER 1972

- Perform Fixed-Rate or Variable-Rate Frequency Division
- For Applications in Arithmetic, Radar, Digital-to-Analog (D/A), Analog-to-Digital (A/D), and other Conversion Operations
- Typical Maximum Clock Frequency ... 32 Megahertz

description

These monolithic, fully synchronous, programmable counters utilize Series 54/74 TTL circuitry to achieve 32-megahertz typical maximum operating frequencies. These decade counters feature buffered clock, clear, enable and set-to-nine inputs to control the operation of the counter, and a strobe input to enable or inhibit the rate input/decoding AND-OR-INVERT gates. The outputs have additional gating for cascading and transferring unity-count rates.



NC—No internal connection

The counter is enabled when the clear, strobe set-to-nine, and enable inputs are low. With the counter enabled, the output frequency is equal to the input frequency multiplied by the rate input M and divided by 10, i.e.:

$$f_{out} = \frac{M \cdot f_{in}}{10}$$

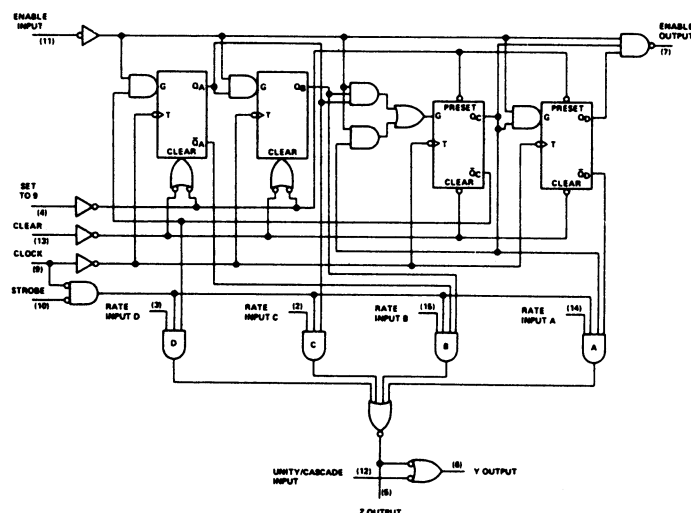
where: $M = D \cdot 2^3 + C \cdot 2^2 + B \cdot 2^1 + A \cdot 2^0$ for decimal zero through nine.

When the rate input is binary 0 (all rate inputs low), Z remains high. In order to cascade devices to perform two-decade rate multiplication (0-99), the enable output is connected to the enable and strobe inputs of the next stage, the Z output of each stage is connected to the unity/cascade input of the other stage, and the sub-multiple frequency is taken from the Y output. For longer words, see typical application data, Figure 1.

The unity/cascade input, when connected to the clock input, may be utilized to pass the clock frequency (inverted) to the Y output when the rate input/decoding gates are inhibited by the strobe. The unity/cascade input may also be used as a control for the Y output.

All of the inputs of these counters are diode-clamped, and each input, except the clock input, represents one normalized Series 54/74 load. The buffered clock input, used with the strobe gate, is only two Series 54/74 loads. Full fan-out to 10 Series 54/74 loads is available from each of the output. These devices are completely compatible with most TTL and DTL families. Typical dissipation is 270 milliwatts. The SN54167 is characterized for operation over the full military temperature range of -55°C to 125°C , and the SN74167 is characterized for operation from 0°C to 70°C .

functional block diagram



STATE AND/OR RATE FUNCTION TABLE (See Note A)

INPUTS									OUTPUTS				NOTES
CLEAR	ENABLE	STROBE	BCD RATE D C B A				NUMBER OF CLOCK PULSES	UNITY/ CASCADE	LOGIC LEVEL OR NUMBER OF PULSES				
									Y	Z	ENABLE		
H	X	H	X	X	X	X	X	H	L	H	H	B	
L	L	L	L	L	L	L	10	H	L	H	1	C	
L	L	L	L	L	L	H	10	H	1	1	1	C	
L	L	L	L	L	H	L	10	H	2	2	1	C	
L	L	L	L	L	H	H	10	H	3	3	1	C	
L	L	L	L	H	L	L	10	H	4	4	1	C	
L	L	L	L	H	L	H	10	H	5	5	1	C	
L	L	L	L	H	H	L	10	H	6	6	1	C	
L	L	L	L	H	H	H	10	H	7	7	1	C	
L	L	L	H	L	L	L	10	H	8	8	1	C	
L	L	L	H	L	L	H	10	H	9	9	1	C	
L	L	L	H	L	H	L	10	H	8	8	1	C, D	
L	L	L	H	L	H	H	10	H	9	9	1	C, D	
L	L	L	H	H	L	L	10	H	8	8	1	C, D	
L	L	L	H	H	L	H	10	H	9	9	1	C, D	
L	L	L	H	H	H	L	10	H	9	9	1	C, D	
L	L	L	H	L	L	H	10	L	H	9	1	E	

NOTES: A, H = high level, L = low level, X = irrelevant. All remaining entries are numeric counts.

B. This is a simplified illustration of the clear function. The states of clock and strobe can affect the logic level of Y and Z. A low unity/cascade will cause output Y to remain high.

C. Each rate illustrated assumes a constant value at rate inputs; however, these illustrations in no way prohibit variable-rate inputs.

D. These input conditions exceed the range of the decimal rate inputs.

E. Unity/cascade can be used to inhibit output Y.

SN74167 adskiller sig fra de foregående delere ved at aflevere et antal impulser, hver gang kredsløbet tilføres 10 clock-impulser, delerforholdet kan programmeres ved hjælp af "rate input".

Udgangsfrekvensen er:

$$f_o = \frac{M \cdot f_{in}}{10}$$

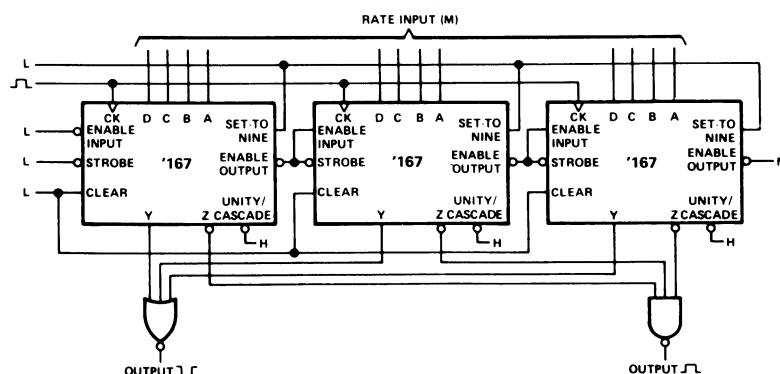
$$M = D \cdot 2^3 + C \cdot 2^2 + B \cdot 2^1 + A \cdot 2^0$$

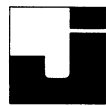
hvor A, B, C og D er værdierne på "rate input".

Delerforholdet kan udvides ved at sammenkoble flere kredsløb.

TYPICAL APPLICATION DATA

This application demonstrates how the decimal-rate multipliers may be cascaded for longer words. Three decades are illustrated (0.999 to 999) although longer words can be implemented by using the pattern shown. The output is decoded either from output Y with a NOR gate or from output Z with a NAND gate. Either method of decoding produces the complement of the output used.





4. TÆLLERE MED SKIFTEREGISTRE

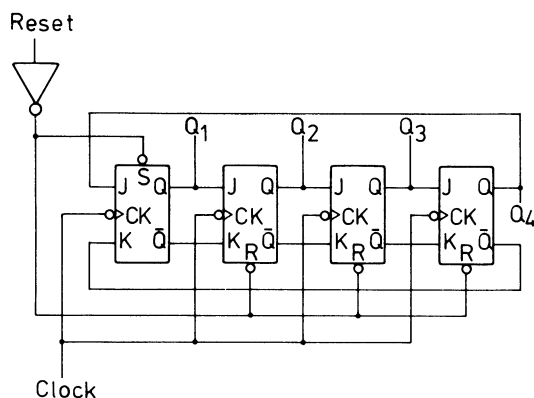
Det er tidligere vist, at et skifteregister kan anvendes til recirkulation af data ved tilførsel af clock-impulser. Dette princip kan også anvendes til tællere.

4.1 Ringtæller

Den mest simple af skifteregistertællerne kaldes en ringtæller.

Ringtælleren indeholder kun en 1'er eller 0'er, som cirkulerer. Antallet af forskellige kombinationer er lig med antallet af trin. Ringtælleren er god i kredsløb, hvor hvert tal skal sætte en operation i gang.

Da kun et output ad gangen er logisk 1 til enhver tid, behøver ingen ekstra logik for at dekode tællerens output.



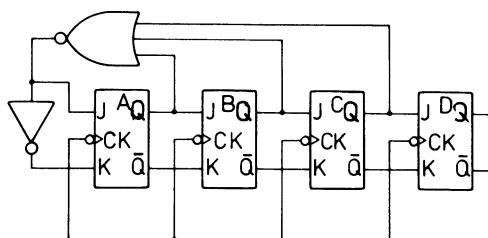
Læg i diagrammet mærke til, at reset input vil resette Q_2 , Q_3 og Q_4 , men vil sætte $Q_1 = 1$. Denne 1'er vil cirkulere, når clock-impulsen bliver tilført.

Sandhedstabel :

Clock	Q_1	Q_2	Q_3	Q_4
1	1	0	0	0
2	0	1	0	0
3	0	0	1	0
4	0	0	0	1
5	1	0	0	0

4.2 Johnson tællere

Hvis direkte set og reset indgange ikke er til rådighed for at give tælleren sin begyndelsesstilling, er det nødvendigt at anvende gates.



NOR-gaten giver 0 på indgangen af første trin, hvis en af udgangene A, B eller C er på logisk 1.

Derfor bliver der indlæst et 0 i tælleren, indtil A, B og C alle er 0, når der tilføres clock-impulser.

En 1'er bliver så indlæst efterfulgt af tre 0'er, medens 1'eren skiftes gennem de tre første trin, fulgt igen af en 1'er fra NOR-gaten, når A, B og C alle er 0, og dette fortsætter.

Tællersekvensen kan gøres længere ved at modificere tilbagekoblingen.



4.3 Switch tail ringtæller

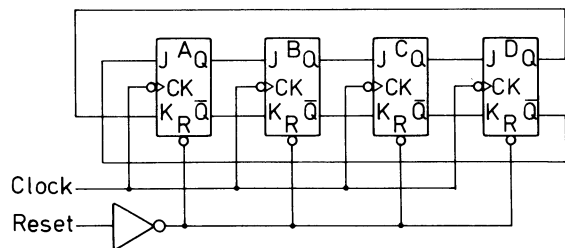
Den letteste modifikation er at invertere sidste trins outputs og så føre dem til første trin.

Dette er det samme som at forbinde Q til K og \bar{Q} til J, som vist på diagrammet.

Den kaldes en switch tail ringtæller og er en speciel type Johnson tæller.

Tællerens modul, antal kombinationer, er 2^N , hvor N er antallet af flip-flop.

Her vises diagram:



Tælleren giver følgende sandhedstabel, hvis den startes fra reset (0000).

Clock-impuls	A	B	C	D	Output decoding
0	0	0	0	0	$\bar{A} \bar{D}$
1	1	0	0	0	$A \bar{B}$
2	1	1	0	0	$B \bar{C}$
3	1	1	1	0	$C \bar{D}$
4	1	1	1	1	$A D$
5	0	1	1	1	$\bar{A} B$
6	0	0	1	1	$\bar{B} C$
7	0	0	0	1	$\bar{C} D$

Output'et af switch tail tælleren kan let dekodes til decimalværdi ved hjælp af 2 input AND gates. De booleske udtryk står til højre for sandhedstabellen.

Hvis den her viste switch tail/Johnson ringtæller ikke bliver reset, før der tilføres clock-impulser, er der ingen sikkerhed for, at den starter på (0000), den kan lige så let starte på en hvilken som helst anden kombination.

Eksempelvis kan den starte på kombinationen (0010), og tælleren vil da følge denne sekvens.

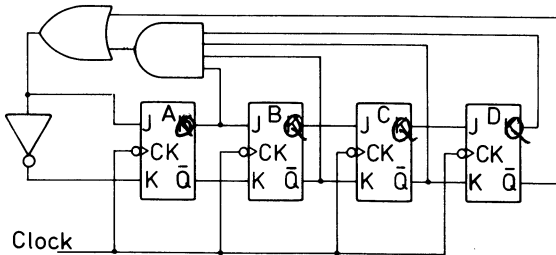
A	B	C	D
0	0	1	0
1	0	0	1
0	1	0	0
1	0	1	0
1	1	0	1
0	1	1	0
1	0	1	1
0	1	0	1
0	0	1	0

Tælleren vil være fastlåst i denne sekvens, hvis vi ikke griber ind. Skal det her skitserede forløb forhindres, må vi udvide tilbagekoblingen.



En mulig løsning er at dekode tallet 1001 ved hjælp af en 4-input AND-gate med funktionen $A \bar{B} \bar{C} D$. "1" output'et fra denne gate kan så føres til udgangen med prioritet før krydskoblingen, hvorved den næste kombination bliver 1100, som er del af den ønskede tællersekvens.

Det modificerede kredsløb er vist her.



4.4 EX-OR tilbagekoblede tællere

En skifteregistertæller, som har modulet $2^N - 1$, hvor N er antallet af flip-flop, kan fremstilles ved at anvende en EX-OR-gate i tilbagekoblingen. Denne type synkrontæller kan nemmere fremstilles end den synkrone binære tæller og bliver meget økonomisk for store moduler. Et exclusive-OR tilbageløbsudtryk kan udledes fra tællere med mindst 3 flip-flop.

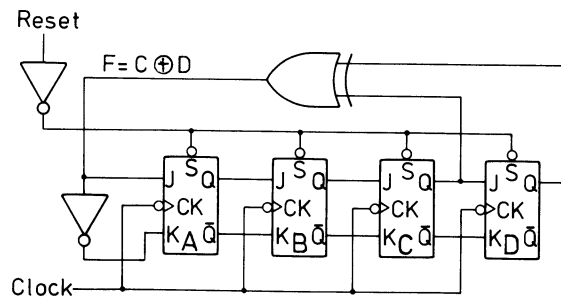
Tabellen viser, hvordan trinnene skal tilbageløbes for tællere med op til 12 trin.

No. of stages	Feedback stages											
	A	B	C	D	E	F	G	H	I	J	K	L
3	0	1	1									
4	0	0	1	1								
5	0	0	1	0	1							
6	0	0	0	0	1	1						
7	0	0	0	0	0	1	1					
8	0	0	0	1	1	1	0	1				
9	0	0	0	0	1	0	0	0	1			
10	0	0	0	0	0	0	1	0	0	1		
11	0	0	0	0	0	0	0	0	1	0	1	
12	0	0	0	0	0	1	0	1	0	0	1	1

F.eks. en modul 15-tæller skal indeholde 4 trin, fra tabellen får vi $F = C \oplus D = C \bar{D} + \bar{C} D$.

Da $0 \oplus 0 = 0$, må alle 0'er udelades ved tællersekvensens start, det kan eksempelvis gøres ved brug af direkte set-indgangene.

Det maksimale modul er $2^N - 1$, dvs. at det er en maksimum modul-tæller med 4 trin, vi her har behandlet.



Clock	A	B	C	D
0	1	1	1	1
1	0	1	1	1
2	0	0	1	1
3	0	0	0	1
4	1	0	0	0
5	0	1	0	0
6	0	0	1	0
7	1	0	0	1
8	1	1	0	0
9	0	1	1	0
10	1	0	1	1
11	0	1	0	1
12	1	0	1	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

$$F = C \oplus D$$

C	D	F
0	0	0
0	1	1
1	0	1
1	1	0



DISPOSITION

1. Registerfunktion
2. Serie til paralleltransformering
3. Parallel til serietransformering
4. Recirkulerende skifteregistre
5. Venstre- eller højreskiftende registre

1. REGISTERFUNKTION

Lagring i en computer eller kalkulator m.m. kan opdeles i to hovedkategorier: "Large Scale Lagring", dvs. mange hundrede eller mange tusinde bit, eller "Small Scale", midlertidig lagring af mindre end hundrede bit.

Small scale lagring kan virkelig gøres ved anvendelse af flip-flop's.

Eksempel:

Antag, at vi skal lagre et 8-bit-tal, indtil en computer eller kalkulator er klar til at behandle det. Dette kan opnås med 8 stk. D flip-flop's (D latches), J-K MS flip-flop's eller andre flip-flop's.

Et kredsløb, som lagrer et eller flere bit, kaldes et register.

Der kræves mere af et register end blot det at lagre data, idet der herudover ofte kræves, at man kan flytte rundt med data og ændre måden, hvorpå de repræsenteres.

Et kredsløb, som kan udføre dette, kaldes et skifteregister, fordi data skiftes til højre eller til venstre i registeret.

Passende flip-flop's til brug i skifteregistre er kantriggede typer, så som D FF og JK-MS og RS flip-flop'erne.

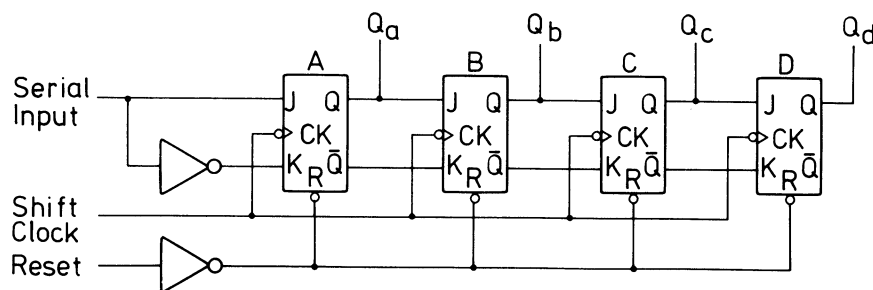


1.1 4-bit JK skifteregister

Diagrammet viser et JK skifteregister. Når det kaldes et 4-bit-register, er det, fordi registeret kan lagre fire binære digit, eller bit, dvs. de binære værdier fra 0000 til 1111.

Data indlæses fra "serial input" ved hjælp af fire clock-impulser.

Reset-input'et gør det muligt at resette hele registeret på en gang, så alle Q-udgange går på 0. Antag, at registeret er reset, og at serie-input er på 1 state, før og medens den første clock-impuls kommer.



$J = 1$ og $K = 0$ på flip-flop A, dette medfører, at flip-flop A skifter fra 0 til 1 på bagkanten af clock-impulsen.

Husk på, at data går ind i mastersektionen i JK MS flip-flop' en på forkanten af clock-impulsen og overføres til slaven på bagkanten.

Det vil sige, at Q forbliver på 0 på forkanten af den første clock-impuls, hvorfor ingen information er indlæst i flip-flop B's master, hvorfor det kun er flip-flop A, som skifter.

Før vi tilføjer anden clock-impuls, antag da, at serie-input føres til logisk 0.

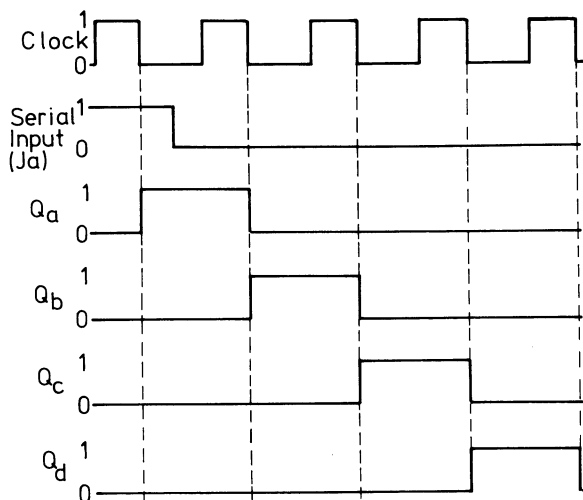
Flip-flop A vil gå på 0 på bagkanten af anden clock-impuls, flip-flop B vil gå på 1, fordi dens J- og K-indgange var 1 og 0, henholdsvis før anden clock-impuls ($Q_a = J_b$ og $\overline{Q}_a = 0 = K_b$) flip-flop C, og D forbliver i state 0, fordi deres J- og K-input var 0 og 1 umiddelbart før anden clock-impuls.

Efterfølgende clock-impulser vil skifte det indlæste 1 state fra B til C og fra C til D og fra D videre i systemet.

Det vil sige alt i alt fire clock-impulser for at skifte et 1 state igennem registeret til udgangen af den sidste flip-flop.



Følgende impulsdiagram viser transmissionen af data fra flip-flop til efterfølgende flip-flop.



Sandhedstabellen beskriver den her forklarede operation.

Før clock-impuls	Efter clock-impuls			
Ja	Qa	Qb	Qc	Qd
0	0	0	0	0
1	1	0	0	0
0	0	1	0	0
0	0	0	1	0
0	0	0	0	1
0	0	0	0	0

Det omtalte skifteregister kan udvides til at indeholde et vilkårligt antal flip-flop's. Ethvert binært mønster, eventuel tal, kode m.m. kan tilføres registerets serie-input, og det vil genopstå i den anden ende af registeret efter N clock-impulser, hvor N er antallet af skift.

Denne type register kaldes et serie-input serie-output skifteregister (SISO), fordi bit'eme føres ind i serie, en bit følger det næste.



Et eksempel på dette er SN7491A

TTL
MSI

TYPES SN5491A, SN54L91, SN7491A, SN74L91 8-BIT SHIFT REGISTERS

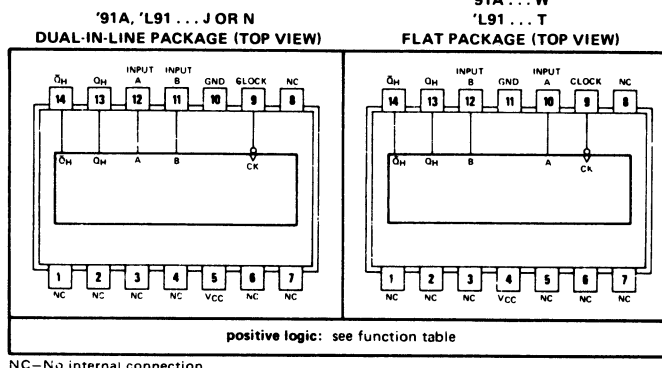
MSI TTL SHIFT REGISTERS for applications in

- Digital Computer Systems
- Data-Handling Systems
- Control Systems

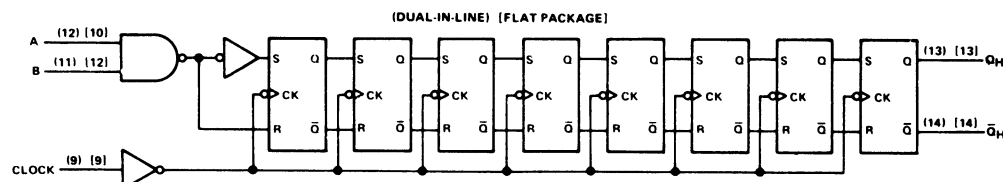
logic

FUNCTION TABLE			
INPUTS AT t_n		OUTPUTS AT t_{n+8}	
A	B	Q	\bar{Q}_H
H	H	H	L
L	X	L	H
X	L	L	H

H = high, L = low, X = irrelevant
 t_n = Reference bit time, clock low
 t_{n+8} = Bit time after 8 low-to-high clock transitions.



functional block diagram



1.2 Flip-flop'er i skifteregistre

Det er tidligere nævnt, at skifte-registertrin skal være kantriggede, fordi data ville løbe som en bølge gennem registeret, medens clock-impulsen er 1, hvis flip-flop'erne ikke var kantriggede.

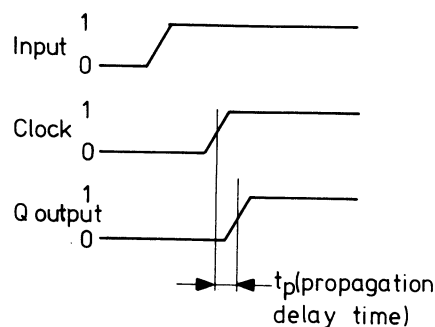
J-K MS flip-flop'en er velegnet, fordi den modtager information på forkanten og overfører denne til output'et på bagkanten.

Vi vil nu betragte en kantrigget D flip-flop, den både modtager og overfører informationen til udgangen på forkanten af clock-impulsen.

Spørgsmålet er så, om den er egnet til skifteregistre. Ved første øjekast nej, da data kan risikere at bølge gennem registeret, medens clock-impulsen går mod 1. Dette er ikke tilfældet, da der er en vis forsinkelse fra input til output, propagation delay.

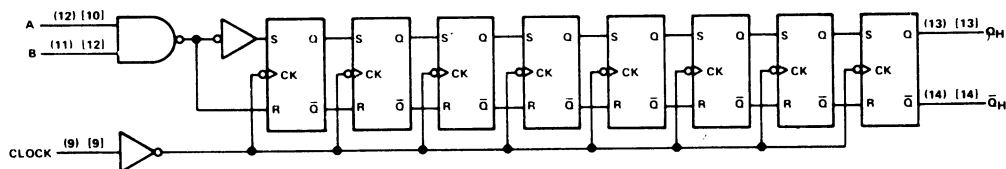
Denne forsinkelse skyldes det faktum, at elektroniske gates ikke virker momentant, men dog meget hurtigt. Forsinkelsen tager måske blot nogle få nano-sekunder, $1 \text{ ns} = 10^{-9} \text{ s}$, men den er lang nok til, at et efterfølgende registertrin kan modtage data for det foregående trin, før skiftet sker på den foregående FF.

Derfor kan selv kantriggede D flip-flop's anvendes i skifteregistre, og fordi de er noget enklere i opbygningen, kan de gøre samme gavn til lavere pris.





I det viste eksempel med SN7491A er der anvendt clock-impulsstyrede RS - FF. Den første er koblet som D - FF ved hjælp af inverteren mellem S og R.



De resterende RS - FF fungerer som D - FF, idet S- og R- indgangene tilføres henholdsvis Q og \bar{Q} fra den foregående FF.

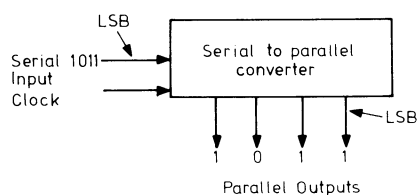
2. SERIE TIL PARALLELTRANSFORMERING

2.1 Transformerings

Serie til paralleltransformering er en ændring af en serie datastrøm på en enkelt linie til en kode præsenteret som en bit på hver linie. Tag f.eks. den binære kode 1011 og tilfør den til et serie-input skifteregister, koden vil blive repræsenteret bit for bit, begyndende med det mindst betydende bit (LSB). Dette kaldes et seriebit-signal. Den samme kode i parallellform ville være fire separate linier, hver indeholdende et bit.

Efter fire clock-impulser vil serie-input'et 1011 være indlæst i registeret og kan udtages som parallelinformation fra Q-udgangene på de fire flip-flop's, registeret indeholder.

Muligheden for at transformere en binær kode fra serie til parallel er meget vigtig. Data bliver ofte transmitteret fra en enhed til en anden i serieform, da dette kun kræver en linie. Computere arbejder almindeligvis meget hurtigt, hvorfor man her oftest anvender parallellformen, så hvis data skal overføres til en computer fra en transmissionslinie, er det nødvendigt, at den bliver transformeret fra serie til parallel.





2.2 Eksempel SN74164

**TTL
MSI****TYPES SN54164, SN54L164, SN74164, SN74L164
8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS**

- Gated (Enable/Disable) Serial Inputs
- Fully Buffered Clock and Serial Inputs
- Asynchronous Clear

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'164	36 MHz	21 mW per bit
'L164	18 MHz	11 mW per bit

description

These 8-bit shift registers feature gated serial inputs and an asynchronous clear. The gated serial inputs (A and B) permit complete control over incoming data as a low at either (or both) input(s) inhibits entry of the new data and resets the first flip-flop to the low level at the next clock pulse. A high-level input enables the other input which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is high, but only information meeting the setup requirements will be entered. Clocking occurs on the low-to-high-level transition of the clock input. All inputs are diode-clamped to minimize transmission-line effects.

Series 54 and 54L devices are characterized for operation over the full military temperature range of -55°C to 125°C ; Series 74 and 74L devices are characterized for operation from 0°C to 70°C .

FUNCTION TABLE

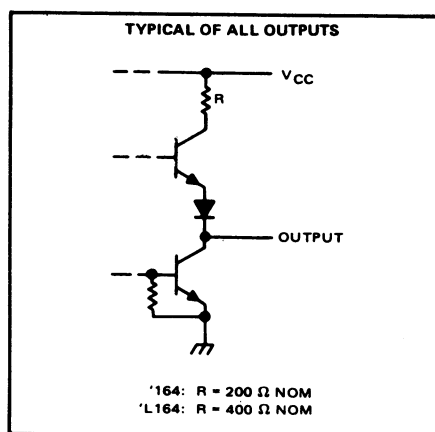
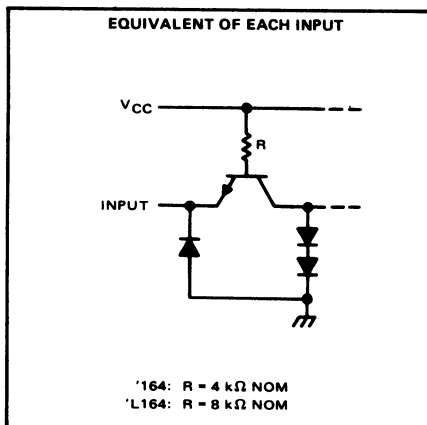
INPUTS			OUTPUTS			
CLEAR	CLOCK	A	B	Q_A	$Q_B \dots Q_H$	
L	X	X	X	L	L	L
H	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	\uparrow	H	H	H	Q_{An}	Q_{Gn}
H	\uparrow	L	X	L	Q_{An}	Q_{Gn}
H	\uparrow	X	L	L	Q_{An}	Q_{Gn}

H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)

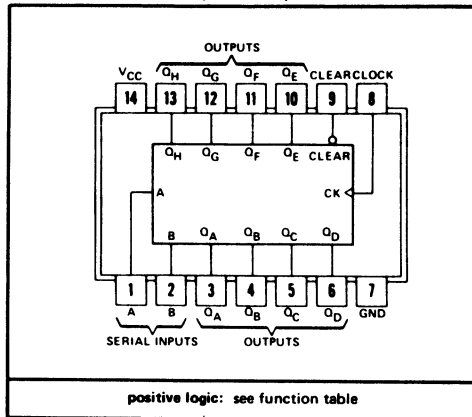
\uparrow = transition from low to high level.

Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B , or Q_H , respectively, before the indicated steady-state input conditions were established.

Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most-recent \uparrow transition of the clock; indicates a one-bit shift.

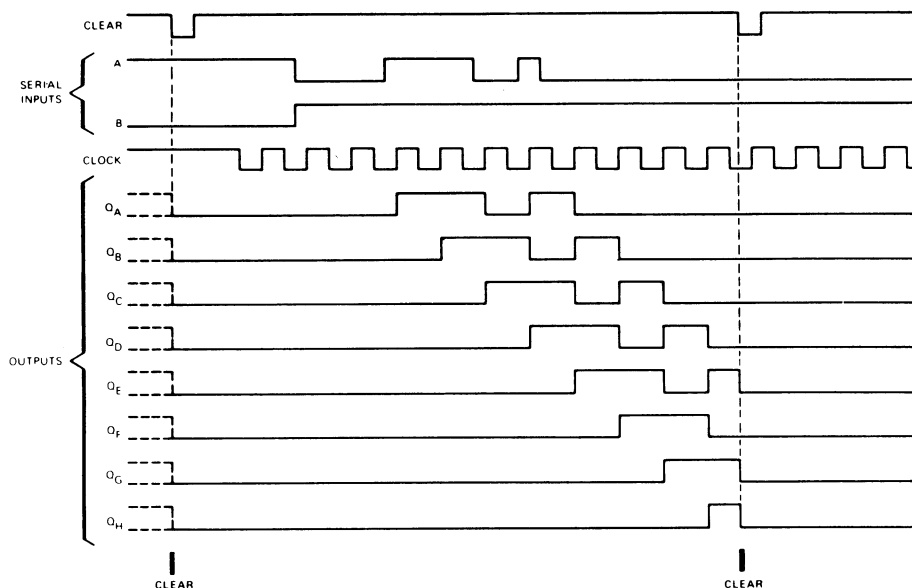
schematics of inputs and outputs

'164 ... J, N, OR W PACKAGES
'L164 ... J, N, OR T PACKAGES
(TOP VIEW)





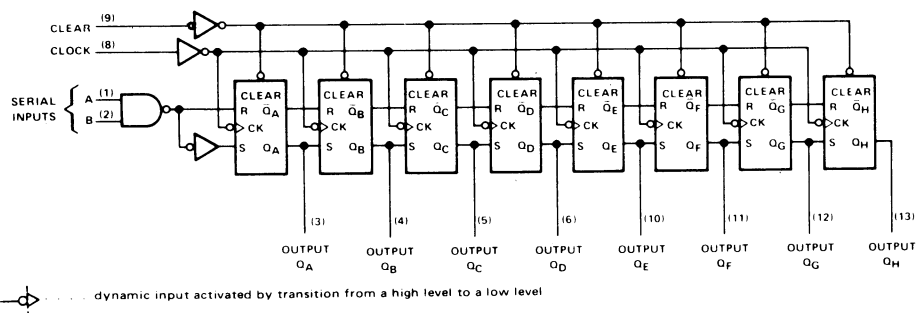
typical clear, shift, and clear sequences



SN74164 kan anvendes til transformering fra serie til parallel ved at føde registeret på "serial input" med data i serieform, samt tilføje clock-impulser.

På Q-udgangene kan data udtages i parallelform.

functional block diagram



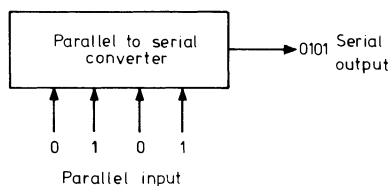


3. PARALLEL TIL SERIETRANSFORMERING

3.1 Transformering

Parallel til serietransformering er den omvendte transformering til den før omtalte serie til paralleltransformering. Som navnet betyder, præsenteres koden som et bit på hver sin linie og bliver transformeret til en serie datastrøm på en enkelt linie.

Typisk anvendes denne form for transformering ved overførsel af data fra computer til terminal. Adskillige input/output-enheder til computere kræver seriedata.



For at transformere successive parallel input-signaler til serie må output clock-frekvensen være N gange større end den hastighed, hvormed paralleldata bliver tilført. Denne minimumshastighedsforskel tillader, at data bliver skiftet ud, før nye data bliver indlæst.

For at skifteregisteret kan anvendes til parallel til serietransformering må det kunne modtage paralleldata. Indtil nu er der kun omtalt registre med et enkelt input.

Der findes to måder, hvorpå paralleldata kan tilføres, synkront og asynkront.

Synkron input er det, hvor data overføres til Q-udgangen med en normal skifteimpuls.

Asynkron er uafhængig af clock-impulsen og anvender muligheden af direkte set og reset ved data-overførslen.

Det efterfølgende viser nogle eksempler på synkrone og asynkrone parallel-indlæsningsregistre, som alle kan anvendes til parallel til serietransformering.



3.2 Asynkron parallel til serietrans-formering

Et kredsløb, der kan anvendes til asynkron parallelindlæsning og serieudlæsning, er f.eks. SN7496.

**TTL
MSI**

TYPES SN5496, SN54L96, SN7496, SN74L96 5-BIT SHIFT REGISTERS

BULLETIN NO. DLS 7211821, DECEMBER 1972

- N-Bit Serial-To-Parallel Converter
- N-Bit Parallel-To-Serial Converter
- N-Bit Storage Register

TYPE	PROPAGATION DELAY TIME	TYPICAL POWER DISSIPATION
'96	25 ns	240 mW
'L96	50 ns	120 mW

description

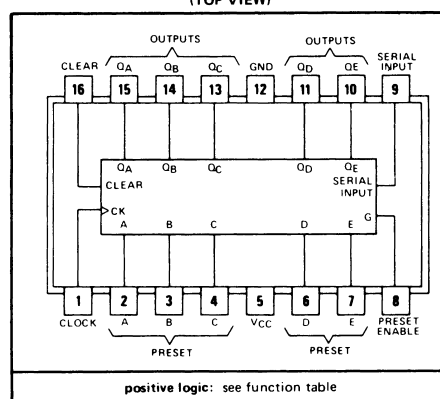
These shift registers consist of five R-S master-slave flip-flops connected to perform parallel-to-serial or serial-to-parallel conversion of binary data. Since both inputs and outputs for all flip-flops are accessible, parallel-in/parallel-out or serial-in/serial-out operation may be performed.

All flip-flops are simultaneously set to a low output level by applying a low-level voltage to the clear input while the preset is inactive (low). Clearing is independent of the level of the clock input.

The register may be parallel loaded by using the clear input in conjunction with the preset inputs. After clearing all stages to low output levels, data to be loaded is applied to the individual preset inputs (A, B, C, D, and E) and a high-level load pulse is applied to the preset enable input. Presetting like clearing is independent of the level of the clock input.

Transfer of information to the outputs occurs on the positive-going edge of the clock pulse. The proper information must be set up at the R-S inputs of each flip-flop prior to the rising edge of the clock input waveform. The serial input provides this information to the first flip-flop, while the outputs of the subsequent flip-flops provide information for the remaining R-S inputs. The clear input must be high and the preset or preset enable inputs must be low when clocking occurs.

'96 ... J, N, OR W PACKAGE
'L96 ... J OR N PACKAGE
(TOP VIEW)



FUNCTION TABLE

CLEAR	PRESET ENABLE	INPUTS					CLOCK	SERIAL	OUTPUTS				
		A	B	C	D	E			QA	QB	QC	QD	QE
L	L	X	X	X	X	X	X	X	L	L	L	L	L
L	X	L	L	L	L	L	X	X	L	L	L	L	L
H	H	H	H	H	H	H	X	X	H	H	H	H	H
H	H	L	L	L	L	L	L	X	QA0	QB0	QC0	QD0	QE0
H	H	H	L	H	L	H	L	X	H	QB0	H	QD0	H
H	L	X	X	X	X	X	L	X	QA0	QB0	QC0	QD0	QE0
H	L	X	X	X	X	X	↑	H	H	QA _n	QB _n	QC _n	QD _n
H	L	X	X	X	X	X	↑	L	L	QA _n	QB _n	QC _n	QD _n

H = high level (steady state), L = low level (steady state)

X = irrelevant (any input, including transitions)

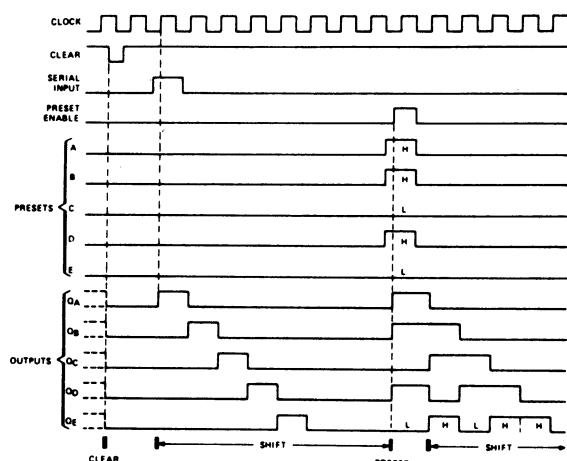
↑ = transition from low to high level

QA0, QB0, etc = the level of QA, QB, etc, respectively before the indicated steady-state input conditions were established.

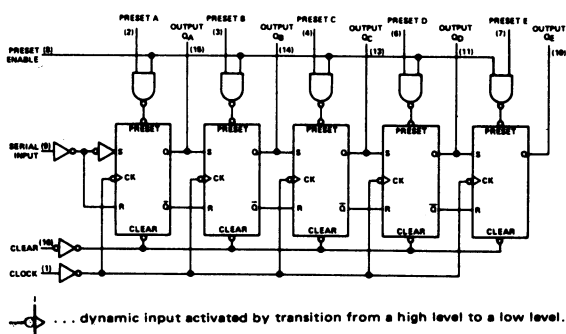
QA_n, QB_n, etc = the level of QA, QB, etc, respectively before the most recent ↑ transition of the clock.



typical clear, shift, preset, and shift sequences

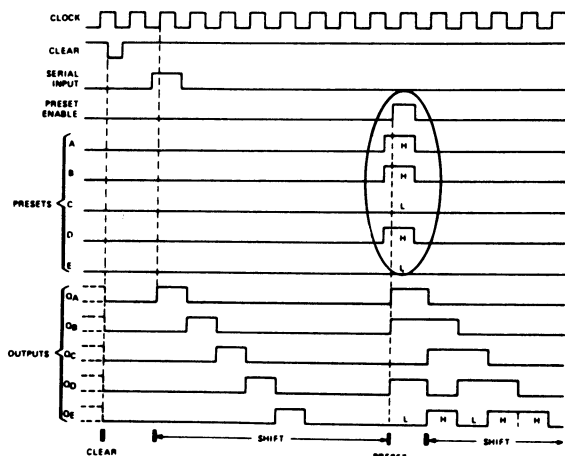


functional block diagram



Paralleldata tilføres preset A.... preset E. Bemærk, at informationer overføres til flip-flop'erne på den positive flanke af "preset enable", altså uafhængigt af clock-impulsen.

På impulsplanen ses, at den binære værdi 11010 tilføres på preset A...E, inden enable impulsen kommer.



På forkanten af enable impulsen indlæses 01011 i de fem flip-flop's.

Den indlæste parallelinformation udlæses af registeret ved at tilføje clock-impulser, hver clock-impuls skifter informationerne et trin til højre.

Af impulsplanen ses, at:

Efter 1. clock-impuls er $Q_E = 0$.

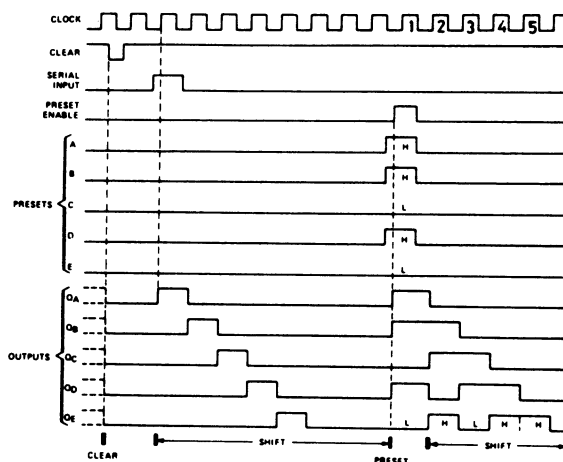
Efter 2. clock-impuls er $Q_E = 1$.

Efter 3. clock-impuls er $Q_E = 0$.

Efter 4. clock-impuls er $Q_E = 1$.

Efter 5. clock-impuls er $Q_E = 1$.

På forkanten af 6. clock-impuls er $Q_E = 0$.





3.2 Synkron parallel til serietransformering

Et kredsløb, der kan anvendes til synkron parallelindlæsning og serieudlæsning, er f.eks. SN74195.

TTL
MSI

TYPES SN54195, SN54LS195, SN54S195, SN74195, SN74LS195, SN74S195 4-BIT PARALLEL-ACCESS SHIFT REGISTERS

- Synchronous Parallel Load
- Positive-Edge-Triggered Clocking
- Parallel Inputs and Outputs from Each Flip-Flop
- Direct Overriding Clear
- J and \bar{K} Inputs to First Stage
- Complementary Outputs from Last Stage
- For Use in High-Performance:
Accumulators/Processors
Serial-to-Parallel, Parallel-to-Serial Converters

description

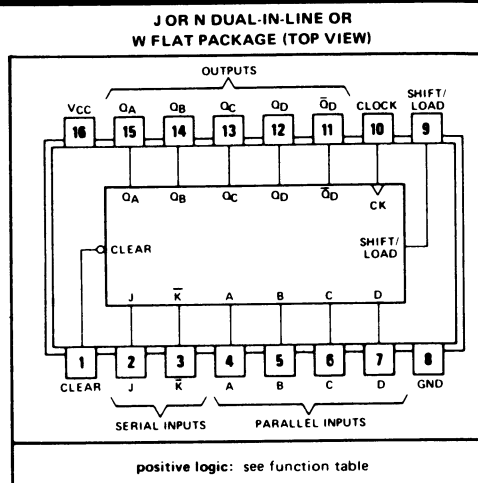
These 4-bit registers feature parallel inputs, parallel outputs, J- \bar{K} serial inputs, shift/load control input, and a direct overriding clear. All inputs are buffered to lower the input drive requirements. The registers have two modes of operation:

Parallel (Broadside) Load
Shift (In direction Q_A toward Q_D)

Parallel loading is accomplished by applying the four bits of data and taking the shift/load control input low. The data is loaded into the associated flip-flop and appears at the outputs after the positive transition of the clock input. During loading, serial data flow is inhibited.

Shifting is accomplished synchronously when the shift/load control input is high. Serial data for this mode is entered at the J- \bar{K} inputs. These inputs permit the first stage to perform as a J- \bar{K} , D-, or T-type flip-flop as shown in the function table.

The high-performance 'S195, with a 105-megahertz typical maximum shift-frequency, is particularly attractive for very-high-speed data processing systems. In most cases existing systems can be upgraded merely by using this Schottky-clamped shift register.



TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'195	39 MHz	195 mW
'LS195	28 MHz	50 mW
'S195	105 MHz	375 mW

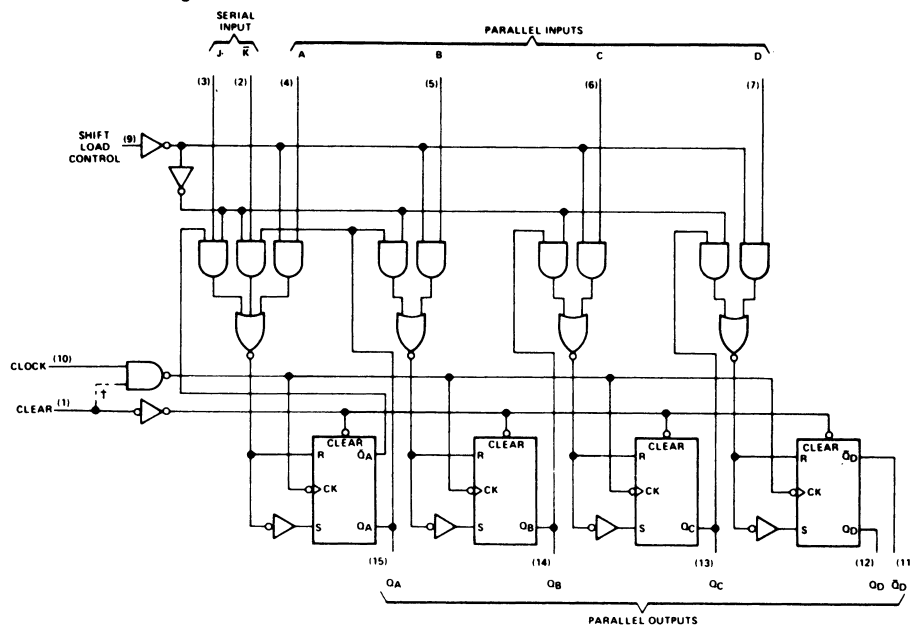
FUNCTION TABLE

INPUTS									OUTPUTS				
CLEAR	SHIFT/ LOAD	CLOCK	SERIAL		PARALLEL				Q _A	Q _B	Q _C	Q _D	\bar{Q}_D
			J	\bar{K}	A	B	C	D					
L	X	X	X	X	X	X	X	X	L	L	L	L	H
H	L	↑	X	X	a	b	c	d	a	b	c	d	\bar{d}
H	H	L	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}	\bar{Q}_{D0}
H	H	↑	L	H	X	X	X	X	Q _{A0}	Q _{A0}	Q _{Bn}	Q _{Cn}	\bar{Q}_{Cn}
H	H	↑	L	L	X	X	X	X	L	Q _{An}	Q _{Bn}	Q _{Cn}	\bar{Q}_{Cn}
H	H	↑	H	H	X	X	X	X	H	Q _{An}	Q _{Bn}	Q _{Cn}	\bar{Q}_{Cn}
H	H	↑	H	L	X	X	X	X	\bar{Q}_{An}	Q _{An}	Q _{Bn}	Q _{Cn}	\bar{Q}_{Cn}

H = high level (steady state)
L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a, b, c, d = the level of steady-state input at A, B, C, or D, respectively
 Q_{A0} , Q_{B0} , Q_{C0} , Q_{D0} = the level of Q_A , Q_B , Q_C , or Q_D , respectively, before the indicated steady-state input conditions were established
 Q_{An} , Q_{Bn} , Q_{Cn} = the level of Q_A , Q_B , or Q_C , respectively, before the most-recent transition of the clock



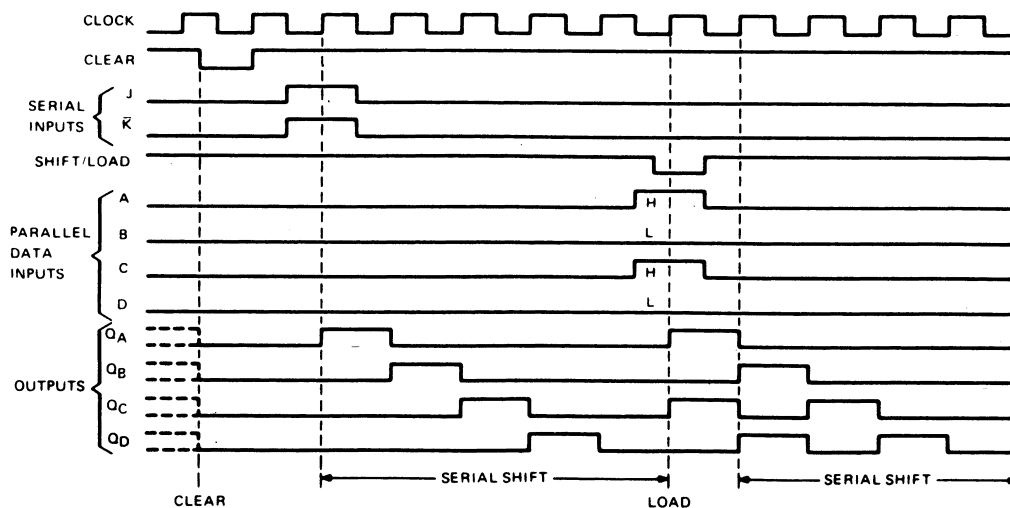
functional block diagram



† This connection is made on '195 only.

... dynamic input activated by a transition from a high level to a low level.

typical clear, shift, and load sequences



Flip-flop'erne i 74195 kan modtage data enten fra "serial inputs" eller fra "parallel data inputs".

Hvis "shift/load" er high (1), indlæses seriedata samtidig med, at der sker et højreskift i registret.

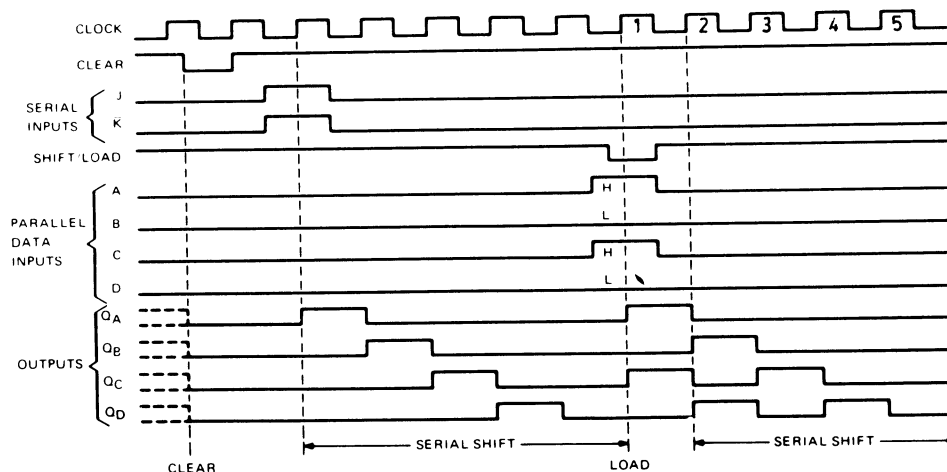
Hvis "shift/load" er low (0), indlæses paralleldata samtidig med "serial inputs", og forbindelsen mellem de enkelte flip-flop's blokeres af et "0" på den ene AND-gate i hver AND-OR-INVERT-gate.

Af impulsplanen ses, at parallelindlæsningen sker på den positive flanke af den første clock-impuls, selv om "load" = 0, og "parallel data inputs" er til stede inden clock-impulsen.



Indlæsningen er altså synkron med clock-impulsen.

typical clear, shift, and load sequences



Den indlæste værdi er 0101, idet

$$Q_A = 1$$

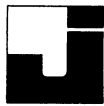
$$Q_B = 0$$

$$Q_C = 1$$

$$Q_D = 0$$

Serieudlæsningen sker ved at tilføje high til "shift/load". For hver clock-impuls flyttes informationerne et trin mod højre imod Q_D -udgangen.

Det her beskrevne register kan ud over parallelt input/serie output også anvendes til parallelt input/parallelt output, serie input/serie output samt serie input/parallelt output.



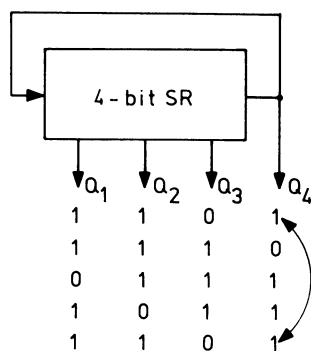
4. RECIRKULERENDE SKIFTEREGISTER

Betragt de tidligere behandlede skifteregistre og antag, at en binær kode føres til serie-input'et, og at koden bliver clocket ind i registeret, således at hvert trin i registeret husker den originale kode.

Hvis vi nu fører output af registeret til input'et og tilføjer en clock-impuls, så vil et bit vandre fra udgangen, sidste flip-flop, til indgangen, første flip-flop, og vi har foretaget et skift.

Tilføjes endnu flere clock-impulser, så vil data fra sidste flip-flop kontinuert føres til første flip-flop.

Efter N clock-impulsen, N er antallet af skiftetrin, flip-flop's, vil koden være tilbage i begyndelsespositionen.



Lagret kode

Efter 1. clock-impuls

Efter 2. clock-impuls

Efter 3. clock-impuls

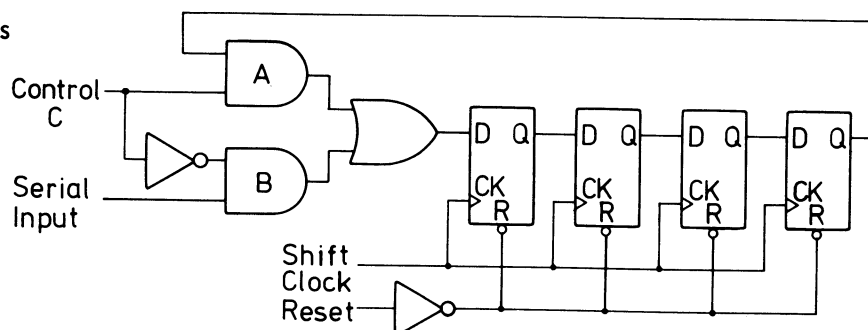
Efter 4. clock-impuls

Når dette sker, siges det pågældende data at cirkulere og eventuelt recirkulere, hvis mere end en gang. Med et recirkulerende skifteregister er det muligt at lagre en binær kode i lang tid, mange clock-impulser, uden nødvendigvis at anvende mange registertrin, idet data kan recirkulere i det uendelige.

Endvidere kan man nøjes med at flytte nogle få pladser til højre og således vælge en del af den indlæste kode. Man kan også ændre på det i registeret værende data, idet man kan tilføje et passende antal clock-impulser og så indlæse nye deldata.

Alle disse operationer anvendes ofte i computere, kalkulatorer og andre digitalsystemer. F.eks. kan det være nødvendigt at omgruppere data på en sådan måde, at kun enkelte bit bliver anvendt.

Det følgende diagram viser et 4-bitskifteregister med mulighed for recirkulation. Hvis kontrol-input C er på 1, vil gate A tillade recirkulation, når der tilføres clock-impulser. Hvis kontrol-input'et er på 0, kan cirkulation ikke forekomme. Gate B vil kun tillade serie-input at blive modtaget, og det tidligere indlæste data vil blive skiftet ud med det nye.



5. VENSTRE- ELLER HØJRESKIF-

TENDE REGISTRE

De indtil nu omtalte registre har kun skiftet data i en retning, nemlig til højre. Akkumulatorregisteret i en kalkulator eller computer kræver ofte, at man kan skifte både til højre og venstre, alt efter maskinprogrammet.

Et eksempel på et højre-/venstre-skiftende register er SN74194.

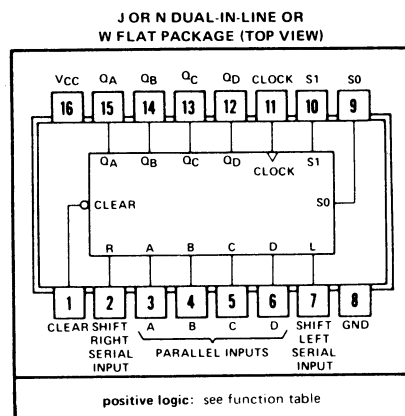
5.1 SN74194

TTL
MSI

TYPES SN54194, SN54LS194, SN54S194, SN74194, SN74LS194, SN74S194 4-BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTERS

- Parallel Inputs and Outputs
- Four Operating Modes:
Synchronous Parallel Load
Right Shift
Left Shift
Do Nothing
- Positive Edge-Triggered Clocking
- Direct Overriding Clear

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'194	36 MHz	195 mW
'LS194	28 MHz	60 mW
'S194	105 MHz	425 mW



description

These bidirectional shift registers are designed to incorporate virtually all of the features a system designer may want in a shift register. The circuit contains 46 equivalent gates and features parallel inputs, parallel outputs, right-shift and left-shift serial inputs, operating-mode-control inputs, and a direct overriding clear line. The register has four distinct modes of operation, namely:

- Parallel (Broadside) Load
- Shift Right (In the direction Q_A toward Q_D)
- Shift Left (In the direction Q_D toward Q_A)
- Inhibit Clock (Do nothing)

Synchronous parallel loading is accomplished by applying the four bits of data and taking both mode control inputs, S_0 and S_1 , high. The data is loaded into the associated flip-flop and appears at the outputs after the positive transition of the clock input. During loading, serial data flow is inhibited.

Shift right is accomplished synchronously with the rising edge of the clock pulse when S_0 is high and S_1 is low. Serial data for this mode is entered at the shift-right data input. When S_0 is low and S_1 is high, data shifts left synchronously and new data is entered at the shift-left serial input.

Clocking of the flip-flop is inhibited when both mode control inputs are low. The mode controls of the SN54194/SN74194 should be changed only while the clock input is high.

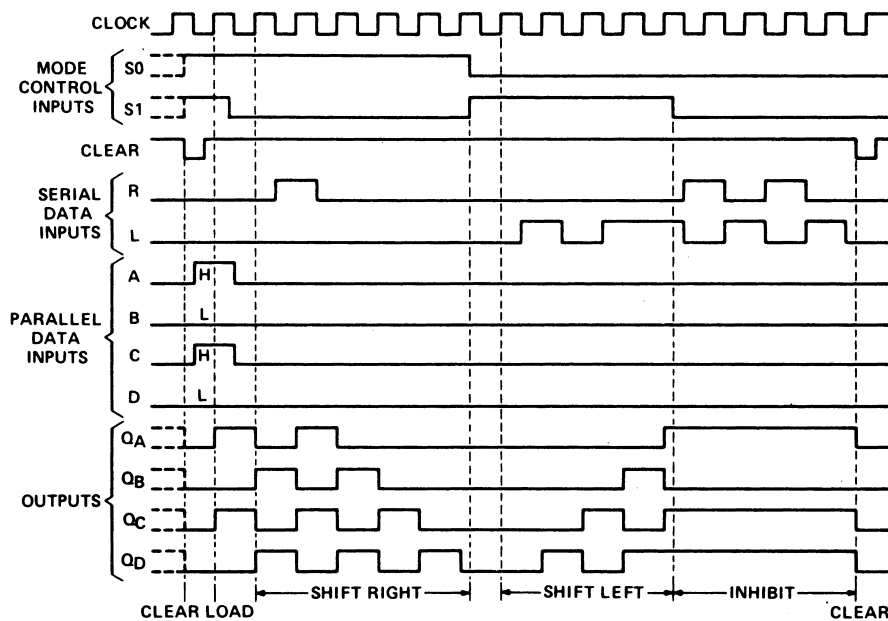
FUNCTION TABLE													
INPUTS								OUTPUTS					
CLEAR	MODE		CLOCK	SERIAL		PARALLEL				Q _A	Q _B	Q _C	Q _D
	S ₁	S ₀		LEFT	RIGHT	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	Q _{An}	Q _{Bn}	Q _{Cn}
H	L	H	↑	X	L	X	X	X	X	L	Q _{An}	Q _{Bn}	Q _{Cn}
H	H	L	↑	H	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	H
H	H	L	↑	L	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	L
H	L	L	X	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}

H = high level (steady state)
L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a, b, c, d = the level of steady state input at inputs A, B, C, or D, respectively
 $Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0}$ = the level of Q_A, Q_B, Q_C, Q_D , respectively, before the indicated steady state input conditions were established
 $Q_{An}, Q_{Bn}, Q_{Cn}, Q_{Dn}$ = the level of Q_A, Q_B, Q_C, Q_D , respectively, before the most recent transition of the clock.

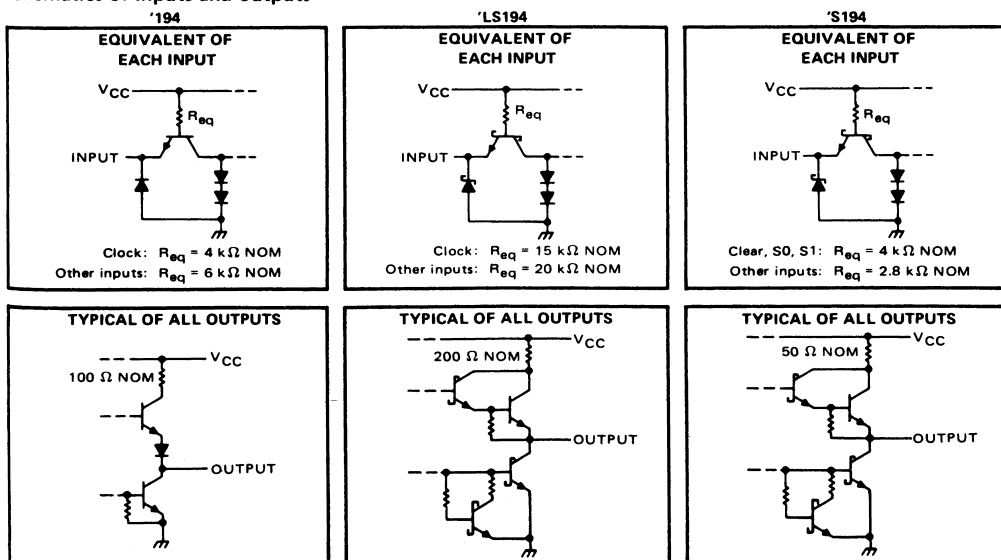


TYPES SN54194, SN54LS194, SN54S194, SN74194, SN74LS194, SN74S194 4-BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTERS

typical clear, load, right-shift, left-shift, inhibit, and clear sequences



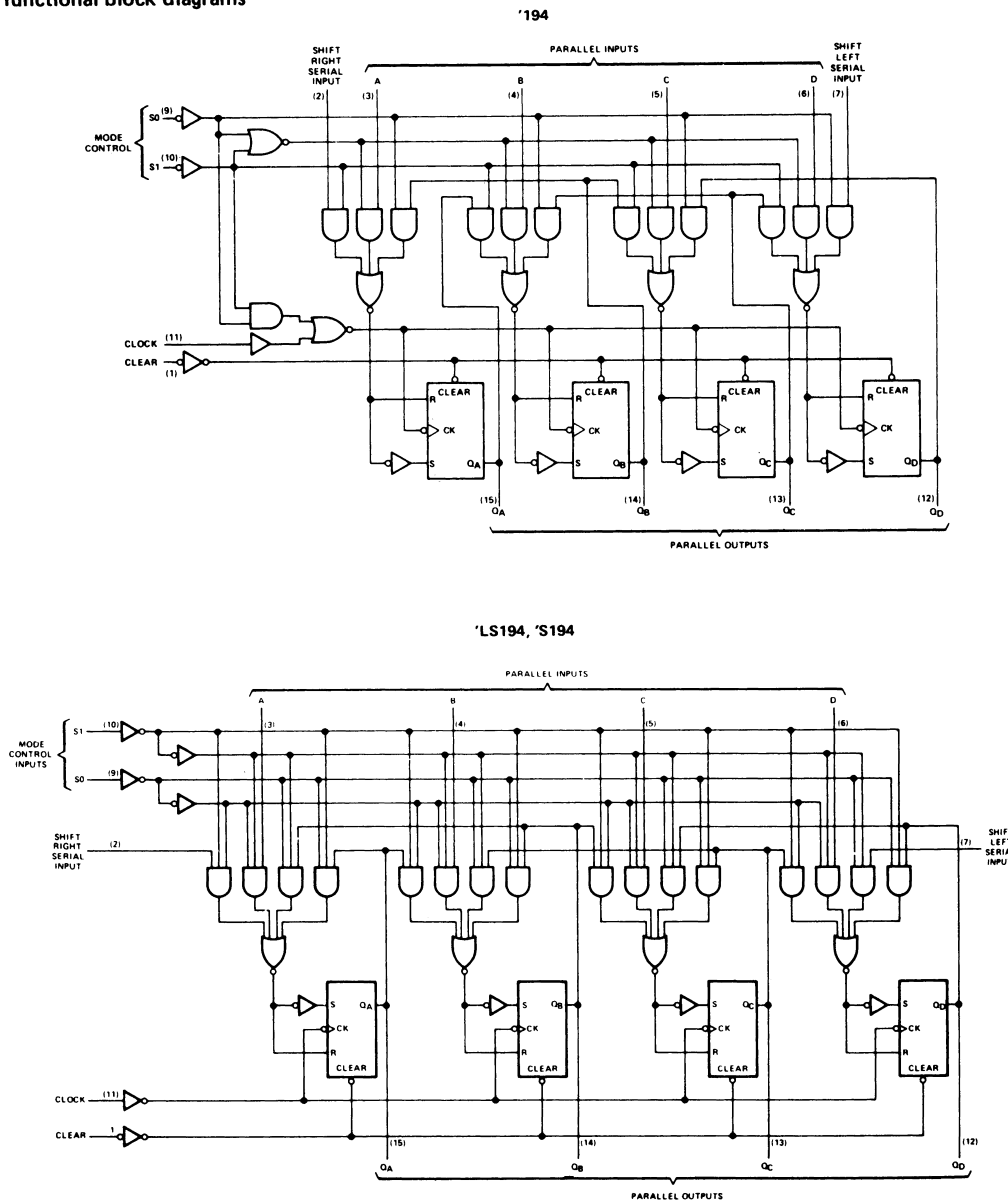
schematics of inputs and outputs





TYPES SN54194, SN54LS194, SN54S194, SN74194, SN74LS194, SN74S194 4-BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTERS

functional block diagrams



◊ dynamic input activated by a transition from a high level to a low level.

Bemærk, at kredsløbet har to serial input nemlig "shift right serial input" og "shift left serial input".

Data kan også indlæses på de fire parallel-inputs.

Data kan udlæses som parallel-data på de fire udgange, $Q_A \dots Q_D$.

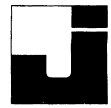
Data kan udlæses som serieinformation, ved "shift right" operation er Q_D udgangsterminalen, ved "shift left" operation er Q_A udgangsterminalen.

Kredsløbet har en "do nothing" eller "hold" stilling, hvor kredsløbet ikke ændrer på indholdet i registeret.

Kredsløbets funktioner styres af "mode control" indgangene S_0 og S_1 .

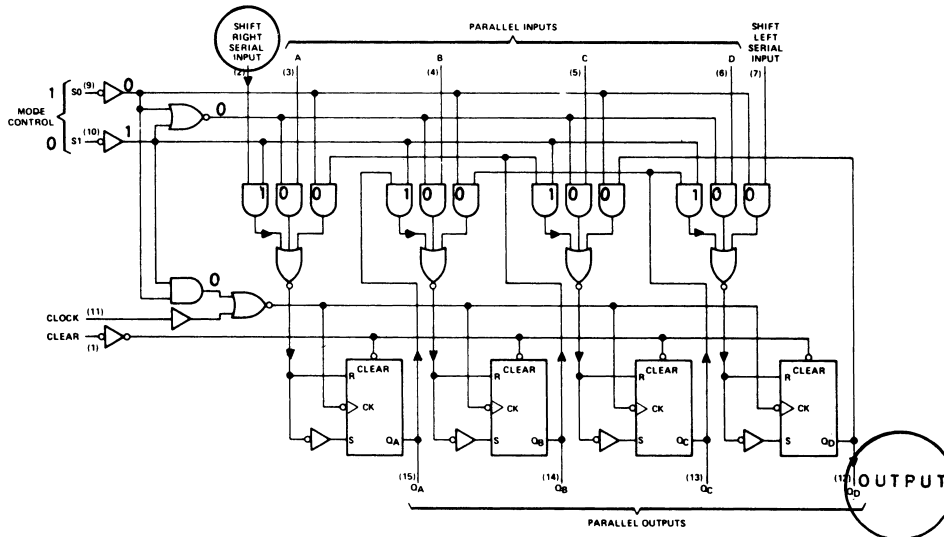
Sandhedstabellen for S_0 og S_1 ser således ud:

	MODE CONTROL	
	S_1	S_0
Parallel (Broadside) Load	H	H
Shift Right (In the direction Q_A toward Q_D)	L	H
Shift Left (In the direction Q_D toward Q_A)	H	L
Hold (recirculate) data	L	L

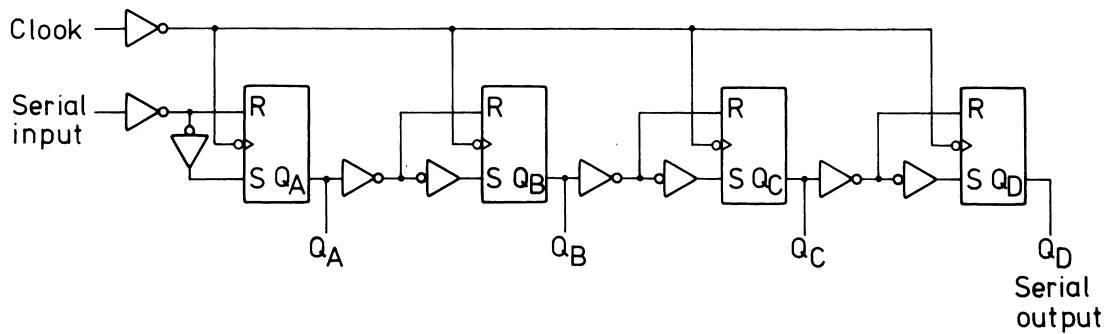


5.2 SN74194 shift right operation

Ved shift right operation er signalvejen og de logiske niveauer i mode kontrollen således:



Simplificeret ser kredsløbet således ud:



Informationerne, der indlæses, flyttes således imellem de fire flip-flop's

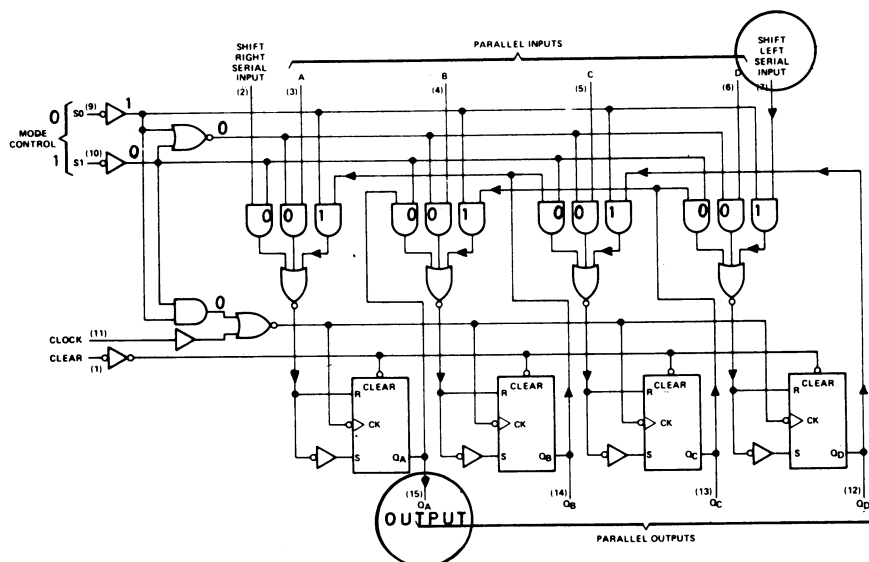
→ A → B → C → D →

Altså skift mod højre.

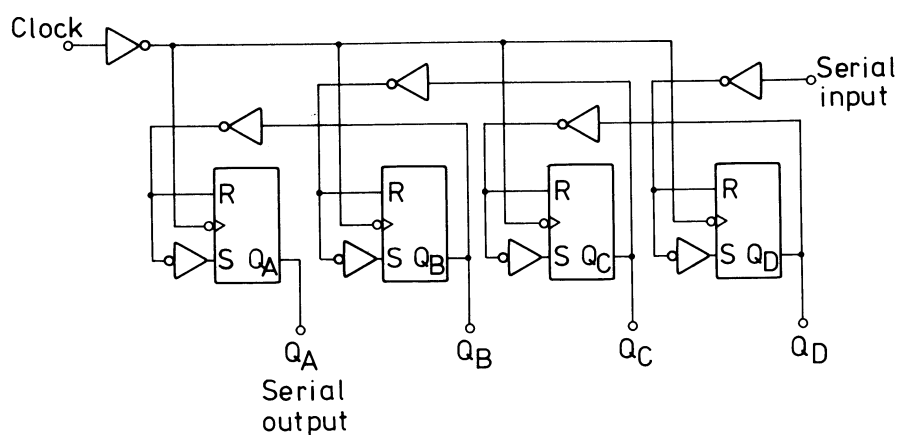


5.3 SN74194 shift left operation

Ved shift left operation er signal-
vejen og de logiske niveauer i
mode controllen således:



Simplificeret ser kredsløbet såle-
des ud:



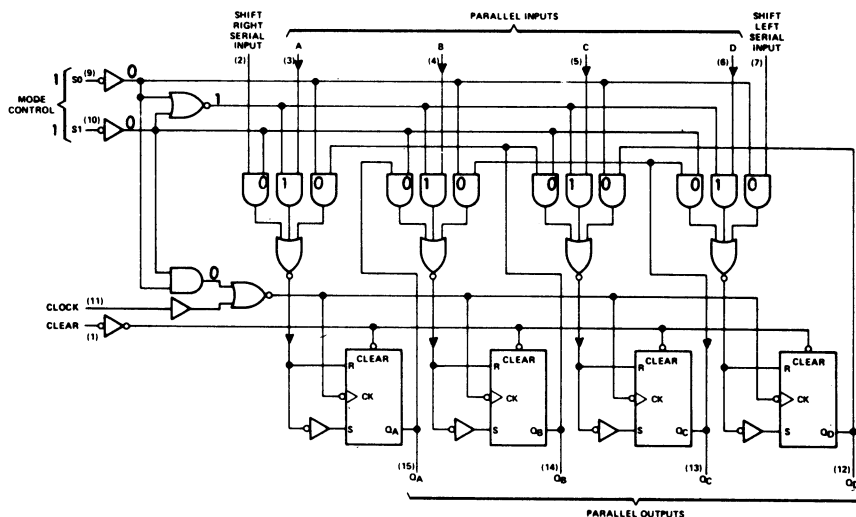
Informationerne, der indlæses,
flyttes således imellem de fire
flip-flop's

$$\leftarrow A \leftarrow B \leftarrow C \leftarrow D \leftarrow$$



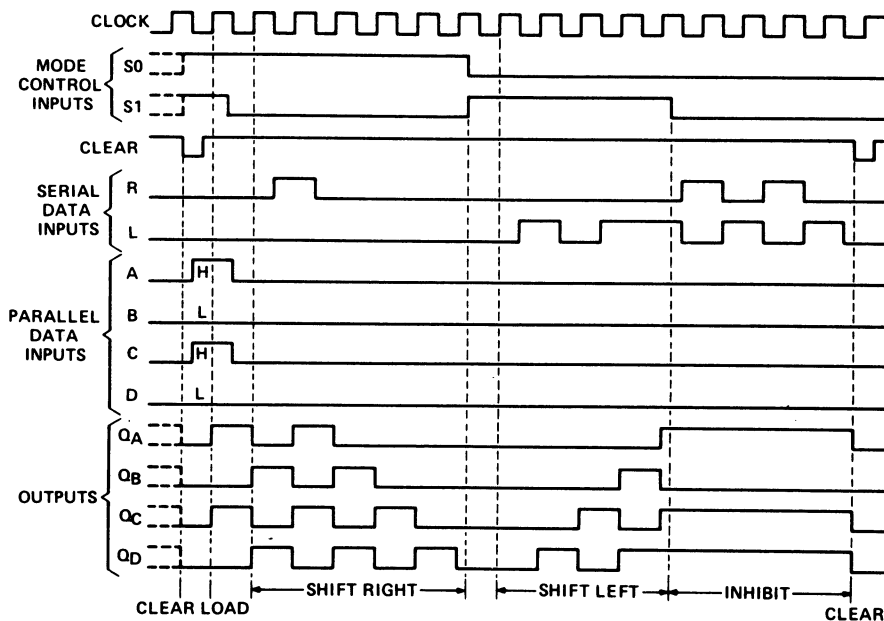
5.4 SN74194 parallellindlæsning

Ved parallellindlæsning er de logiske niveauer og signalvejen således:



Af de logiske niveauer ses, at "serial right input" og "serial left input" er blokeret under parallellindlæsningen.

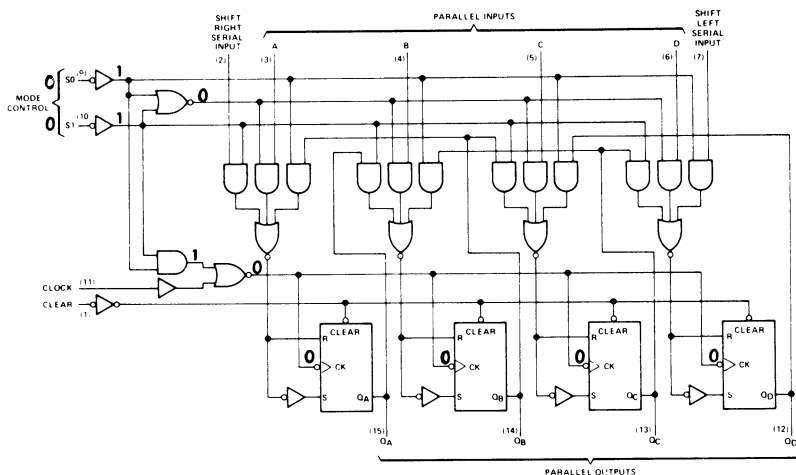
Af impulsplanen ses, at informationerne på parallel-inputs overføres til $Q_A \dots Q_D$ på forkannten af den første clock-impuls efter tilførsel af input.





5.5 SN74194 Hold

Ved "hold" eller "do nothing" er de logiske niveauer således:

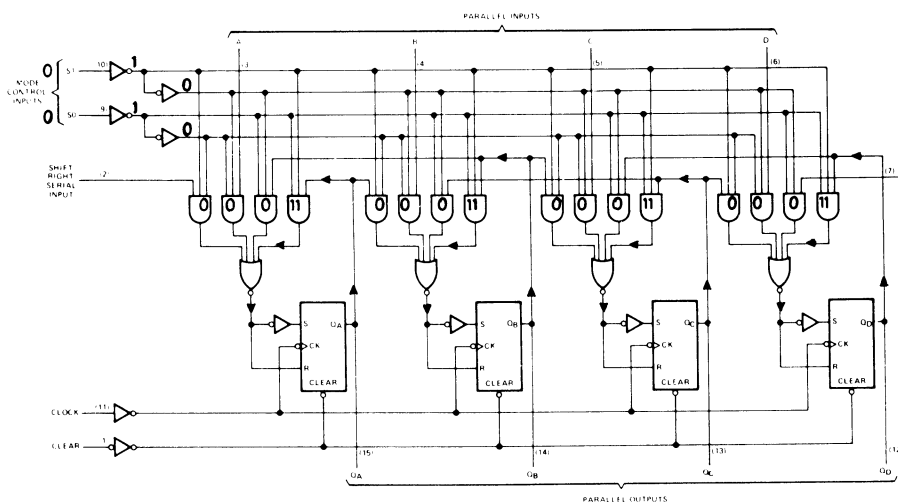


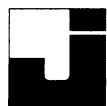
Med "0" som input på S0 og S1 blokeres clock-impulserne til de fire flip-flop's, dette betyder, at de fire flip-flop's bliver stående i den stilling, de havde, inden clock-indgangen blev blokeret.

I kredsløbene 74S194 og 74LS194 udføres "do nothing" funktionen på en anden måde. Med 0 på S0 og S1 recirkuleres niveauet på udgangen af en given FF til indgangen på hver clock-impuls, dvs. at FF'en ikke skifter, idet den står med et fast input.

Dette giver et mindre delay end ved standardtypen, når registeret bringes ud af "do nothing".

Akkumulator eller arbejdsregistre i en computer eller kalkulator vil være opbygget på lignende måde og indeholde typiske fra 4 til 64 trin. Det specielle ved sådanne registre vil være parallel-input, parallel-output og muligheden for højre/venstre skift eller recirkulation til højre eller venstre.





DISPOSITION

1. Klassificering af hukommelsen
2. Adressering og adressevalg
3. ROM
4. Eksempler på datablade

1. KLASSIFICERING AF HUKOM- MELEN

1.1 Tilgangsklassificering

Den mest anvendte hukommelse er med direkte tilgang, direct access eller random-access memory, RAM.

I denne type kan man indlæse eller udlæse direkte fra en lagerplads, der er udvalgt ved en bestemt adresse.

Tilgangstiden, access time, er den tid, der er nødvendig for at bringe en information fra lagringspladsen til udgangskredsløbet. Ved RAM'er er denne tid konstant.

En anden type hukommelse er med sekventieltid tilgang, sequential-access, dvs. at en hel del adresser skal gennemses, inden den korrekte adresse er fundet.

Magnetiske tromler, plader og tape er med sekventieltid tilgang.

1.2 Read/write og read only memories

I en read/write memory kan der ind- og udlæses data, imedens hukommelsen er monteret i kredsløbet. Afbrydes forsyningsspændingen til hukommelsen, forsvinder den lagrede information også.

I en read-only memory (ROM) kan der kun udlæses information, idet den kan betragtes som en stor gate. Informationen ROM'en skal indeholde, indkodes, i kredsløbet under fremstillingen af chip'en.

Informationen forbliver i kredsløbet selv efter, at forsyningsspændingen har været afbrudt.

1.3 Active memories

Ordet active memory bliver normalt anvendt for en read/write memory, hvor cellerne består af aktive bistabile kredsløb, så som flip-flop's.

2. ADRESSERING OG ADRESSE- VALG

2.1 Valg af adresser i en active memory

Det karakteristiske ved en hukommelse er, at lagret information kan hentes frem ved hjælp af forudbestemte adresser.

I en bit-orienteret hukommelse skal der en adresse til at hente hver enkelt bit ud af hukommelsen. Ligeledes sker indlæsningen med et bit på hver adresse.

I en ord-orienteret, word-oriented, skal der kun en adresse til at få et ord, flere bit, indlæst eller udlæst.

2.2 Adressematrix

Hukommelserne er normalt organiseret i et matrix-system, hvor der skal vælges en X- og en Y-koordinat for at lokalisere adressen.

X ↓	1	11	12	13	14	15
	2	21	22	23	24	25
	3	31	32	33	34	35
	4	41	42	43	44	45
	5	51	52	53	54	55
Y →	1	2	3	4	5	

For at hente informationen ud af felt 34, skal X-adressen være 3, medens Y-adressen skal være 4. Der må kun vælges i række samt en søjle ad gangen.

3. ROM

3.1 Programmering af ROM

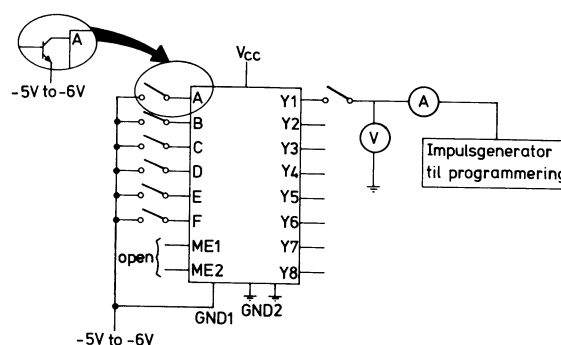
En ROM programmeres af fabrikanten eventuelt efter kundens forskrifter. Disse forskrifter kan f.eks. være hulkort udfyldt efter bestemte retningslinier.

3.2 PROM

Såfremt der kun skal anvendes en enkelt ROM, er det billigere at anvende en PROM, som brugeren selv programmerer.

Programmeringsproceduren er forskellig og afhænger af PROM'ens konstruktion.

Et eksempel på en programmeringsmetode, som anvendes ved en SN74186 fra Texas instrument, ser således ud:



Den ønskede adresse indlæses på adresseindgangen A, B, C, D, E og F. Derefter tilføres udgangene, der skal ændres fra 0 til 1, en veldefineret impuls, der må dog kun programmeres et bit ad gangen.

Det er ikke muligt at ændre et logisk 1 til et 0, det er kun muligt at indføre flere 1-taller.

Normalt vil det ikke være muligt at slette et indlæst program.

I den sidste tid er der dog fremkommet nogle EPROM, der kan slettes.

Sletningen sker ved at belyse chip'en gennem et kvartslåg med ultraviolet lys.

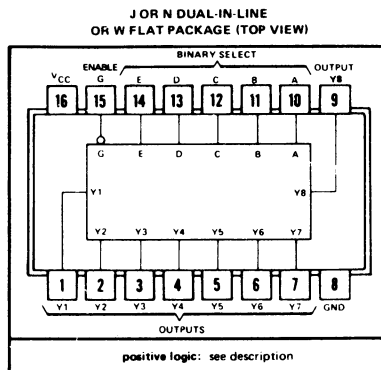
4. EKSEMPLER PÅ DATABLADE

4.1 SN7488A, 256 bit ROM

**TTL
MSI**

**TYPES SN5488A, SN7488A
256-BIT READ-ONLY MEMORIES**

- Applications in Computer Subroutines
- Useful in Display Systems and Readouts
- Memory Organized as 32 Words of 8 Bits Each
- Input Clamping Diodes Simplify System Design
- Open-Collector Outputs Permit Wire-AND Capability
- Typical Access Time: 25 nanoseconds
- Typical Power Dissipation: 285 milliwatts
- Fully Compatible with Most TTL and DTL Circuits



description

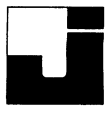
These custom-programmed, 256-bit, read-only memories are organized as 32 words of eight bits each. Each monolithic, high-speed, transistor-transistor logic (TTL), 32-word memory array is addressed in straight 5-bit binary with full on-chip decoding. An overriding memory-enable input is provided which, when taken high, will inhibit the 32 address gates and cause all eight outputs to remain high (off). Data, as specified by the customer, are permanently programmed into the monolithic structure for the 256 bit locations. This organization is expandable to n-words of N-bit length.

The address of an eight-bit word is accomplished through the buffered, binary select inputs which are decoded by the 32 five-input address gates. When the memory-enable input is high, all 32 gate outputs are low, turning off the eight output buffers.

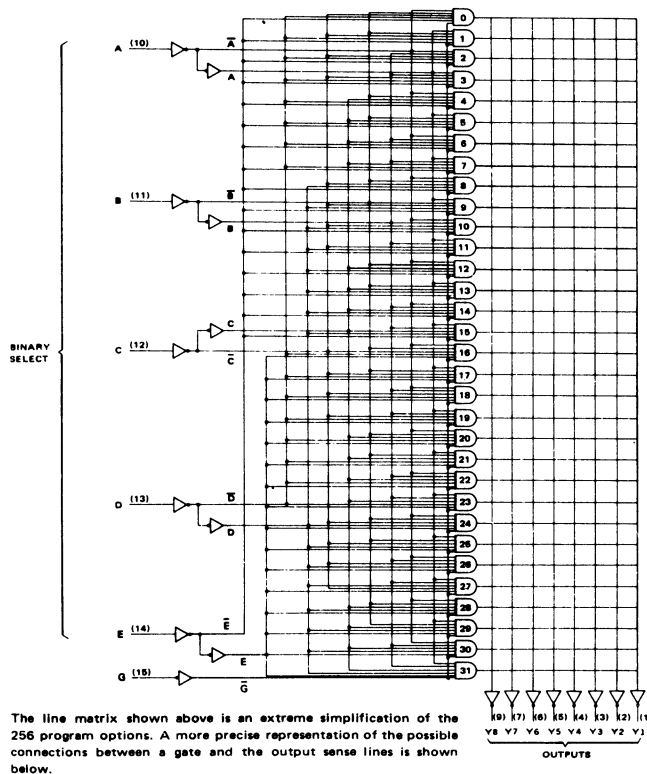
Data are programmed into the memory at the emitters of 32 eight-emitter transistors. The programming process involves connecting or not connecting each of the 256 emitters. If an emitter is connected, a low-level voltage is read out of that bit location when its decoding gate is addressed. If the emitter is not connected, a high-level voltage is read when addressed. Those decoding gate output emitters which are used are connected to their respective bit lines to drive the eight output buffers. Since only one decoding gate is addressed at a time, only one of the 32 transistors can supply current to the output buffers at a time.

This memory is fully compatible for use with most TTL or DTL circuits. Input clamping diodes are provided to minimize transmission-line effects and simplify system design. Input buffers lower the fan-in requirement to only one normalized Series 54/74 load for all inputs including enable (G). The open-collector outputs are capable of sinking 12 milliamperes of current and may be wire-AND connected to increase the number of words available. An external pull-up resistor from each output to the supply line (VCC) is required to define the high-level output voltage. Where multiple '88 devices are used in a memory system, the enable input allows easy decoding of additional address bits. Access propagation delay time is typically 25 nanoseconds and power dissipation is typically 285 milliwatts.

The customer can specify the output logic level desired at each of the 256 bit locations by completing the supplementary ordering data and a set of data cards punched in accordance with the data format shown under ordering instructions. Upon receipt of the order, Texas Instruments will assign a special device number to the device programmed according to the customer's order. The completed device will be marked with the T1 special device number (not SN5488A or SN7488A). It is important that the customer specify not only the output levels desired at all 256-bit locations, but also the other information requested.

**TYPES SN5488A, SN7488A
256-BIT READ-ONLY MEMORIES**

functional block diagram and word selection

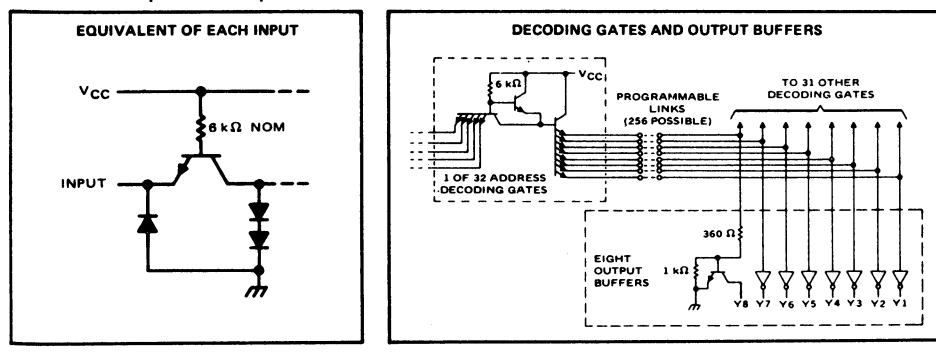


WORD-SELECT TABLE

WORD	INPUTS				
	E	D	C	B	A
0	L	L	L	L	L
1	L	L	L	L	H
2	L	L	L	H	L
3	L	L	L	H	H
4	L	L	H	L	L
5	L	L	H	L	H
6	L	L	H	H	L
7	L	L	H	H	H
8	L	H	L	L	L
9	L	H	L	L	H
10	L	H	L	H	L
11	L	H	L	H	H
12	L	H	H	L	L
13	L	H	H	L	H
14	L	H	H	H	L
15	L	H	H	H	H
16	H	L	L	L	L
17	H	L	L	L	H
18	H	L	L	H	L
19	H	L	L	H	H
20	H	L	H	L	L
21	H	L	H	L	H
22	H	L	H	H	L
23	H	L	H	H	H
24	H	H	L	L	L
25	H	H	L	L	H
26	H	H	L	H	L
27	H	H	L	H	H
28	H	H	H	L	L
29	H	H	H	L	H
30	H	H	H	H	L
31	H	H	H	H	H

H = high level, L = low level

schematics of inputs and outputs



BULLETIN NO. DL-S 7211386, FEBRUARY 1971—REVISED DECEMBER 1972

- description**

**JORN DUAL-IN-LINE
OR FLAT PACKAGE (TOP VIEW)[†]**

SELECT INPUTS

DATA INPUT **SENSE OUTPUT** **DATA INPUT** **SENSE OUTPUT**

VCC 16 15 14 13 12 11 10 9

B C D 4 6 3 1

A B C D4 S4 D3 S3

ME WE D1 S1 D2 S2

1 2 3 4 5 6 7 8

SELECT INPUT A **MEM** **WRITE** **DATA INPUT 1** **SENSE INPUT 1** **DATA INPUT 2** **SENSE INPUT 2** **GND**

ENABLES

positive logic: see description

[†] Pin assignments for these circuits are the same for all packages.

FUNCTION TABLE

ME	WE	OPERATION	CONDITION OF OUTPUTS
L	L	Write	Complement of Data Inputs
L	H	Read	Complement of Selected Word
H	L	Inhibit Storage	Complement of Data Inputs
H	H	Do Nothing	High

The buffered memory inputs consist of four address lines, four data inputs, a write enable, and a memory enable for controlling the entry and access of data. The memory has open-collector outputs which may be wire-AND connected to permit expansion up to 4704 words of N-bit length without additional output buffering. The open-collector outputs may be utilized to drive external loads directly; however, dynamic response of an output can, in most cases, be improved by partially loaded output. Access time is typically 33 ns.

response of an output can, in most cases, be improved by using an external pull-up resistor in conjunction with a partially loaded output. Access time is typically 33 nanoseconds; power dissipation is typically 375 milliwatts.

write operation

Information present at the data inputs is written into the memory by addressing the desired word and holding both the memory enable and write enable low. Since the internal output of the data input gate is common to the input of the sense amplifier, the sense output will assume the opposite state of the information at the data inputs when the write enable is low.

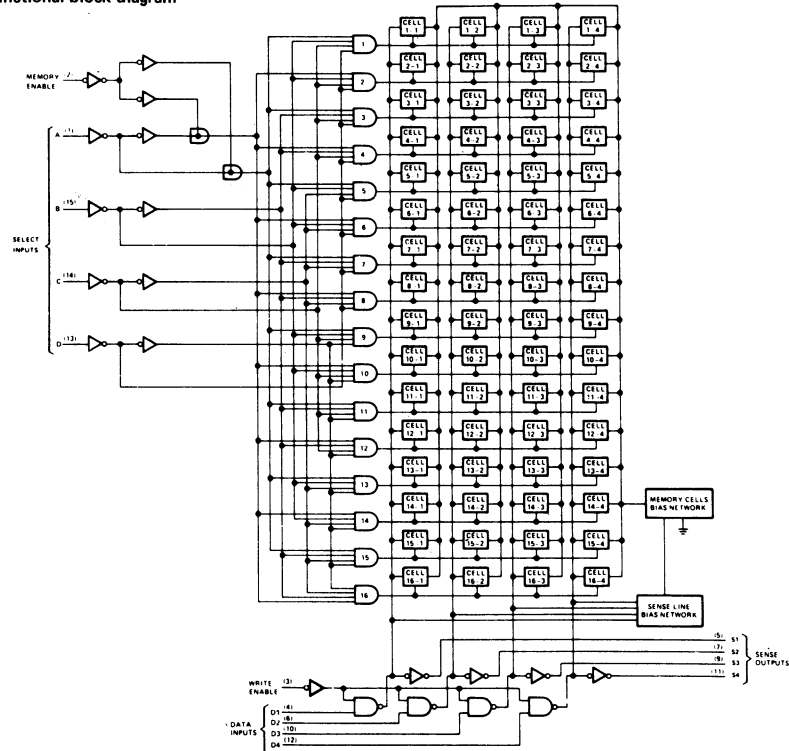
read operation

The complement of the information which has been written into the memory is nondestructively read out at the four sense outputs. This is accomplished by holding the memory enable low, the write enable high, and selecting the desired address.

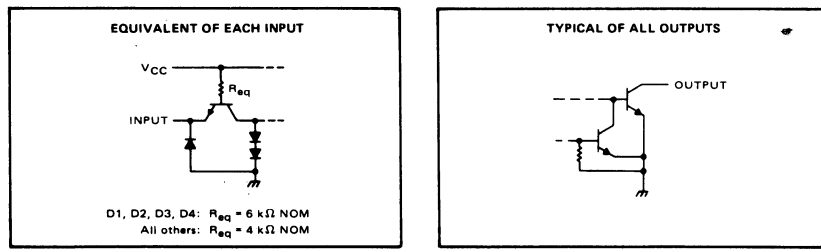


TYPE SN7489 64-BIT READ/WRITE MEMORY

functional block diagram



schematics of inputs and outputs





DISPOSITION

1. Summationskobling
2. R-2R kobling
3. Praktiske forhold

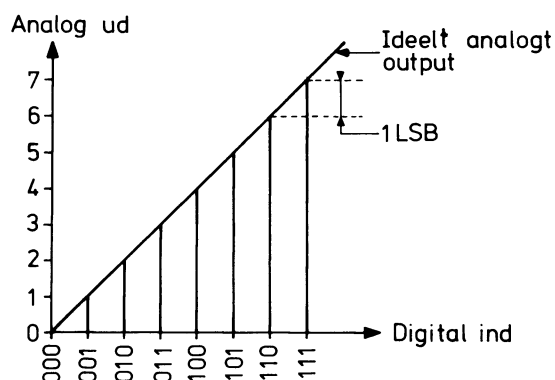
1. SUMMATIONSKOBLING

Sammen med udviklingen af digitalteknikken opstod der naturligt et behov for at kunne konvertere et digitalt signal til analogform og omvendt.

I tidens løb er der udviklet et stor antal forskellige kredsløb, hvoraf nogle digital/analog-konvertere bliver gennemgået i det følgende.

1.1 Overføringsfunktion

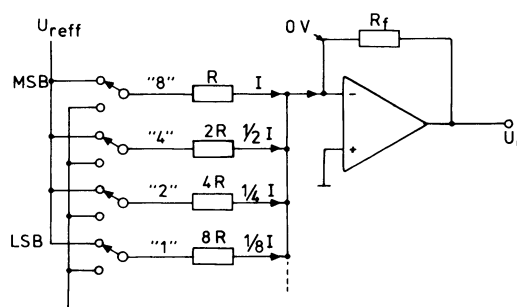
En 3-bit binær kode har otte forskellige kombinationer, der skal modsvares af otte forskellige analoge spændingsniveauer. Da der med en 3-bit kode ikke kan eksistere andre analoge spændinger end de viste, er de tegnet med streger.



1.2 Summationskobling til et ciffer

Nedenstående diagram viser en 4-bit DAC med vægtede modstande og fælles referencespænding.

Ved hjælp af omskifterne kan modstandene kobles til reference-spændingen eller til stel.



Strømmen I_{Rf} vil være summen af de enkelte strømme i indgangsmodstandene, og da disse værdier er vejet binært, vil det sige, at I_{Rf} kan antage 16 forskellige værdier afhængig af omskifternes stilling.

Udgangsspændingen vil følge dette udtryk:

$$-U_u = R_f \cdot (I + 1/2 I + 1/4 I + 1/8 I).$$

Eksempel :

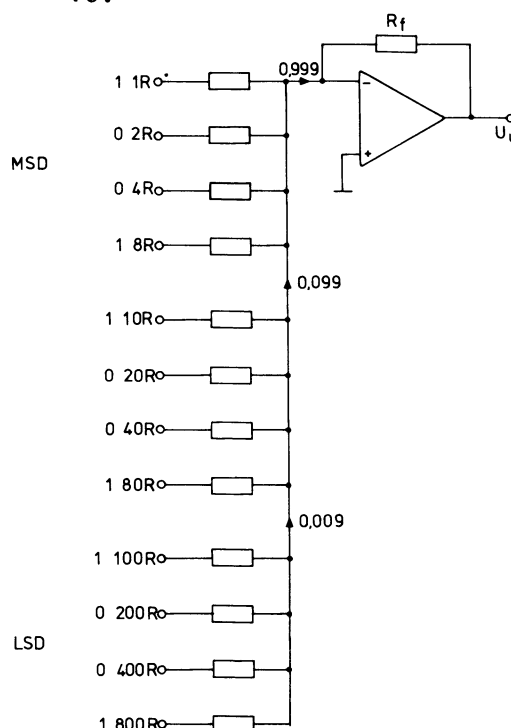
Hvis $R_f = R = 1K$, og $U_{ref} = 0,8 V$, fås følgende værdier af I_{Rf} og udgangsspændingen.

MSB				LSB	I_{Rf} mA	$-U_u$ V
2^3	2^2	2^1	2^0			
0	0	0	0		0	0
0	0	0	1		0,1	0,1
0	0	1	0		0,2	0,2
0	0	1	1		0,3	0,3
0	1	0	0		0,4	0,4
0	1	0	1		0,5	0,5
0	1	1	0		0,6	0,6
0	1	1	1		0,7	0,7
1	0	0	0		0,8	0,8
1	0	0	1		0,9	0,9
1	0	1	0		1,0	1,0
1	0	1	1		1,1	1,1
1	1	0	0		1,2	1,2
1	1	0	1		1,3	1,3
1	1	1	0		1,4	1,4
1	1	1	1		1,5	1,5

Det her angivne princip kan udvides til det antal bit, der ønskes, f.eks. 10.

1.3 Summationskobling til tre cifre

Binært kodede decimaltal, f.eks. i 8421 kode, kan omsættes til analoge spændingsniveauer ved at dele indgangsmodstandene op i grupper på fire og vægte disse indbyrdes med en faktor på 10.



Vanskeligheden ved at anvende det beskrevne system ligger i den store forskel, der bliver mellem den mindste og den største modstand i modstandsnetværket.

F.eks. fra $10 k\Omega$ til $8 M\Omega$ ved viste kredsløb og fra $10 k\Omega$ til $20,48 M\Omega$ ved en ren binær kode.

Antages det, at modstanden R på $10 k\Omega$ afviger $-0,1\%$ fra sin nominelle værdi og dermed er 9990Ω , løber der en større strøm mod knudepunktet.

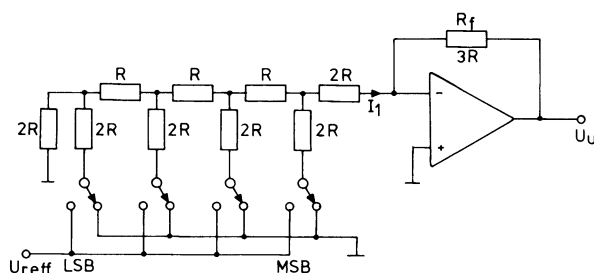
Den strømdifference svarer til, at der blev lagt en modstand på $9,99 M\Omega$ parallelt med de $10 k\Omega$, altså en fejl, der svarer ca. til LSB i LSD, least significant decimal.



2. R-2R KOBLING

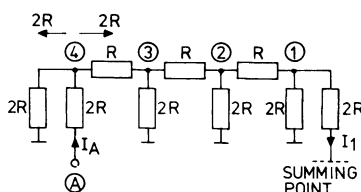
En måde at løse problemet med den store forskel mellem mindste og største modstand i summationskoblingen er at anvende de såkaldte R-2R trappenetværk.

Fordelen ved dette er, at det kun indeholder to forskellige modstandsværdier.



2.1 Funktion

Som diagrammet viser, kan de enkelte indgangsmodstande kobles til stel eller til referencespændingen.



Tænker man sig, at indgang (A) svæver, og de øvrige indgange er lagt til stel, fås ovenstående diagram.

I denne tilstand vil den samlede modstand fra knudepunkt (4) og til stel være $1R$.

Stiller man sig i knudepunkt (4) vil der være en modstand på $2R$ til hver side.

Tilsluttes (A) nu referencespændingen, som sættes til $3V$, vil der gå en strøm I_A med en relativ størrelse på:

$$I_A = \frac{3(V)}{3(R)} = 1$$

I knudepunkt (4) sker der en strømdeling, således at kun $\frac{1}{2} I_A$ flyder mod knudepunkt (3).

I punkt (3) sker endnu en strømdeling, så strømmen mod punkt (2) er $\frac{1}{4} I_A$.

Det samme sker i knudepunkt (2) og (1), således at den endelige strøm til additionsforstærkeren er $1/16 I_A$.

Gøres omstående betragtning med (B), (C) og (D) indgangene, vil det ses, at de optræder på indgangen af additionsforstærkeren med henholdsvis $1/8$, $1/4$ og $1/2$ af de oprindelige strømme (I_B , I_C og I_D).

I_1 er altså summen af:

$$I_1 = 1/2 I_D + 1/4 I_C + 1/8 I_B + 1/16 I_A.$$

Udgangsspændingen findes som:

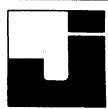
$$-U_U = R_f \cdot I_1.$$

$$\begin{aligned} -U_U &= 3R \cdot (1/2 \frac{U_{ref}}{3R} + \\ &1/4 \frac{U_{ref}}{3R} + 1/8 \frac{U_{ref}}{3R} + \\ &1/16 \frac{U_{ref}}{3R}) \end{aligned}$$

$$\begin{aligned} -U_U &= U_{ref} \cdot (1/2 + 1/4 + 1/8 + 1/16) \\ &\quad \downarrow \quad \downarrow \quad \downarrow \quad \downarrow \\ &\quad 2^3 \quad 2^2 \quad 2^1 \quad 2^0 \\ &\quad \text{MSB} \quad \quad \quad \text{LSB} \end{aligned}$$

Som det fremgår af ovenstående udtryk, kan udgangsspændingen bringes til at antage 16 forskellige niveauer afhængig af, hvilket led i parenteser der er til stede.

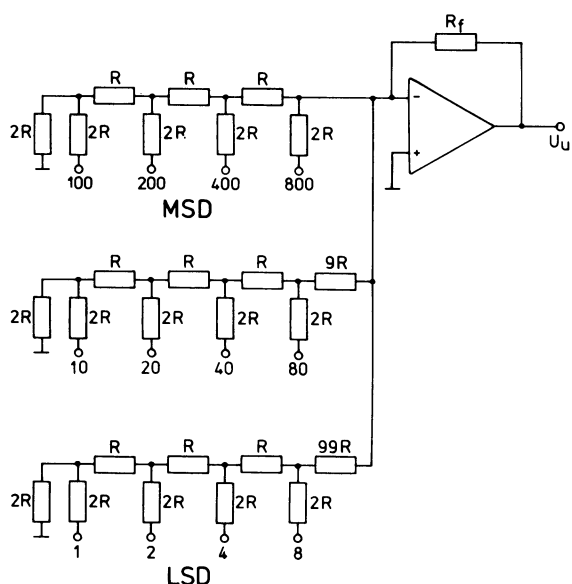
Mindste udgangsspænding er $0V$ og højeste er $15/16$ af U_{ref} .



2.2 R-2R kobling til tre cifre

R-2R trappenetværket kan også ændres til konvertering af binært kodet decimaltal.

For hvert ciffer er der et 4-bit R-2R-netværk, der forbindes parallelt via hver sin vejede modstand.



3. PRAKTISKE FORHOLD

Ved den praktiske udformning af digital til analog konvertere er der en række problemer at tage sig i agt for.

3.1 Omskiftere

De omskiftere, der kobler indgangsmodstandene til reference-spændingen eller jord, skal have så lille gennemgangsmodstand, at den er meget mindre end den mindste indgangsmodstand. I modsat fald vil det gå ud over nøjagtigheden.

Som omskiftere kan anvendes transistorer, bipolar eller MOS/FET, eller relæer, REED.

3.2 Modstande

Modstandenes tolerancer skal modsvarer den ønskede opløsning, antallet af bit.

For store tolerancer vil give anledning til ulinearitet i overføringsfunktionen.

Den største modstand skal være meget mindre end forstærkerens indgangsimpedans, da der ellers vil opstå ulinearitet i additionen som følge af forstærkerens indgangsstrøm.

3.3 Forstærkning

Indgangsspændingen mellem terminalerne på operationsforstærkeren skal være så lille som muligt, ideelt 0 V.

For at muliggøre dette skal operationsforstærkerens råforstærkning være så stor som mulig.

Minimumsforstærkningen fås, hvis A_0 sættes til 10 gange $2^{(N+1)}$, hvor N er antallet af bit, der skal omsættes.

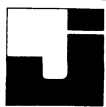
Eksempel :

Der skal omsættes 10 bit.

Råforstærkningen skal minimum være :

$$10 \cdot 2^{10+1} = 10 \cdot 2^{11}$$

20480 gange



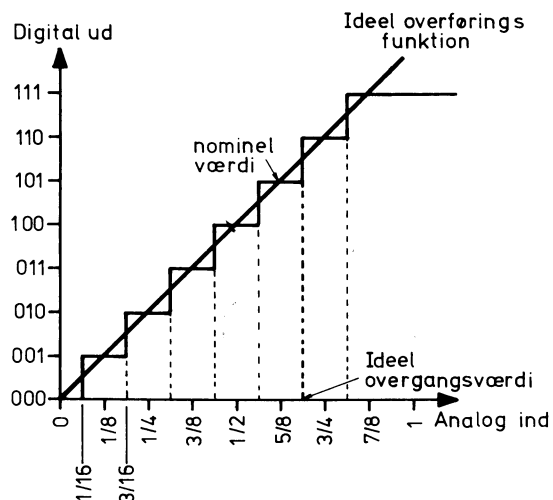
DISPOSITION

1. Analog/digital-konverter
2. Spænding til frekvens AD konverter
3. Dual-slope AD konverter
4. Rampetæller AD konverter
5. Successive approximations AD konverter

1. ANALOG/DIGITAL KONVERTER

En ADC er, som betegnelsen angiver, et kredsløb, der kan omsætte en analog størrelse, f.eks. en spænding til data i digital form.

1.1 Overføringsfunktion



Herover ses overføringsfunktionen for en 3 bit ADC.

Det må antages, at den analoge indgangsspænding indeholder alle værdier, hvorfor den deles op i otte lige store dele.

For at komme så tæt på den ideelle overføringsfunktion som muligt, ligger første skift på $1/16$ af den maksimale analoge indgangsspænding.

Da næste skift først sker ved $3/16$, vil alle analoge niveauer inden for området $1/16$ til $3/16$ blive omsat til binært 001.

Den analoge forskel mellem to overgange svarer til et skift på mindst betydende bit i det digitale udgangssignal. Da den nominelle værdi ligger midt mellem to overgange, vil der være en konverteringsusikkerhed på $\pm \frac{1}{2}$ LSB.

Den eneste måde at reducere denne usikkerhed på er at øge antallet af bit.

1.2 Inddeling af ADC'er

Analog/digital konvertering kan opdeles efter flere forskellige kriterier.

I det følgende vil der blive skelnet mellem kondensatorladede konvertere og konvertere, der er baseret på sammenligning med en internt generet spænding.

I kondensatorladede omformere baseres omformningsprocessen på en måling af den tid, der medgår til at oplade eller aflade en kondensator til en fast referencespænding.

I det følgende vil der blive behandlet to ADC'er efter kondensatorladeprincippet. Den ene er en spænding til frekvensomformer og den anden en dual-slope-integrator.

I en omformer med sammenligning generes der internt en spænding, der nøje svarer til det digitale ord på udgangen.

Når den interne spænding er lige så stor som den ubekendte indgangsspænding, er omformningen slut, og det digitale ord på udgangen svarer nu til indgangsspændingen.

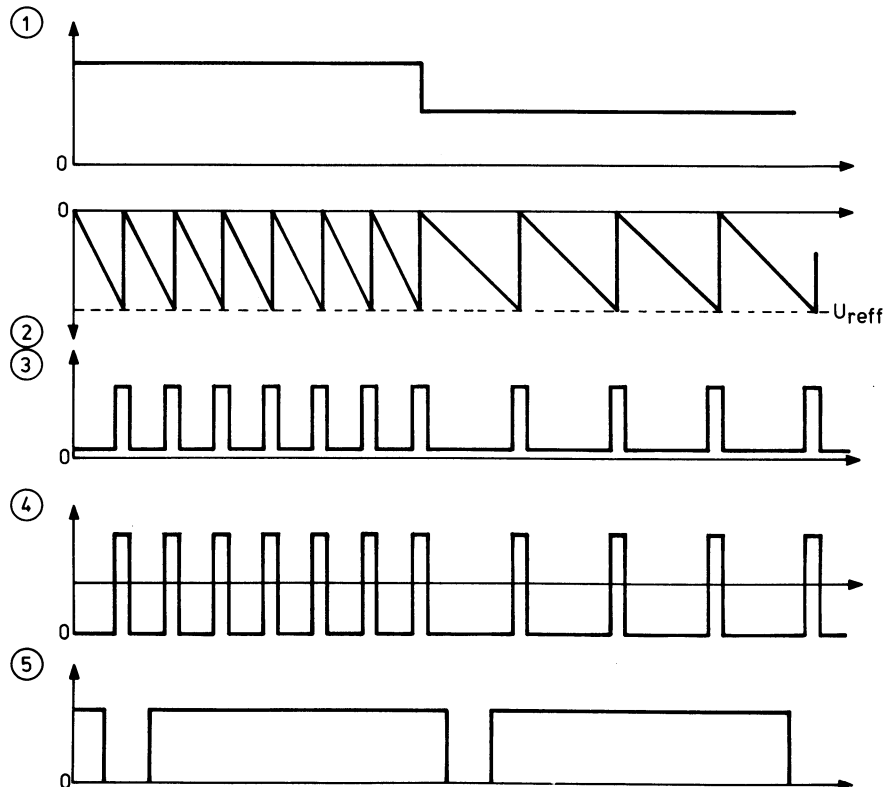
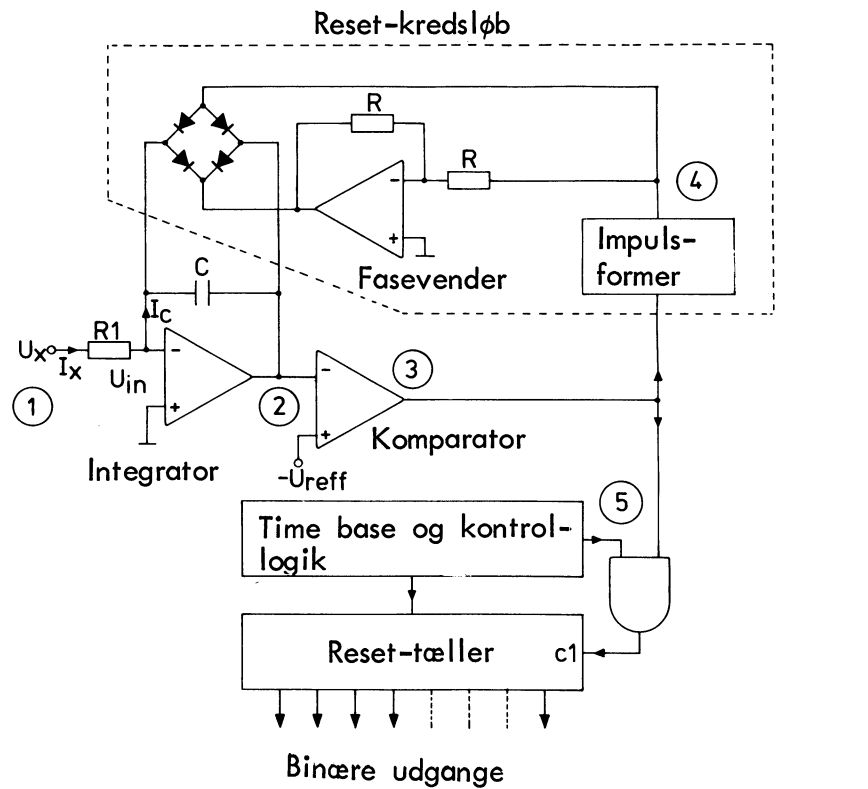
Dette princip vil blive behandlet i forbindelse med en rampetæller, samt i en successiv approximationskonverter.



2. SPÆNDING TIL FREKVENS

AD KONVERTER

2.1 Principdiagram





2.2 Integrator

Den analoge indgangsspænding U_x giver anledning til en ækvivalent strøm I_x .

Da der ikke flyder nogen indgangsstrøm af betydning i operationsforstærkeren, vil I_x løbe til integrationskondensatoren og oplade denne.

Hvis U_x er konstant, vil der flyde en konstant ladestrøm til kondensatoren, idet U_{in} er meget mindre end U_x , $U_{in} \rightarrow 0$.

En konstant ladestrøm til en kondensator vil give en lineært stigende spænding over denne.

På udgangen af integratoren, punkt ②, vil der derfor opstå en lineært faldende spænding med en hældning, der er proportional med U_x .

2.3 Komparator

Rampespændingen i punkt ② tilføres den inverterende indgang på en komparator. Dennes ikke inverterende indgang er lagt til en fast negativ referencespænding.

Så længe output'et fra integratoren er mindre negativt end U_{ref} , vil komparatorens udgang ligge på nul.

Idet integrator-output'et bliver mere negativt end referencespændingen, bliver komparatorens udgang positiv.

2.4 Reset-kredsløb

I det tidsrum, hvor komparatorens output var nul, har udgangen af impulsformerer været negativ og fasevenderens udgang positiv. Diodebroen har derfor været spærret og uden indflydelse på integratoren.

Idet komparatorens output bliver positivt, frembringer impulsformerer en kort positiv impuls. Denne bevirker, at diodebroen kortvarigt bliver ledende og derved kortsletter og aflader integrationskondensatoren, så integratoren resettes. Herved bliver komparatorens udgang igen nul, og en ny opladning af kondensatoren starter.

2.5 Komparator-output

Da hældningen af rampen på integratorens udgang er proportional med U_x , vil komparatoren aktiveres med en gentagelsesfrekvens, der er proportional med U_x .

Komparatorens output er altså et impulstog, hvis frekvens er et udtryk for den analoge indgangsspænding.

2.6 Frekvenstæller

Den endelige omsætning er U_x til digital form, foretages ved at tælle impulserne fra komparatoren i et defineret tidsinterval.

2.7 Eksempel

Antag, at integratoren og referencespændingen dimensioneres således, at komparatoren aktiveres med en frekvens på 10 kHz, når U_x er 1 V.

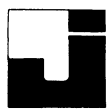
Hvis timebasen holder AND-gaten i 0,1 s, vil tælleren nå at opsummere 1000 impulser.

Det vil sige, at en analog indgangsspænding på 1 V svarer til et binært output på 1000 (10).

Mindst betydende bit (LSB) vil dermed have en vægt på 1 mV.

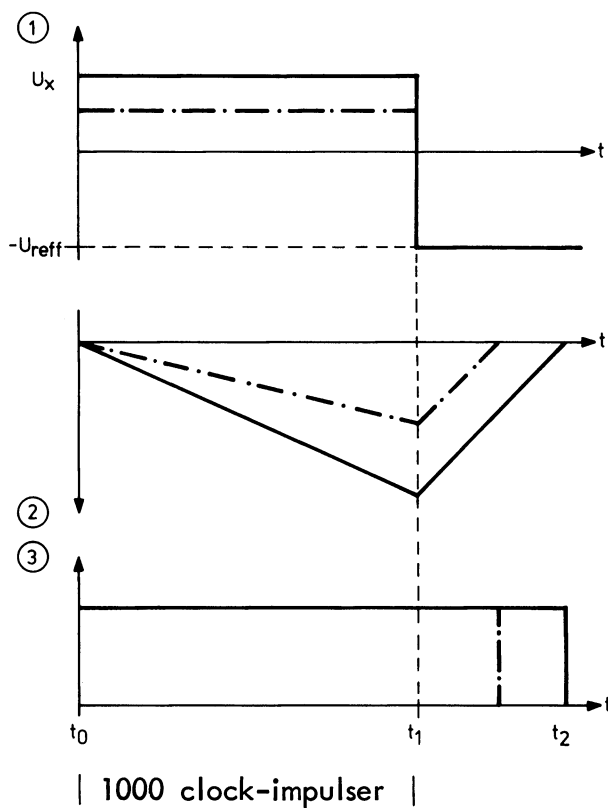
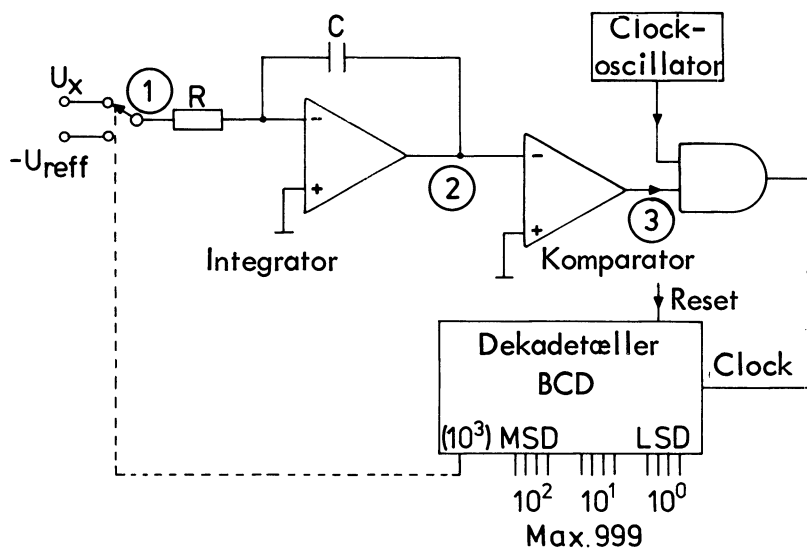
$$1111101000 (2) \rightarrow 1 \text{ V}$$

$$1111101001 (2) \rightarrow 1,001 \text{ V}$$



3. DUAL-SLOPE AND KONVERTER

3.1 Principdiagram



(0)000

(1)000

(1)xxx Tællerindhold



3.2 Funktion

Med omskifteren i stilling U_X og nulstillet integrator og tæller påbegyndes omformningen til tiden t_0 .

U_X vil opbygge en negativ rampe på udgangen af integratoren. Komparatorens output er positivt, hvorfor der tilføres tælleren clock-impulser, og den tæller opad.

Til tiden t_1 går tælleren fra 999 til 000, og 10^3 udgangen bliver logisk 1.

I tidstrummet $t_0 - t_1$ stiger kondensatorspændingen lineært med en hældning, der er proportional med U_X .

Spændingen på udgangen af integratoren vil således være proportional med U_X .

Hvis U_X varierer, vil integratorens output være et udtryk for middelværdien af indgangsspændingen.

Til tiden t_1 sker der den ændring, at et-tallet på tællerens 10^3 udgang stiller omskifteren i nederste stilling, og derved kobler integratorens indgang til en fast negativ referencespænding.

Bemærk, at tællerens indhold på dette tidspunkt er 000.

Kondensatoren vil nu aflades mod nul med en konstant hældning, bestemt af referencespændingen. Hvornår integratorens udgang passerer nul, er et spørgsmål om, hvor stor kondensatorens ladning var til tiden t_1 .

Når integratoren passerer nul, bliver komparatorens udgang 0, og clock-impulserne til tælleren afbrydes.

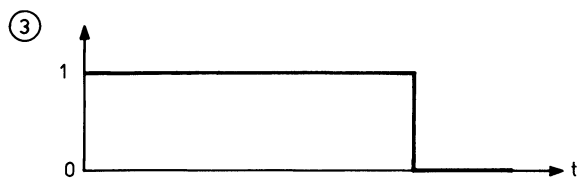
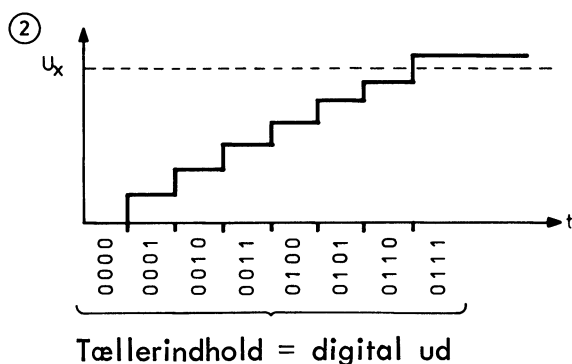
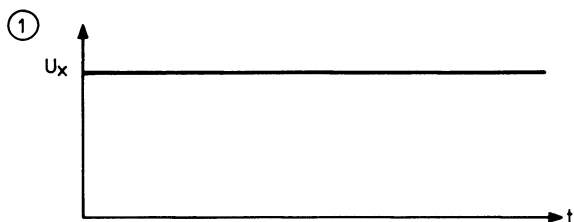
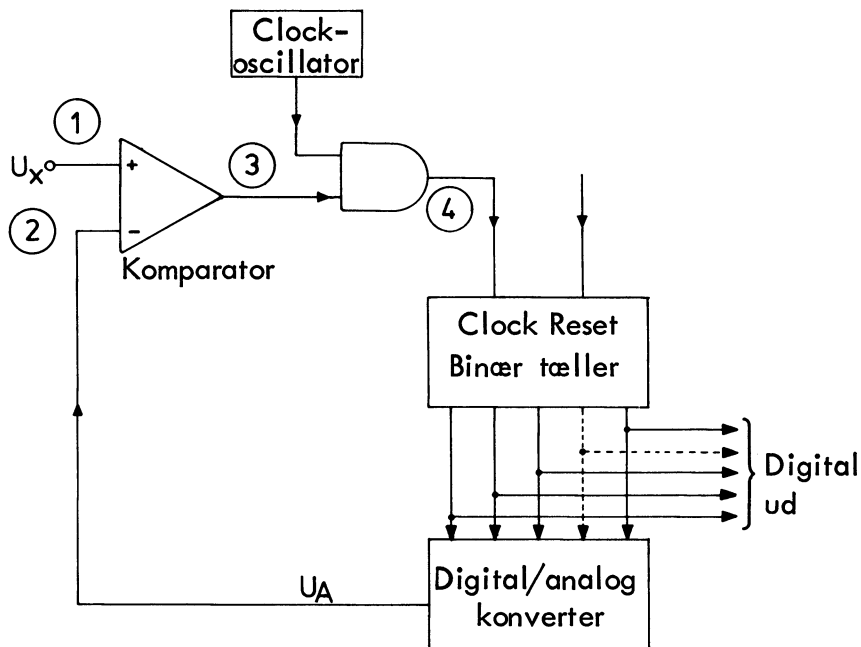
Tællerens indhold er nu et udtryk for den analoge indgangsspændings størrelse, indtil næste omformning startes.



4. RAMPETÆLLER AD KONVERTER

Denne omformertype baserer sig på sammenligning mellem den analoge indgangsspænding U_x og en internt generet spænding, der er analog med tællerindholdet.

4.1 Principdiagram





4.2 Virkemåde

Omformningen begyndes ved, at tælleren nulstilles, hvorved den af digital/analog-omformeren frembragte spænding bliver nul.

Hvis U_x er større end nul, bliver komparatorens output 1, og tælleren tilføres clock-impulser.

Tælleren begynder nu at tælle op. For hver clock-impuls vil D/A-konverterens udgangsspænding stige med en spænding, der svarer til værdien af 1 LSB.

Spændingen vil altså beskrive en trappekurve indtil det tidspunkt, hvor den overstiger U_x .

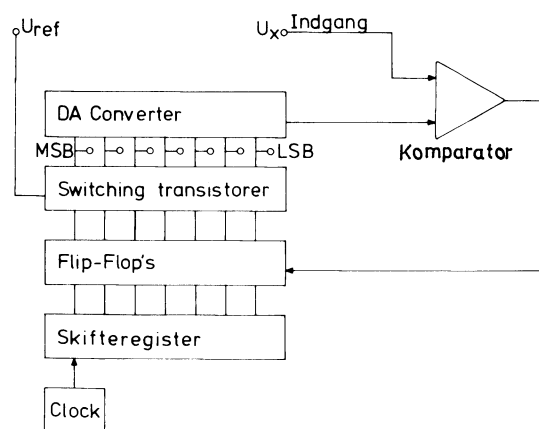
På dette tidspunkt vil komparatorens output blive 0, hvorved tælleren stoppes.

Tællerindholdet vil nu være proportionalt med U_x .

5. SUCCESSIVE APPROXIMATIONS

AD KONVERTER

5.1 Principdiagram



5.2 Virkemåde

Konverteren indeholder et skifteregister, der styres af en clock-generator.

Udgangen fra hver flip-flop i skifteregisteret er tilkoblet en switch-transistor.

Switch-transistorerne tilkobler enten 0 eller referencespændingen til digital/analog konverteren.

Udgangsspændingen fra DA-konverteren sammenlignes med indgangsspændingen af en komparator.

Ved den første clock-impuls 1-stilles første trin i skifteregisteret, hvorved første flip-flop triggeres således, at switch-transistor nr. 1 tilkobler U_{ref} til MSB på DA-konverteren.

DA-konverteren afgiver herved en spænding, der sammenlignes med U_x af komparatoren.

Er udgangsspændingen fra DA-konverteren større end U_x , afgiver komparatoren en impuls, der nulstiller den første flip-flop.

Hvis udgangsspændingen fra DA-konverteren er mindre end U_x , afgiver komparatoren ingen impuls til flip-flop'en, herved forbliver første flip-flop triggeret som indikation af, at MSB er 1.

Ved næste impuls 1-stilles 2. trin i skifteregisteret, hvorefter samme sekvens gentager sig, idet man opnår en indikation af, om andet binære ciffer skal være 0 eller 1.

Processen gentages, indtil alle trin i skifteregisteret har været 1-stillet.

I det viste eksempel kræves der syv impulser fra clock-generatoren for at konvertere U_x til en 7-bit binær kode, dette giver en meget stor konverteringshastighed.



DISPOSITION

1. Digitalvoltmeters principper
2. Dual-slope DVM

1. DIGITALVOLT METERS PRINCIP- PER

Et digitalvoltmeter kan opbygges omkring de fleste former for analog/digital konverter.

Der anvendes bl.a.:

Rampe.

Spænding til frekvens.

Dual-slope.

Successive approximation.

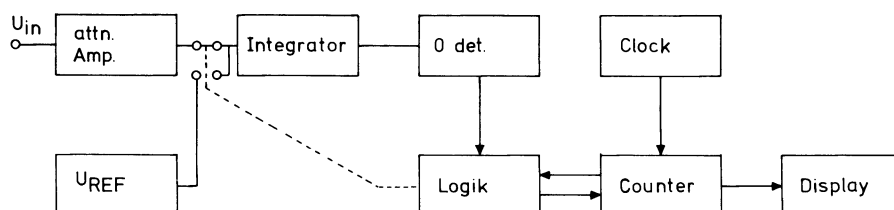
1.1 Dual-slope

Den mest anvendte type digitalvoltmeter er dual-slope-voltmeter.

Dette voltmeter har en forholdsvis lang integrationstid og dermed en lang omsætningstid af de analoge input til et digitalt resultat.

Hvis integreringsperioden er $1/50$ s vil periodiske signaler med frekvenser på nøjagtige multiplum af 50 teoretisk undertrykkes helt, i praksis er undertrykkelsen bedre end 50 dB.

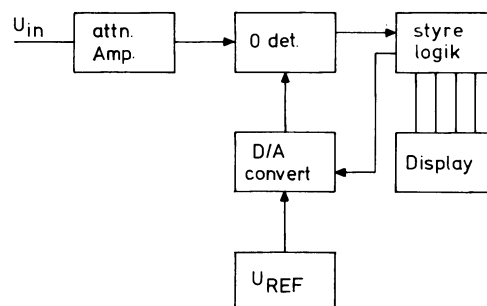
Blokdiagram:



1.2 Successive approximation

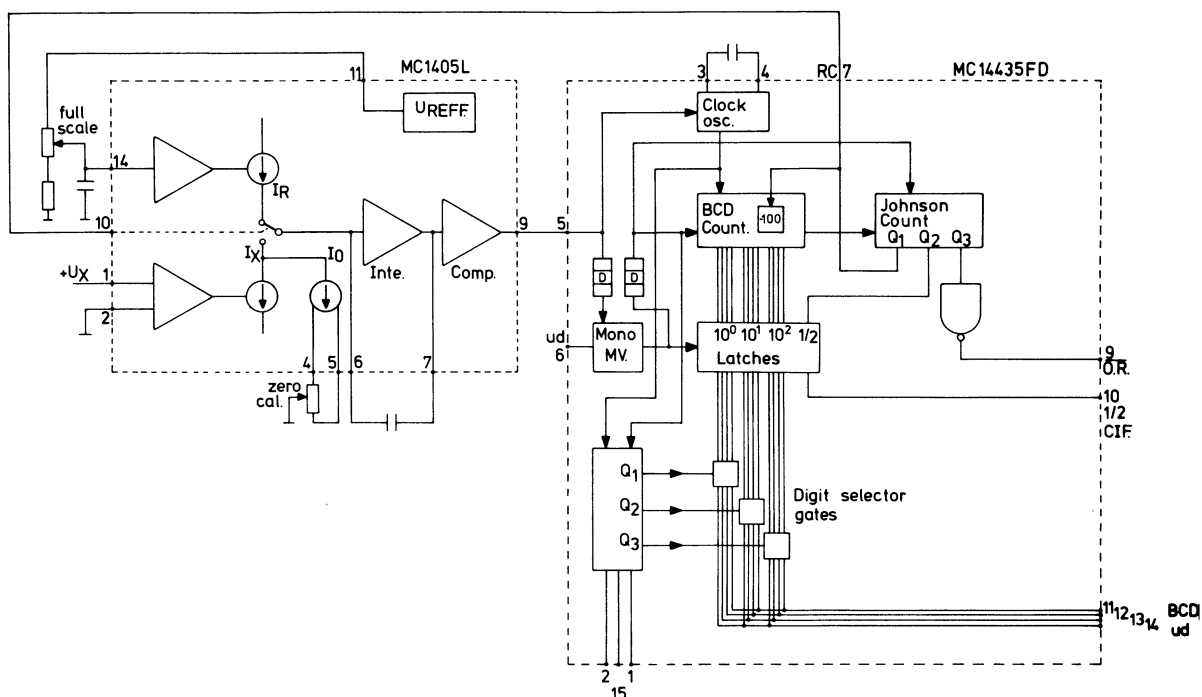
Successive approximation anvendes i dyrere digitalvoltmetre og i datamaskiner, hvor der stilles store krav til nøjagtighed, stabilitet og målehastighed.

Blokdiagram:

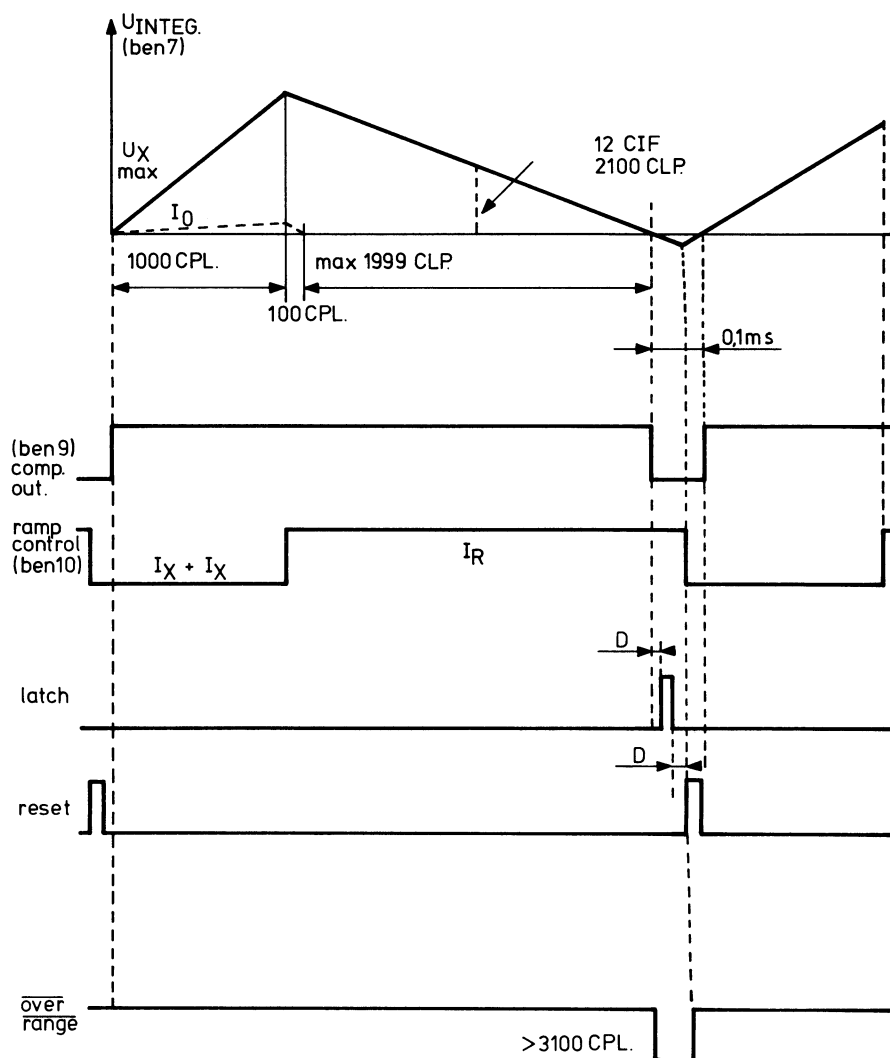


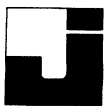
2. DUAL-SLOPE DVM

Blokdiagram af $3\frac{1}{2}$ digit AD kon- verter, MC1405L og MC14435FD



2.1 Kurveformer





2.2 Blokopdeling MC1405

Se blokdiagram.

MC1405 indeholder følgende blokke:

To spændinger til strømkonvertere.

En strømomskifter.

En integrator.

En nulpunktskomparator.

En referencespændingskilde.

En ekstra strømgenerator til nuljustering (I_0).

2.3 MC1405, spænding til strømkonvertere

Referencespændingen U_R og den analoge indgangsspænding U_X føres til hver sin U til I konverter. Derved bliver måleprocessen uafhængig af $I_R - I_X$ omskifters egenskaber og integratorens indgangsspænding.

I_R indstilles ved at tage en del af den indbyggede referencespænding og føre til $U_R - I_R$ konverteren. Full scale visningen justeres med denne spænding.

2.4 MC1405, strømomskifter

Tilkoblingen af enten I_X eller I_R til integratoren foretages af en strømomskifter, der bliver styret af spænding, ramp-control, fra tællerkredsløbet, MC14435FD.

2.5 MC1405, integrator

Den eneste udvendige komponent til integratoren er kondensatoren, der skiftevis oplades og aflades af I_X og I_R .

2.6 MC1405, komparator

Komparatoren fødes med integratorens output og refererer til nul.

Når integratorens output er positivt, er komparator-output'et positivt og ved negativt integratort-output, er komparator-output'et nul.

2.7 MC1405, referencespænding

Den indbyggede referencespændingskilde styrer I_R og I_0 .

2.8 MC 1405, I_0 strømgenerator

Foruden I_X oplades integratorkondensatoren af en lille konstant strøm I_0 . Derved opnås, at integratorrampen får en hældning, der er forskellig fra nul, selv ved meget små indgangsspændinger.

Dette giver bedre signal/støjforhold i integrator-output'et.

I_0 kan justeres således, at mindre skævheder i kredsløbet kan udbalanceres og derved opnå korrekt nul-visning.

Da I_0 og I_X begge oplader kondensatoren, vil I_0 give anledning til, at voltmetret viser for meget, forlænget afladetid. Denne fejlvisning kompenseres derfor i den efterfølgende tæller, idet de første 100 clock-impulser efter kondensatorens afladning er startet, ikke tælles med.



2.9 Blokopdeling, MC14435FD

MC14435FD indeholder følgende blokke:

En clock-impuls oscillator.

En 3-digit BCD-tæller.

En 3-bit Johnson counter.

Latch.

Et 3-bit skifteregister til styring af digitselektorgates og 7-segment udlæsning.

En monostabil-MV.

2.10 Clock-oscillator, MC14435

Clock-oscillatoren styrer hele voltmetrets funktion og bestemmer den nødvendige konverteringstid.

Frekvensen indstilles med kondensatoren mellem ben 3 og 4.

2.11 BCD-tæller, -100 trin, MC14435

Tælleren er en 3-digit BCD-tæller. Det specielle ved den er en blok mellem anden og tredje ciffer, der kan hindre, at de første 100 impulser bliver talt med.

Styringen af denne mellemliggende deler styres af rampekontrollen.

2.12 Johnson counter, MC14435

Den sidste BCD-udgang på ovenstående tæller clocker er 3-bit Johnson counter.

Når denne er reset, er alle udgange 0.

Når BCD-tælleren har opsummeret de første 1000 impulser, bliver Q_1 udgangen 1. Dette stiller omskifteren i integratoren til 1 og aktiverer -100 trinnet.

Næste gang tælleren har talt til 1000, bliver Q_2 udgangen også 1, idet Q_2 repræsenterer det halve ciffer. Hvis tælleren for tredje gang passerer 1000, er der over-flow, hvilket indikeres ved, at Q_3 bliver 1, logisk 0 på ben 9.

2.13 Latch, skifteregister og digitselektor, MC14435

Tællerresultatet lagres som vanligt i en række latches, hvis indhold efter tur føres til dekodning og udlæsning.

Digitselektorgatene styres af et 3-bitskifteregister, der clockes af den indbyggede clock-oscillator.

2.14 Monostabil MV

Til styring af dataindlæsning fra BCD-tælleren til latchene og resetning af tælleren og Johnson counteren bruges en monostabil multivibrator.

For at sikre den tidsmæssige placering af de enkelte funktioner er der indskudt to forsinkelser.



2.17 Justeringsprocedure

1. Zero-potentiometer

Kortslut ben 1 på MC1405 L til stel og juster visningen til 0000 på nul-potentiometret.

Fjern kortslutningen.

2. OFF-SET-potentiometer

Kortslut indgangen til stel og juster off-set til visningen igen er 0000.

Fjern kortslutningen.

3. Attenuator

Tilslut indgangen en spænding på 19,99 V og mål spændingen på ben 1, MC1405 L.

Indstil indgangsattenuatoren, til der måles 1,999 V.

4. Zero-potentiometer

Kortslut indgangen til stel og indstil visningen til 0000 med nul potentiometret.

5. Full-scale potentiometer

Tilslut indgangen til spænding på 19,999 V og indstil visningen til 1999 med full-scale potentiometret.

6. Gentag punkt 4 og 5 nogle gange.

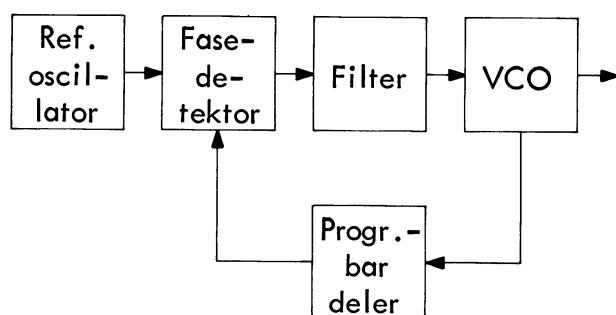


DISPOSITION

1. PLL
2. STORNO frekvenssynteseenhed FS701
3. STORNO frekvenskontrollenhed FC701/702
4. X-Y skiver

1. PLL

1.1 Blokdiagram



1.2 VCO, Voltage controlled oscillator

VCO'en svinger direkte på den frekvens, der skal ud af opstillingen.

Frekvensen er styret af en DC spænding.

1.3 Referenceoscillator

Referenceoscillatoren svinger på en frekvens, der svarer til den ønskede kanalfasthed.

Oftest er referenceoscillatoren opbygget af en krystaloscillator, der svinger omkring 6 til 8 MHz og en deler, der deler frekvensen ned til referencefrekvensen.

1.4 Fasedetektor

Fasedetektoren sammenligner referencefrekvensen med den neddelte oscillatorfrekvens og afgiver en jævnspænding, der afhænger af de to signalers indbyrdes frekvens og fase.

Fra fasedetektoren kommer desuden en vekselspænding, hvis frekvens er lig med den dobbelte referencefrekvens.

1.5 Filter

Filteret skal dæmpe vekselspændingen, der kommer fra fasedetektoren. Filteret skal også sørge for den nødvendige forstærkning, så VCO'en hurtigt kan finde på plads, uden dog at lave for store indsvingninger. VCO'ens frekvensstabilitet vil afhænge af filterets forstærkning og øvre grænsefrekvens.

1.6 Programmerbar deler

Deleren dividerer VCO frekvensen med et helt antal gange. Deleren er opbygget af en tæller, der forudindstilles til det antal gange, frekvensen divideres. Tælleren tilføres VCO frekvensen og tæller derved ned, indtil den når stilling 0, hvor den afgiver en impuls, samtidig med at den indstiller sig til det forudvalgte delerforhold, hvorefter den igen tæller nedefter.

1.7 Oscillatorfrekvens

Med det viste blokdiagram bliver oscillatorfrekvensen bestemt af referencefrekvensen og den programmerbare deler.

$$f_{osc} = f_{ref} \cdot N,$$

hvor N er delerforholdet, den programmerbare deler er indstillet til.



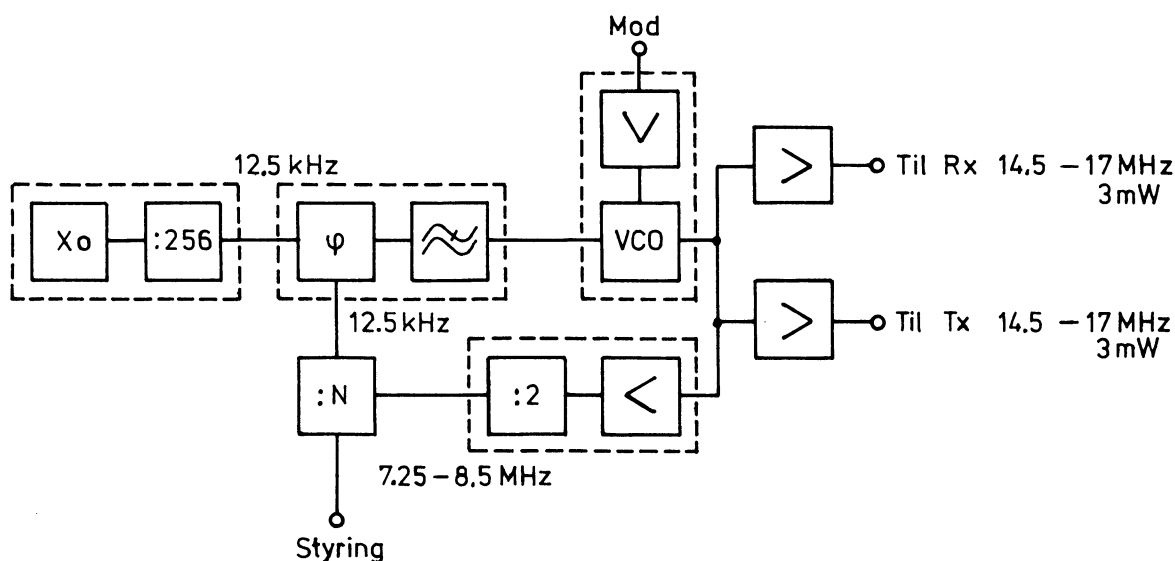
2. STORNO FREKVENSSYNTHESE-

ENHED FS701

2.1 Generelt

FS701 er en digital frekvenssyn-
teseenhed opbygget efter analyse-
princippet som en fastlåst sløjfe.
Den erstatter den sædvanlige kry-
staloscillatorenhed og giver mak-
simalt 100 kanalfrekvenser med
25 kHz spring til såvel sendersom
modtager. Den virker desuden som
modulator på sendersiden.

2.2 Blokdiagram



2.3 Virkemåde

Som blokdiagrammet viser, består
enheden af syv underenheder

1. En referenceoscillator
2. En fasedetektor med filter
3. En spændingsstyret oscillator
med modulationsforstærker
4. En todeler med forforstærker
5. En programmerbar frekvensdeler
6.) Udgangsforstærkere
7.)

Udgangsfrekvensen genereres i den
spændingsstyrede oscillator. Sig-
nalet føres herfra til de to ud-
gangsforstærkere samt via en tre-
die forstærker, en todeler og en
programmerbar frekvensdeler, til
fasedetektoren, hvor det sammen-
lignes med referencefrekvensen på
12,5 kHz.

Fasedetektorens udgangsspænding
filtreres og føres til VCO'ens
varaktordiode, som udgør kapaci-
teten i oscillatorens svingnings-
kreds.



Styrespændingen vil påvirke varaktordiodens kapacitet og dermed svingningskredsens resonansfrekvens på en sådan måde, at udgangsfrekvensen fra den programmerbare frekvensdeler bliver lig med referencefrekvensen 12,5 kHz, og desuden vil faserne mellem de to frekvenser blive nul, således at VCO'ens udgangsfrekvens bliver nøjagtig $12,5 \text{ kHz} \cdot N \cdot 2$.

Den er altså afhængig af delerforholdet N , som indstilles af BCD kodede signaler fra kanalselektoren.

Ved ændring af N til $N + 1$ ændres udgangsfrekvensen $\Delta f = 12,5 \text{ kHz} \cdot (N + 1) \cdot 2 - 12,5 \text{ kHz} \cdot N \cdot 2 = 25 \text{ kHz}$.

2.4 Gennemgang af de enkelte enheder

Referenceoscillatoren består af en 3,2 MHz krystaloscillator og en fast frekvensdeler. Oscillatoren er en colpittkoblet grundtoneoscillator, der svinger på krystallets parallelresonans.

Transistorens kollektorbelastning består af en $15 \mu\text{H}$ drossel parallelt med 150 pF . Herved får man en vis filtrering af udgangsfrekvensen, således at 2. harmoniske ikke kan genere.

Udgangssignalet føres via et RC led til frekvensdeleren.

RC leddet er nødvendigt for at få korrekt niveau for logisk $0 \text{ V} \leq 0,8 \text{ V DC}$.

Frekvensdeleren består af 2 binære 16 bit delere.

Delerforholdet er altså $16 \cdot 16 = 256$, og udgangsfrekvensen bliver $3,2 \text{ MHz} : 256 = 12,5 \text{ kHz}$.

Signalet er symmetrisk firkantspænding.

Fasedetektoren består af selve detektoren MC4344 med indbygget aktivt filter samt et LC filter. Der er tale om et digitalt kredsløb, hvis udgangsspændingen styres af et skift mellem højt og lavt niveau på de to indgange.

Enheden virker både som frekvens- og fasedetektor.

I samme kredsløb er der indbygget en forstærker, som i forbindelse med udvendige komponenter udgør et aktivt filter.

Filterkonstanterne bestemmer med fasedetektorens og VCO'ens forstærkning de primære sløjfekonstanter egenfrekvens ω_0 og dæmpning ξ og hermed sløjfeegenskaber i nærheden af udgangsfrekvensen samt indsvingningstiden.

Da det aktive filter ikke alene er i stand til at dæmpe referencefrekvensen 12,5 kHz tilstrækkeligt, er der tilføjet et LC filter på $80 \text{ mH} / 10 \mu\text{F}$. Det har en så høj grænsefrekvens $> 5 \cdot \omega_0$, at sløjfens egenskaber ikke påvirkes.

Den spændingsstyrede oscillator består af selve oscillatoren samt et forbetonings- og kompensationskredsløb for modulationen.

Oscillatorkredsen udgøres af varaktorkapaciteten samt en spole i første transistors kollektor.

Signalet tages ud over anden transistors kollektor, medens tilbagekoblingen sker over anden transistors emitter tilbage til første transistors emitter.

Varaktordioden består af to dioder med katodeme koblet sammen, således at den ensrettede HF spænding udkompenseres. Til gengæld får man kun den halve kapacitetsændring.

De to dioder er afkoblet til stel med en drossel.

Koblingen mellem de to transistorer består af en lille kondensator på 4,7 pF for at belaste kredsen så lidt som muligt.

Det er vigtigt at opnå et højt kreds Q af hensyn til oscillatorens støjegenskaber.

Styrespændingen føres ind på de to dioder via 4,7 k Ω . Modulationen tilføres parallelt med styrespændingen. Der er tale om frekvensmodulation. Imidlertid ønskes der fasemodulation.

Det klares ved at indføre et RC led, som giver 6 dB/oktav, C21, R26.

Da styrediodens karakteristik er krum, får man ikke samme modulationsfølsomhed over båndet.

Hvis begrænseren indstilles til et frekvenssving på ± 5 kHz for $f = 14,5$ MHz, $f_m = 1.000$ Hz, bliver frekvenssvinget måske kun ± 2 kHz for $f = 17$ MHz. Det er naturligvis uacceptabelt.

Derfor er der indført et kompensationskredsløb i form af en transistorforstærker, som modvirker diodens krumme karakteristika.

Kredsløbet virker på følgende måde:

Transistorens baseforspænding fås dels fra en højohmet spændingsdeler, dels fra varaktordiodens styrespænding, som føres tilbage via $2 \cdot 10$ k Ω og en afkoblingskondensator.

Afkoblingen er nødvendig, da transistoren ellers bliver modkoblet.

Transistorens forspænding er nu delvis styret af varaktorstyrespændingen.

Ved lave frekvenser er styrespændingen lav, og transistorens forstærkning derfor også lav.

Ved høje frekvenser stiger styrespændingen og derved forstærkningen.

Da modulationsfølsomheden netop er høj for lave frekvenser og lav for høje frekvenser, kan man indstille transistorens forstærkning således, at man får samme følsomhed over hele båndet.

Indstillingen sker ved at lade den faste baseforspænding udgøre en større eller mindre del af den samlede forspænding, R28.

Transistorens udgangsspænding føres via en afkobling, R31, C27, til varaktordioden.

Afkoblingens grænsefrekvens lægges så højt, at den ikke påvirker modulationen. Formålet med filteret er at spærre for transistorens lavfrekvensstøj, idet varaktordioden er meget følsom.

Samtidig får man en vis dæmpning af modulationen. Det er nødvendigt for at modvirke transistorens forstærkning, da følsomheden i forvejen er tilstrækkelig.

Modkobling er ikke muligt, da det ødelægger transistorens reguleringssevne. Emittermodstanden er derfor afkoblet med 100 μ F.

2.5 2-deler og forforstærker

Da den programmerbare frekvensdeler ikke kan arbejde på frekvenser højere end ca. 12 MHz, er det nødvendigt at koble en 2-deler foran. Samtidig må referencfrekvensen reduceres til den halve kanalfrekvens altså 12,5 kHz.

2-deleren skal altså arbejde med frekvenser op til 17,5 MHz, høje-
ste udgangsfrekvens.



Forforstærkeren er nødvendig for at opnå tilstrækkelig høj trigger-niveau og for at få 2-deleren isoleret fra udgangen. Det ville have været en fordel at benytte en afstemt forstærker for at få bedre isolation, men det har pladsforholdene ikke tilladt.

Udgangsspændingen indeholder derfor en svag spurious på den halve frekvens ~ 8 MHz.

Forstærkeren er koblet til 2-deleren med et RC led for at opnå korrekt DC niveau for logisk 0, $V \leq 0,8$ V. Droslen i bunden af modstanden hindrer for kraftig dæmpning af signalet.

Som 2-deler er benyttet SN54H72, da standardkredsen SN5472 ikke arbejder med sikkerhed på 17,5 MHz. Med SN54H72 er det muligt at hæve frekvensen til 24 MHz, altså udgangsfrekvens 12 MHz, som er N-delerens maksimale arbejdsfrekvens.

Den programmerbare frekvensdeler består af tre dekadetællere, SN64160 og et gate-kredsløb SN6400.

Virkemåden er følgende:

Tæller nr. I, enere, har begge enable på 1 og tæller for hver clock-impuls.

Tæller nr. II, tiere, tæller kun, når den får "carry" signal fra tæller I.

Tæller nr. III, hundreder, tæller kun, når den får "carry" signal fra både I og II.

Gate-kredsløbet detekterer stilling 998 og afgiver ved næste clock-impuls, udgangssignal, som samtidig føres til load-indgangene på alle tre tællere.

Herved indsættes et tal i tællerne afhængig af spændingerne på de 3 · 4 styreindgange. Tallet, der bliver loadet, er 9's komplement af delerforholdet udtrykt i BCD.

Ønskes f.eks. delerforholdet 345, skal tallet 654 indføres i tælleren.

Tællersekvensen bliver altså således:

	III	II	I
Clock-impuls nr. 1	6	5	4
Clock-impuls nr. 2	6	5	5
-	-	-	-
-	-	-	-
-	-	-	-

Clock-impuls nr. 344	9	9	7
Clock-impuls nr. 345	9	9	8
Clock-impuls nr. 346	6	5	4
Clock-impuls nr. 347	6	5	5

Det vil sige, at tælleren deler med 345.

Da load-signalet er til stede før clock-impuls nr. 346, mister man ingen impulser selv for høje frekvenser. Maksimal tællerfrekvens er ca. 12 MHz.

Hvis man ønsker, at det indstillede styresignal skal svare til delerforholdet, må det konverteres til 9' komplement i BCD.

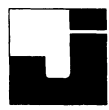
Udgangsforstærkerne er afstemte forstærkere med BSX89.

Udgangskredsen er dæmpet med 1 k Ω for at opnå 3 MHz båndbredde.

Der ligger 100 Ω i serie med indgangen for at adskille de to udgange fra hinanden og for ikke at belaste VCO'en for meget.

Der er en uafkoblet emittermodstand på 56 Ω . Den forbedrer dæmpningen af harmoniske væsentligt.

Det er af betydning, da der ikke findes nogen filter mellem FS701's udgang og de to mixerindgange i henholdsvis RC og EX.



2.6 Frekvenssyntesizer FS701

1. Elektriske specifikationer

1.1 Spændingsforsyning

9 V og 5 V

1.2 Strømforbrug

9 V typisk: 50 mA

5 V typisk: 310 mA

5 V maks.: 480 mA

1.3 Frekvensområde

14,5 til 17,5 MHz

1.4 Frekvensraster

25 kHz

1.5 Udgangsimpedans50 Ω 1.6 Udgangsniveau3 mW \pm 1 mW1.7 Referenceoscillators frekvensstabilitet

< 1 p.p.m.

1.7.1 Referenceoscillators trækning

 \pm 30 p.p.m.

1.7.2 Krystalfrekvens

3,2 MHz

1.7.3 Krystaltype

Parallelresonans

1.7.4 Krystalholder

HC 18

1.7.5 Krystalfrekvensens stabilitet

 $\pm 25/10^{-6}$, $-25/+55^{\circ}\text{C}$ 1.8 Modulation

1.8.1 Frekvensområde

300 til 3.000 Hz

1.8.2 Frekvenskarakteristik:

6 dB/oktav \pm 1 dB for 300 til 2.700 Hz,
+1/-3 dB for 2.700 til 3.000 Hz

1.8.3 Indgangsimpedans

600 Ω // 10 nF1.8.4 Indgangsniveau for $\Delta f = \pm 3,6$ kHz
 $f_m = 1$ kHz

180 mV/-13 dBm

1.8.5 Modulationsfølsomhedens variation over
båndet 15 til 17,5 MHz og temperatur-
området $-30^{\circ}/+70^{\circ}\text{C}$

+0/-10%

1.8.6 Forvrængning $\Delta f = \pm 5$ kHz, $f_m =$
1.000 Hz $\leq 2,5\%$ 1.9 Egenskaber for samlet TX/RX med FS701

1.9.1 Spurious på nabokanal (RX)

 ≤ 80 dB

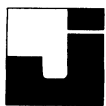
1.9.2 Blokering (RX) MPT EMK

 ≤ 82 mV

1.9.3 Sidebåndsstøj (TX), uden modulation

 ≤ 2 μW

I øvrigt henvises til krav for samlet anlæg.
Se BSE-700-MTS og S-Q-1.



2. Mekaniske specifikationer

2.1 Dimensioner B x L x H

maks. 56 x 91 x 24 mm

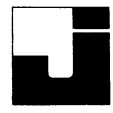
2.2 Terminaler :

+9 V

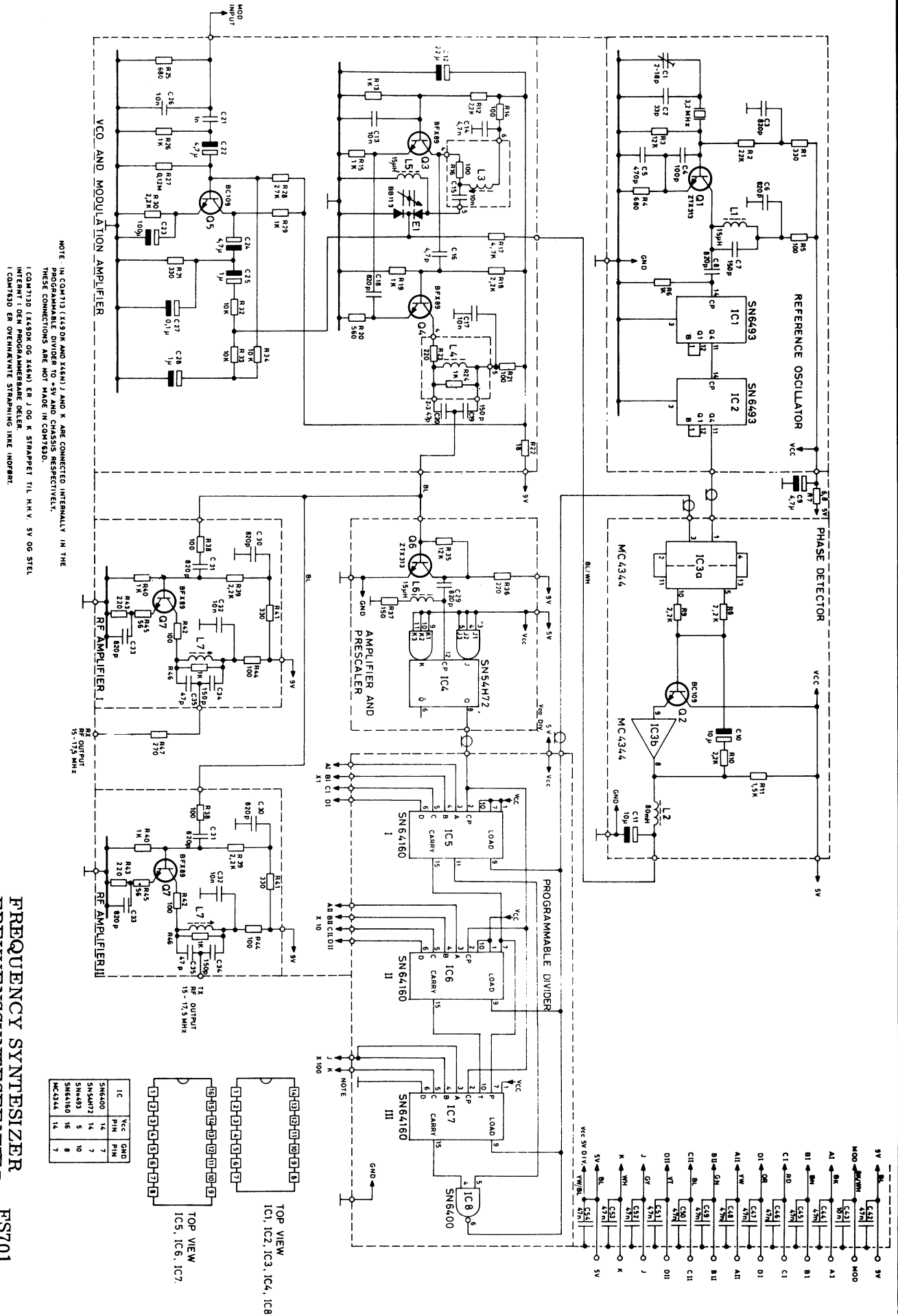
+5 V

Modulation

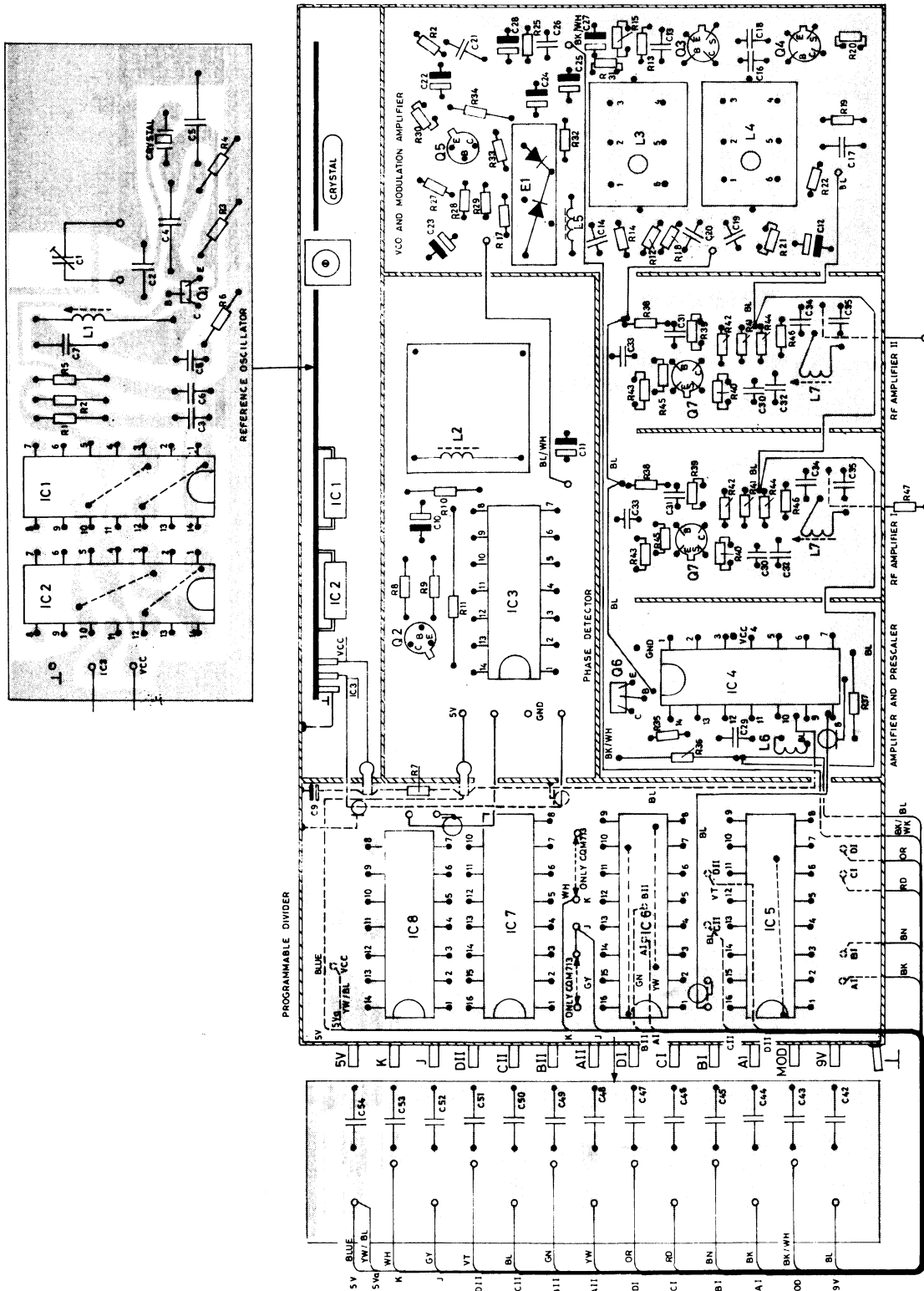
10 styreledninger, HF udgang til RC712/762,
HF udgang til EX712/762.



2.7 Diagram



D401714/2



FREQUENCY SYNTHESIZER
FREKVENSSYNTSEENHED

FS701

D401891



3. STORNO FREKVENSKONTROL- ENHED FC701/702

3.1 Generelt

FC701 er beregnet til anvendelse i en mangekanalstation til det offentlige danske biltelefonsystem, hvor den styrer frekvenssynteseenheden FS701, således at det indstillede kanalnummer kommer til at modsvare de ønskede frekvenser.

3.2 Virkemåde

Kanalvælgeren i CB704 afgiver BCD-kodede signaler, som dels styrer et display, der viser kanalnummeret, dels føres til FC701, hvor de omformes til binære signaler i en BCD til binær dekode.

De binære signaler styrer to parallelkoblede $32 \cdot 8$ bit PROM'er, altså totalt $64 \cdot 8$ bit.

PROM'erne er kodet på en sådan måde, at udgangssignalerne, der styrer frekvensdeleren i FS701, giver det delerforhold, som svarer til den pågældende kanalfrekvens.

Omformningen fra BCD kode til binær kode er nødvendig, da PROM'erne kun kan styres af binære signaler.

FC701 indeholder desuden kredsløbet, som blokerer sender og modtager på ikke ønskede kanaler, samt en multivibrator, der får kanalvælgerlamperne eller displayet til at blinke på disse kanaler.

Kanaler, der ikke skal blokeres, skal give lav spænding på de to blokeringsudgange, og Q5 skal være åben. På blokerede kanaler skal spændingerne være høje, og Q5 skiftevis åben og lukket.

For kanalnumre < 64 styres blokeringen af PROM'erne og gate IC5a, idet CII, DII kodes 1 - 1.

Denne kombination forekommer ikke for BCD kodede signaler 0 til 9. Man kan derfor nøjes med en 2 input NAND til styring.

Udgangen af IC5a bliver lav, udgangen IC5b bliver høj, når enten IC5a er lav eller B6 inverteret er lav. IC5b føres direkte til RN blokering.

TN blokering styres med 12 V og føres derfor via en inverter IC6b til en transistorforstærker Q4.

Multivibratoren Q1, Q2 styres via en inverter IC6a.

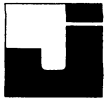
Udgangssignalet forstærkes Q3, Q5.

For kanalnumre ≥ 64 styres blokeringen af udgangen B6 fra BCD til binær konverteren. B6 bliver høj for binære værdier ≥ 64 . Alle kanaler ≥ 64 er altså blokeret.

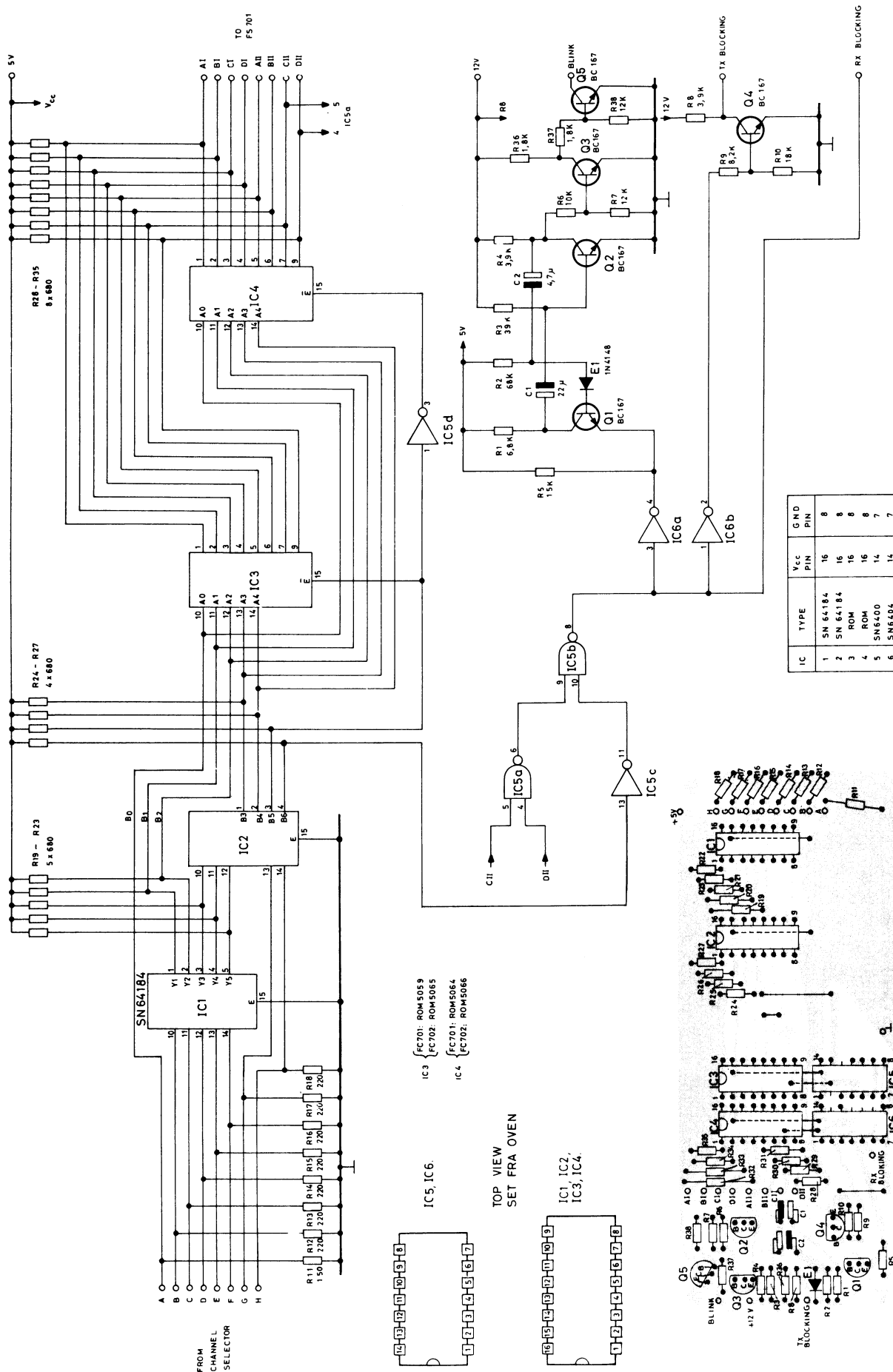
3.3 FC702

FC702 er beregnet til anvendelse i en mangekanalstation til det offentlige norske biltelefonsystem.

Bortset fra kodningen af PROM'erne er den fuldstændig identisk med FC701.

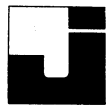


3.4 Diagram

FREQUENCY CONTROL UNIT
FREKVENSKONTROLLENHED

FC701, FC702

D 401.819/2



Sammenhæng mellem sender- og modtagerfrekvenser, synteseffrekvens, delerforhold og styring af frekvensdeler i FS701

$$f_x \text{ RX} = 142.700$$

$$f_x \text{ TX} = 144.000$$

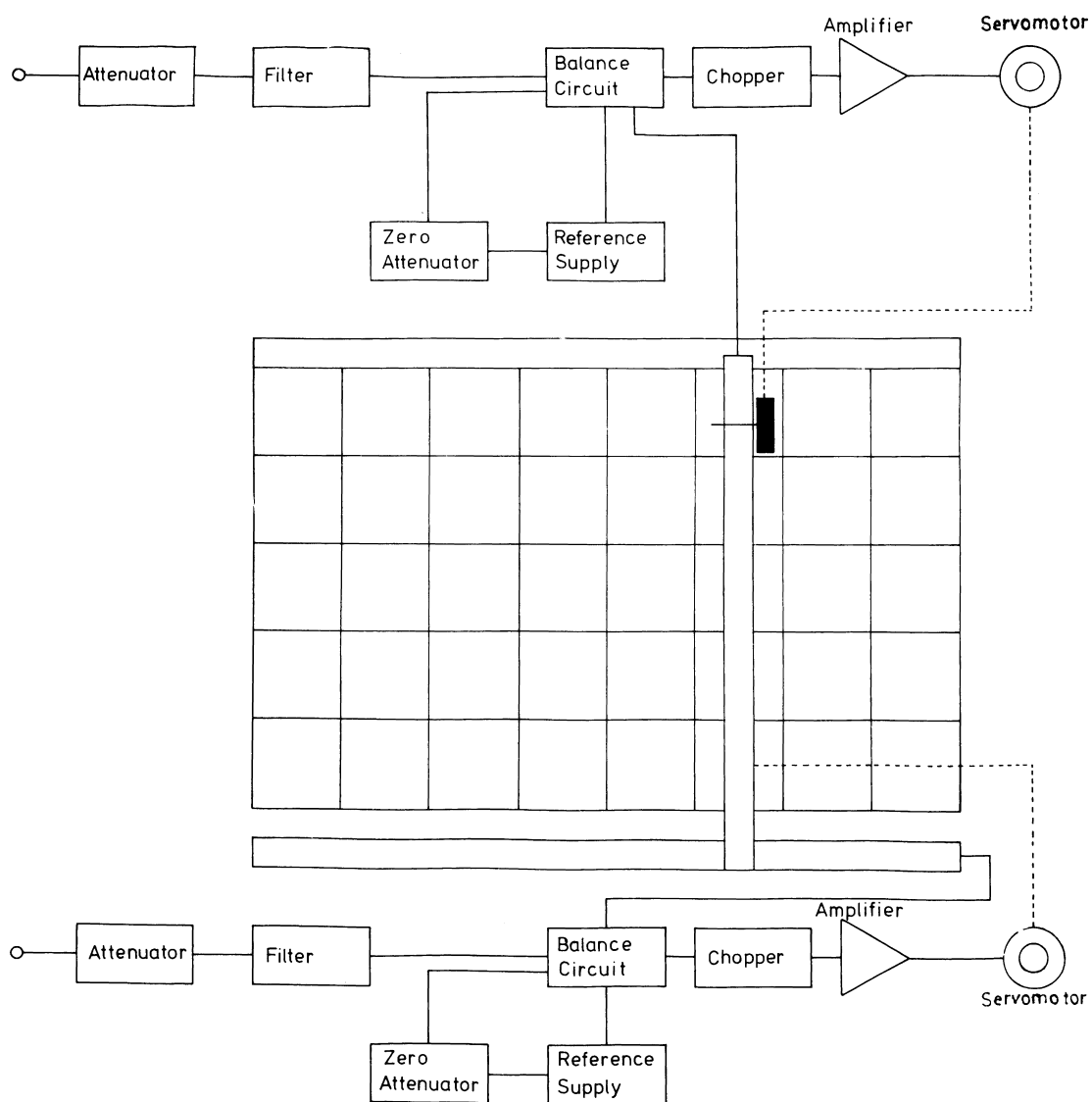
Styring af frekvensdeler i FS701

f _x TX = 144.000				X100 X10 X1												
Kanal	f _{TX} MHz	f _{RX} MHz	f _{synt} MHz	D.F	K		J		D _{II}	C _{II}	B _{II}	A _{II}	D _I	C _I	B _I	A _I
					↓	↓	↓	↓								
1	160.400	169.400	16.000	640	0	0	1	1	0	1	0	1	1	0	0	1
2	160.100	169.100	15.700	628	0	0	1	1	0	1	1	1	0	0	0	1
3	160.550	169.550	16.150	646	0	0	1	1	0	1	0	1	0	0	1	1
4	160.275	169.275	15.875	635	0	0	1	1	0	1	1	0	0	1	0	0
5	160.625	169.625	16.225	649	0	0	1	1	0	1	0	1	0	0	0	0
6	160.125	169.125	15.725	629	0	0	1	1	0	1	1	1	0	0	0	0
7	160.525	169.525	16.125	645	0	0	1	1	0	1	0	1	0	1	0	0
8	160.350	169.350	15.950	638	0	0	1	1	0	1	1	0	0	0	0	1
9	159.925	168.925	15.525	621	0	0	1	1	0	1	1	1	1	0	0	0
10	159.775	168.775	15.375	615	0	0	1	1	1	0	0	0	0	1	0	0
11	160.425	169.425	16.025	641	0	0	1	1	0	1	0	1	1	0	0	0
12	160.450	169.450	16.050	642	0	0	1	1	0	1	0	1	0	1	1	1
13	160.175	169.175	15.775	631	0	0	1	1	0	1	1	0	1	0	0	0
14	160.325	169.325	15.925	637	0	0	1	1	0	1	1	0	0	0	1	0
15	160.475	169.475	16.075	643	0	0	1	1	0	1	0	1	0	1	1	0
16	159.975	168.975	15.575	623	0	0	1	1	0	1	1	1	0	1	1	0
17	160.025	169.025	16.625	625	0	0	1	1	0	1	1	1	0	1	0	0
18	160.150	169.150	15.750	630	0	0	1	1	0	1	1	0	1	0	0	1
19	160.250	169.250	15.850	634	0	0	1	1	0	1	1	0	0	1	0	1
20	160.075	169.075	15.675	627	0	0	1	1	0	1	1	1	0	0	1	0
21	159.725	168.725	15.325	613	0	0	1	1	1	0	0	0	0	1	1	0
22	159.825	168.825	15.425	617	0	0	1	1	1	0	0	0	0	0	1	0
23	160.500	169.500	16.100	644	0	0	1	1	0	1	0	1	0	1	0	1
24	160.575	169.575	16.175	647	0	0	1	1	0	1	0	1	0	0	1	0
25	159.850	168.850	15.450	618	0	0	1	1	1	0	0	0	0	0	0	1
26	160.000	169.000	15.600	624	0	0	1	1	0	1	1	1	0	1	0	1
27	160.050	169.050	15.650	626	0	0	1	1	0	1	1	1	0	0	1	1
28	160.225	169.225	15.825	633	0	0	1	1	0	1	1	0	0	1	1	0
29	160.375	169.375	15.975	639	0	0	1	1	0	1	1	0	0	0	0	0
30	159.575	168.575	15.175	607	0	0	1	1	1	0	0	1	0	0	1	0
31	159.600	168.600	15.200	608	0	0	1	1	1	0	0	1	0	0	0	1
32	159.650	168.650	15.250	610	0	0	1	1	1	0	0	0	1	0	0	1
33	159.675	168.675	15.275	611	0	0	1	1	1	0	0	0	1	0	0	0
34	159.400	168.400	15.000	600	0	0	1	1	1	0	0	1	1	0	0	1
35	159.500	168.500	15.100	604	0	0	1	1	1	0	0	1	0	1	0	1
36	159.550	168.550	15.150	606	0	0	1	1	1	0	0	1	0	0	1	1
37	159.800	168.800	15.400	616	0	0	1	1	1	0	0	0	0	0	1	1
40	159.425	168.425	15.025	601	0	0	1	1	1	0	0	1	1	0	0	0
41	159.450	168.450	15.050	602	0	0	1	1	1	0	0	1	0	1	1	1
42	159.475	168.475	15.075	603	0	0	1	1	1	0	0	1	0	1	1	0
43	159.525	168.525	15.125	605	0	0	1	1	1	0	0	1	0	1	0	0
44	159.625	168.625	15.225	609	0	0	1	1	1	0	0	1	0	0	0	0
45	159.875	168.875	15.475	619	0	0	1	1	1	0	0	0	0	0	0	0
46	160.200	169.200	15.800	632	0	0	1	1	0	1	1	0	0	1	1	1
47	160.300	169.300	15.900	636	0	0	1	1	0	1	1	0	0	0	1	1
48	160.350	169.350	15.950	638	0	0	1	1	0	1	1	0	0	0	0	1
49	160.600	169.600	16.200	648	0	0	1	1	0	1	0	1	0	0	0	1



4. X-Y SKRIVER

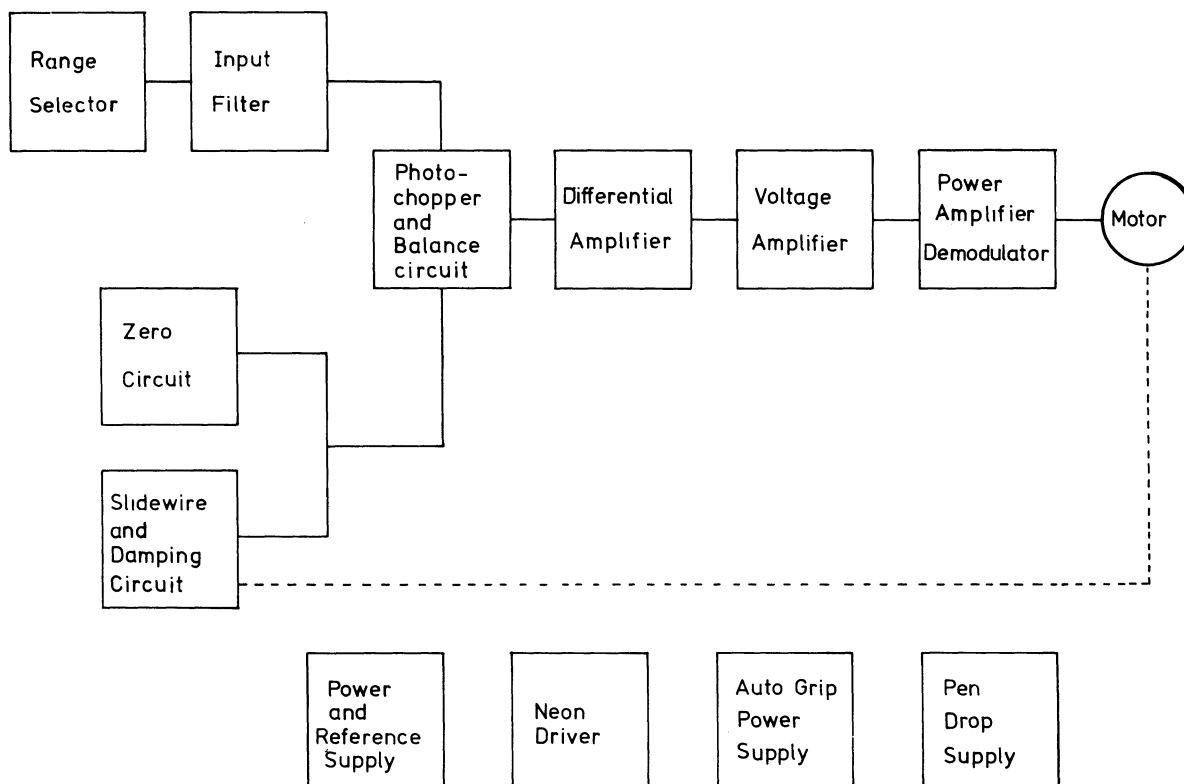
4.1 Blokdiagram



X-Y skriveren består af to servosystemer, et der styrer pennen i X-retningen og et, der styrer pennen i Y-retningen, de to kredsløb er identiske bortset fra nogle enkelte elektriske data.



4.2 Blokdiagram af Y-del



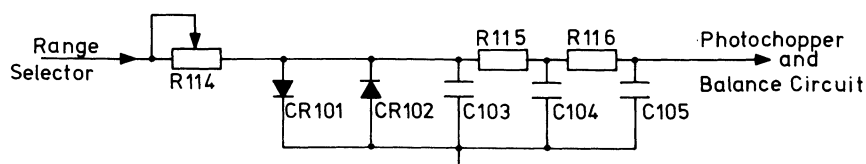
4.3 Range selector

Områdevælgeren består af et antal spændingsdelere, der neddelser indgangsspændingen, så forstærkeren ikke overstyres.

Spændingsdelerne er normalt ikke kompenseret, idet skriveren kun er beregnet til at tegne langsomme kurver, dvs. indgangen kun arbejder i det lavfrekvente område.

4.4 Input-filter

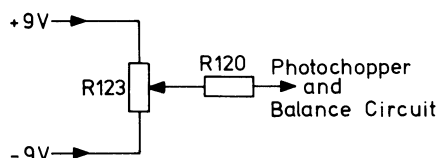
Indgangsfiltret beskytter forstærkeren mod for store signaler, samtidig med at det dæmper alle frekvenser, der er højere en nogle få Hz.





4.5 Zero circuit

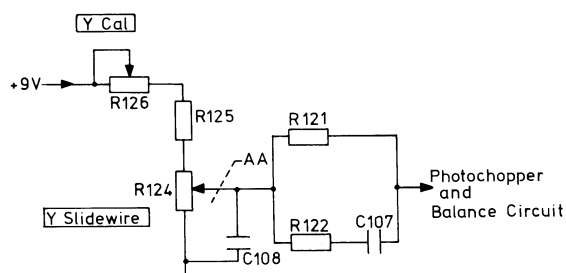
Nul-kredsløbet anvendes til at indstille pennen, så man har nul på det sted af papiret, man ønsker.



4.6 Slidewire and damping circuit

Skydepotentiometret er forbundet direkte til pennen og afgiver en DC spænding, hvis amplitude afhænger af pennens position.

For at pennen ikke skal lave overshoot, er der indført dæmpning af for hurtige spændingsændringer ud af potentiometret.



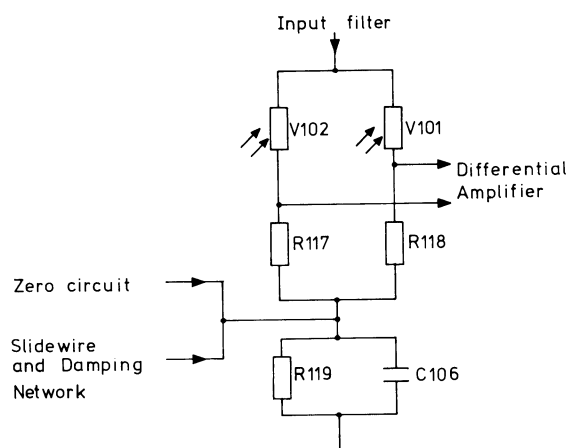
4.7 Photochopper and balance circuit

Photochopper og balancekredsløbet summerer spændingerne fra nul-kredsløbet, skydepotentiometret samt indgangssignalet og konverterer det til en vekselspænding.

Amplituden af vekselspændingen er et udtryk for pennens placering i forhold til indgangsspændingen.

Fasen på vekselspændingen i forhold til lysnettet er et udtryk for, hvilken retning pennens skal forskydes til.

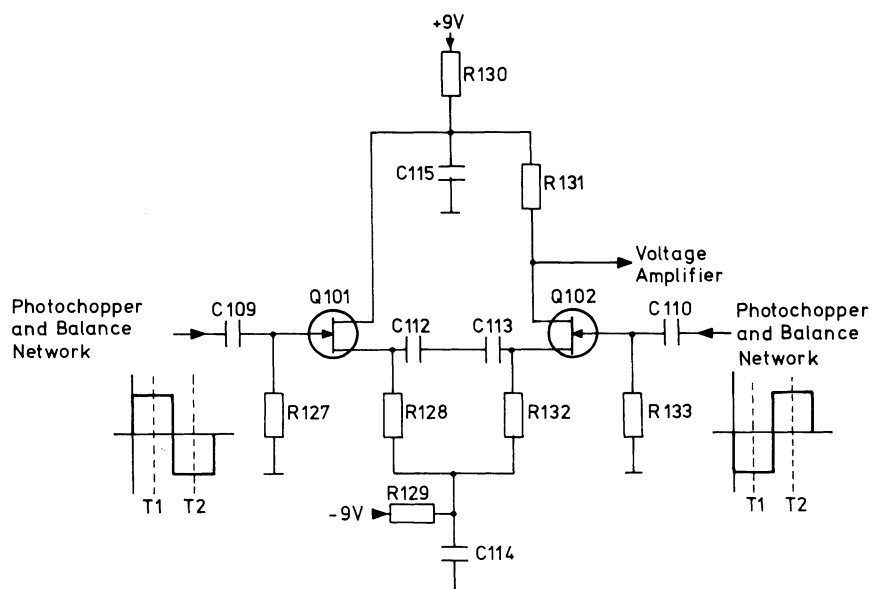
Ved at konvertere signalerne til et AC signal bliver kredsløbet mere stabilt overfor temperaturændringer, idet resten af kredsløbene ikke skal være DC kobled.





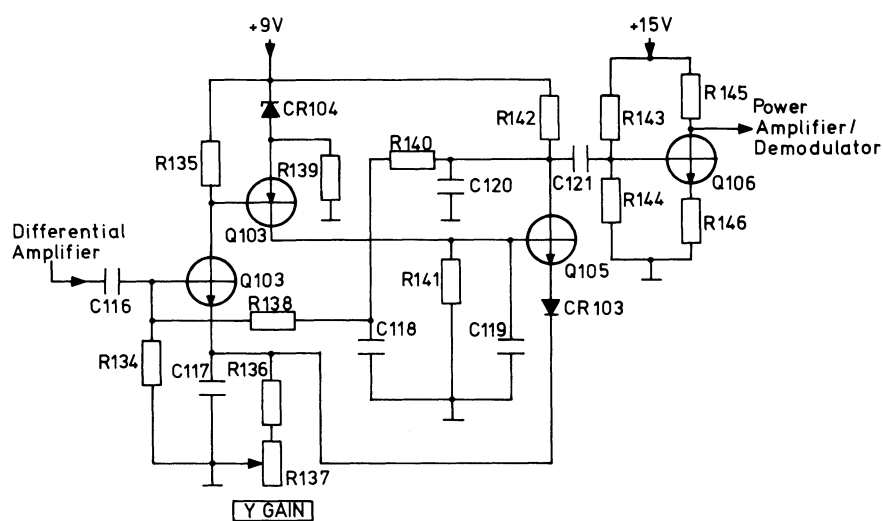
4.8 Differential amplifier

Differentialforstærkeren forstærker det balancerede signal fra photochopperen og konverterer det til et asymmetrisk signal.



4.9 Voltage amplifier

Spændingsforstærkeren forstærker AC signalet til effektforstærkeren og demodulator.

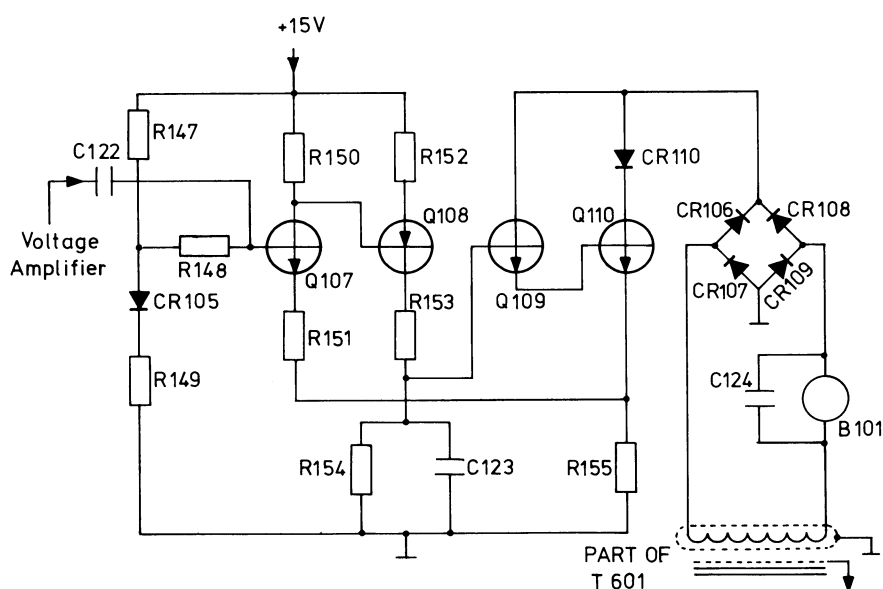




4.10 Power amplifier/demodulator

Effektforstærkeren leverer effekt til demodulatoren, der er en synkron-detektor, der synkroniseres fra lysnettet.

Motoren er en DC motor, der styres af detektoren, der afgør, om der skal løbe strøm i motoren under den positive eller den negative del af lysnetperioden og dermed, i hvilken retning motoren skal køre.



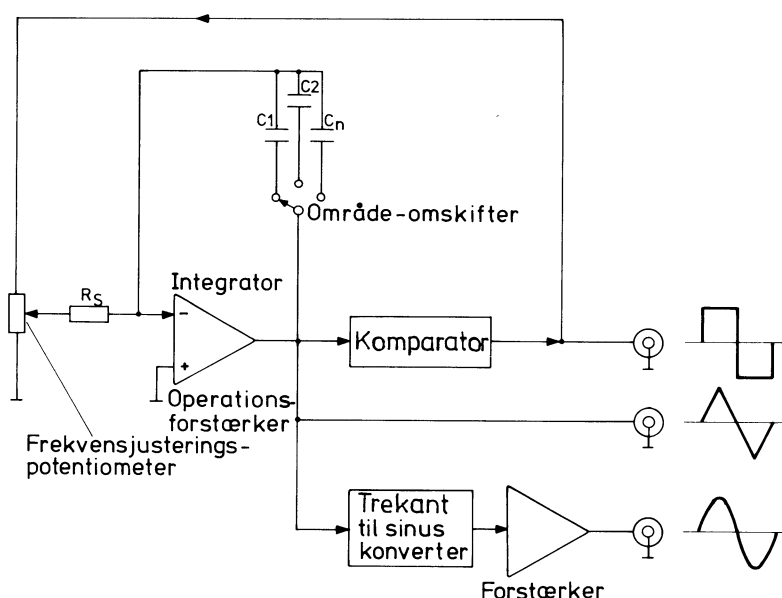


DISPOSITION

1. Blokfunktioner

1. BLOKFUNKTIONER

1.1 Blokdiagram



1.2 Firkant- og trekantfrembringelse

Firkant- og trekantspændingen frembringes i en loop, bestående af en integrator og en komparator.

Udgangen af komparatoren er forbundet til indgangen af integratoren, hvis udgang er forbundet til komparatoren.

Udgangen af komparatoren vil altid være en positiv eller en negativ spænding.

Antager vi, at udgangen af komparatoren er en positiv spænding, vil der igennem R_S løbe en strøm til kondensatoren C , udgangen af integratoren vil bevæge sig i negativ retning.

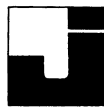
I det øjeblik denne spænding når et givet niveau, skifter komparatoren niveau, dvs. at udgangsspændingen bliver negativ.

Strømmen gennem R_S vil nu løbe i den modsatte retning, hvorved integratorens udgang bevæger sig i positiv retning. I det øjeblik spændingen overstiger et bestemt niveau, skifter komparatoren på ny stilling, hvorved strømmen gennem R_S igen vender osv.

Udgangsspændingen fra integratoren er en trekantsspænding, mens der på udgangen af komparatoren vil være en firkantsspænding.

Frekvensen indstilles ved at regulere, hvor stor en del af komparatorens udgangsspænding føres tilbage til integratoren.

Et andet frekvensområde vælges ved at udskifte C .

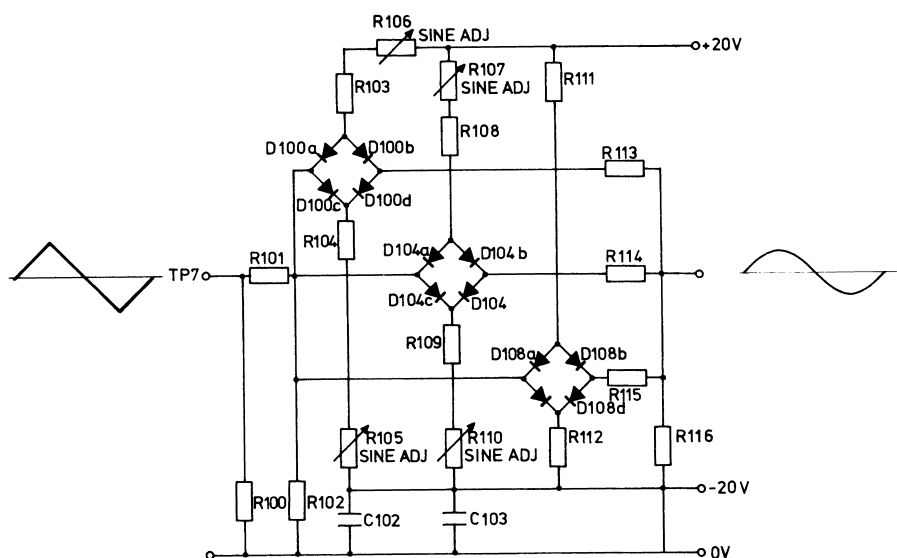


1.3 Trekant- til sinuskonvertering

Til at frembringe en sinusspænding anvendes en trekant- til sinuskonverter.

Konverteren kan være opbygget på forskellig måde.

Den kan være opbygget af nogle diodebegrænsere, der begrænser ved forskellige niveauer.



Diodebroerne er forspændt således, at de begrænser ved hvert deres niveau, derved opnår man at få trekantspændingens rette linier omformet til en sinuskurve med en forvrængning på under 0,5% ved korrekt justering.